“魂芯一号”数字信号处理器及其应用

洪一*, 方体莲, 赵斌*, 郭二辉, 刘小明, 耿锐

中国电子科技集团公司第三十八研究所, 合肥 230088

* 通信作者. E-mail: hongyi@cet38.com, zhaobin@cet38.com

收稿日期: 2014-11-24; 接受日期: 2014-12-10; 网络出版日期: 2015-03-19

摘要 数字信号处理器 (DSP) 是在高密集计算领域综合计算性能最高的一种处理器. 中国电子科技集团公司第 38 研究所在“核高基”重大专项支持下经过 6 年时间潜心研究, 成功完成“魂芯一号”的研制并在实际产品上得到很好的应用, 达到原先确定的目标. 本文回顾了数字信号处理器 (DSP) 的发展历程和典型特点, 介绍了我国自主研制的通用 DSP 器件“魂芯一号”设计的基本思路、研制过程和应用推广情况.

关键词 数字信号处理器 哈佛结构 超长指令集 单指令多数据流 链路口

1 引言

自 1982 年 TI (Texas Instruments) 公司推出第一款 DSP 产品 TMS32010 以来, 由于 DSP 表现出较强的编程能力、相对于通用微处理器 (CPU) 来说具有较强运算能力而深受广大设计师欢迎, 在雷达、电子对抗等军事电子领域, 音视频、图像等民用领域得到广泛应用, 吸引了众多生产厂家的参与, 推出了多个系列 DSP 产品, 如日本 NEC 公司的 μ PD7720, Fujitsu 公司的 MB8764, Hitachi 公司的 SH-DSP, 美国 AT&T 公司的 DSP32, Motorola 公司的 MC56001, 模拟器件公司 (AD) 的 ADSP2101/2103/2105, Lucent 公司的 DSP1609 等, 这些 DSP 器件相继推出, 繁荣了 DSP 处理器市场, 推动了信号处理算法在实际设备上的广泛应用, 加深了人们对信号处理算法在提高系统设备性能方面的认识.

DSP 发展历程大致可以划分为 4 个阶段:

第一阶段: 单核、单运算部件时代, 集成电路加工工艺约在 $0.25\ \mu\text{m}$ 以上. 这个阶段 DSP 主要特征表现为: 器件内部有一个专用硬件乘法器, 一个具有运算能力的地址发生器, 体系上采用哈佛结构等. TI 公司前 5 代产品均为这一阶段典型代表, 如第一代 TMS32010 等、第二代 TMS32020 等、第三代 TMS320C30 等、第四代 TMS320C40 等、第五代 TMS320C5X/C54X 等、Motorola 公司 DSP56001 等、AT&T 公司 DSP16A 等、ADI 公司 ADSP-2100、ADSP2106X 等均属于这个阶段产品.

第二阶段: 多运算部件阶段, 集成电路工艺处于 $180\sim 90\ \text{nm}$ 水平, 芯片内部规模相对于原有工艺可以有一个较大的提升. 随着 DSP 应用不断深入, 系统对信号处理运算能力要求快速增加, 提高 DSP 器件运算能力成为设计师的最大追求. 增加器件内部运算部件数是提高器件运算能力的一种最直接、最有效的手段, 如 TI 公司提供的新一代处理器 TMS320C6201^[1], 包含 8 个运算部件, ADI 公司推出的 TS101 包含 6 个运算部件^[2].

引用格式: 洪一, 方体莲, 赵斌, 等. “魂芯一号”数字信号处理器及其应用. 中国科学: 信息科学, 2015, 45: 574–586, doi: 10.1360/N112014-00379

第三阶段: 同构多核阶段, 集成电路工艺提升到 40 nm, 经过市场洗礼, DSP 研制厂家均建立了自己的生态环境. 为了缩短器件进入市场时间, 不破坏器件原有生态环境是必须遵循的一个基本原则. 在原有处理器核基础上, 通过增加处理器核数来提升处理器运算能力, 原有生态环境均不需要改变, 原先编制的基础函数库、用户应用程序等均可使用; 多核处理器可以允许各个处理器核完成不同任务, 增加了处理器应用灵活性. TI 公司推出的 8 核处理器 TMS320C6678^[3] 是这一时期典型代表. 这个阶段操作系统被引入到 DSP 中.

第四阶段: 异构多核阶段, 工艺技术进一步提升, 处理器能力得到进一步加强, 在一个芯片上集成不同处理器核成为可能. CPU 和 DSP 关注的重点不一样, DSP 侧重于数据实时计算, CPU 强调通用数据处理, 两者结合可以在更大应用范围内获得更大处理效率. 体系结构中 CPU 核和 DSP 核数量根据实际应用背景来确定, 28 nm 及未来工艺推出的处理器均为这种体系架构. 如 TI 公司推出的 6 款 28 nm 处理器均为 DSP+CPU 架构平台, 66AK2E12 包含 8 个 C66x DSP 核和 4 个 ARM15 CPU 核.

数字信号处理器主要强调运算的实时性, 其体系结构、指令系统、存储器结构、指令控制、数据寻址和数据输入输出等均按照实时处理要求来设计, 随着技术的不断推进, 形成一些典型特征:

(1) 向量化. 时频转换、空时转换等是信号处理基本变换, 这种变换涉及大量快速傅立叶变换 (FFT)、有限冲击响应 (FIR) 滤波、无限冲击响应 (IIR) 滤波等基本运算, 基本操作为乘法及乘法累加等. 提升处理器性能更直接且有效的方法是增添多个乘法及乘法累加运算部件的数量, 并将这些运算部件按向量化方式构建, 即用多个处理器阵列取代原有一个运算部件. 如 TI 公司最新推出的处理器核 C66x 就是在 C674x 核基础上以协处理器方式通过增加向量运算部件构成, Freescale 公司高性能 DSP 处理器核 Starcore 运算单元核完全按照向量化来构建. 从运算效能来看, 按向量化构建处理器内核比协处理器方式拥有更高的运算效能.

(2) 哈佛结构. 处理器内部多运算部件运行效率是考量 DSP 性能的一个重要因素. 提高运算效率, 程序总线 and 数据总线分开, 即所谓的哈佛结构是处理器一个很自然的选择. 随着器件规模的增大, 运算部件的增多, 增加数据总线和程序总线个数, 提高总线数据宽度形成超级哈佛结构等, 则成为处理器发展的一个必然趋势. 如 ADI 公司的 SHARC 系列 DSP 内部集成了总线字宽为 128 bit 的 3 种总线, 即程序存储器总线、数据存储器总线和输入/输出总线^[2]. TI 公司 C6000 系列内部的程序总线达到 256 位宽度, 数据总线为两个 32 位字宽, 同时提供专门的 32 位 DMA 总线字宽^[3].

(3) 超级流水线. 超级流水线 (super pipeline) 已成为 DSP 的一种基本形态. DSP 处理器初期流水线级数一般为 3~5 级, 后续流水线级数普遍被加大, 如 TI 公司 C66x 核流水线为 7 级, ADI 公司 TS201 流水线达 10 级.

(4) 超长指令字. 运算部件增多意味着需要更多控制信号, 便于充分发挥处理器性能, 超常指令字 VLIW (very long instruction word) 应运而生. VLIW 实现了一条指令可以灵活控制多运算部件这样一种形态. 指令最初实现方式为固定长度, 如 Freescale 的 Starcore 就是采用 256 bit 固定超长指令来控制内部的各运算部件^[4]. 固定字长 VLIW 指令在代码优化方面没有优势, 故将一个超长指令拆成多条短指令字同时并行发射, 是 VLIW 发展的一个基本趋势, 以此实现了可变长度的 VLIW 效果, 在代码优化方面表现出比较好的优势. 如 ADI 公司 TS201 处理器支持 4 发射指令^[2], TI 公司的 C66x 核支持 8 发射指令^[3].

(5) 专用存储器地址发生运算器. 哈佛结构意味着处理器内部存储器是独立存在的一个部件, 运算部件与存储器之间需要高速数据交换, 为确保这种数据交换实时高效, 存储器地址发生器本身带有一定运算能力是一种自然选择, 此时可以保证存储器地址的调整不需要动用运算部件, 使得运算部件

专心进行数据计算. 随着 DSP 运算部件增加, 运算能力增强, 运算部件和存储器之间需要交换的数据增多, 单一地址无法满足存储器数据交换要求, 多个地址发生运算部件应运而生. 如 TS201 安排了两个地址运算部件^[2].

(6) 特殊指令. DSP 是针对各种特殊数字信号处理密集运算要求而设计的, 提高特定运算效率是 DSP 追求的目标, 设计针对特定应用的若干条专用指令是 DSP 普遍采用的方式, 如低开销或无开销循环及程序跳转、快速中断处理、针对 FFT 运算和编解码运算而设计的反转寻址指令、迭代运算指令、字符位操作指令等. 这些特殊指令, 可以使处理器发挥更高运算效率.

2 “魂芯一号”设计思路

“魂芯一号”DSP 是“魂芯”系列第一款 DSP 器件, 该 DSP 产品是基于 55 nm 制作工艺实现的. 按照 DSP 发展历史进程, “魂芯”DSP 内核选取了 VLIW+SIMD 体系架构, 从上述分类角度上看, 属于 DSP 第二发展阶段的产品. 在国家“核高基”重大专项和中国电子科技集团公司“电子支撑”项目强力支持下, 经过 6 年建设, 完成器件研制.

“魂芯”DSP 设计的基本思路为: 按照 DSP 处理器固有的发展规律, 结合高密集计算领域信号处理需求, 在 55 nm 允许的规模框架内, 构造出一个单核运算能力强大的自主体系架构和指令集处理器, 同步开展基于这个处理器相关软件环境建设工作, 建立其相应的生态环境, 形成一个性能超越当时市场已有的 DSP 器件 (TS201) 且具有基本生态环境的浮点处理器, 满足我国信号处理领域对自主 DSP 的迫切需求, 并为今后在更高工艺下快速构建更高性能多核 DSP 奠定扎实的基础. 与此同时, 在特定领域开展基于“魂芯一号”的板卡设计工作, 利用这个板卡构建实际信号处理系统, 同步开展实际应用. 通过这个项目的研制, 建立一支掌握从微体系架构和指令体系设计、逻辑设计、功能验证、可测性设计、物理设计等方法的研制队伍, 突破纳米级集成电路设计等关键技术.

开展自主 DSP 研制, 最大问题是其生态环境的打造. 由于 DSP 建立的是一个平台, 它并不提供用户实际应用算法, 对于设计师来说, 自主处理器意味着需要重新学习和掌握其编程方法, 这需要花许多时间和精力, 随着 IT 进程加快, 设计师面临的市场压力也相当大, 若想让设计师接受就必须有一个让设计师能够看得见实惠的理由. 系统设备计算性能要求的增长速度远远高于器件实际增长的速度, 如果我们能够给市场提供一个最高效能的处理器, 使得人们能够用更少的设备、更低功耗实现其系统功能, 这对设计师是有强大吸引力的, 再在自主可控旗帜下, 配上良好的软件生态环境, 被市场接受就有可能, 真正形成自主可控气候.

3 “魂芯一号”设计基本工作

3.1 体系结构设计

55 nm 工艺下允许器件规模已经相当大, 向量化处理已成为处理器发展基本态势. 数字信号处理的基本运算为复数, 其中 FFT 等是数字信号处理中基本变换, FFT 变换基本单元为迭代运算, 因此复数运算和迭代运算性能的优劣直接关系到实时处理效能. 为此, 在确定处理模块数量时, 在一个时间节拍内完成一个复数运算和 FFT 的若干个迭代运算是一个基本参照物, DSP 运算部件的数量和基本形态由此确定.

图 1 “魂芯一号”功能框图

Figure 1 Hunxin I function diagram

一个复数运算包含 4 个实数运算, 一个 FFT 基 2 迭代运算需要 4 个 ALU 运算部件, 一个 FFT 基 4 运算需要 4 个基 2 迭代运算, 基于上述考虑, 处理器内部基本运算单元安排了 32 个算术逻辑单元 (ALU)、16 个乘法器 (MPY)、同时安排 8 个字符移位运算单元 (SHIFT) 和 4 个超越函数运算单元 (SPU) 共 60 个运算部件, 这 60 个运算部件为“魂芯一号”DSP 内部所拥有的全部计算资源, 这些计算资源和器件工作频率相结合, 就形成“魂芯一号”的计算能力。“魂芯一号”DSP 结构框图见图 1. 这样配置可以确保在一个时间节拍内完成 FFT 一个基 4 迭代运算.

图 2 “魂芯一号”运算部件功能框图

Figure 2 Function diagram of Hunxin I arithmetic-logic unit

运算部件数量确定之后, 如何灵活调度和控制这些运算部件发挥其应有的效能, 这是处理器体系结构设计需要考虑的工作重点. 为了便于调度和分类, 处理器运算部件被均分为 4 份, 每一份构成一个运算单元宏, 即每个运算单元宏安排了 8 个 ALU, 4 个 MPY, 2 个 SHIFT, 1 个 SPU, 整个器件内部拥有 4 个运算单元宏. 从有效控制角度考虑, 宏内的运算部件按照 VLIW 体系架构来安排, 宏间运算部件按照 SIMD 体系架构来安排. 这样的分配使得应用工程师只需要考虑 1/4 数量的运算部件, 即 15 个运算部件的指令控制工作. 宏内各个运算部件运行控制来自于同一时刻发射的不同指令, 处理器内部可以同时发射 16 条指令, 这足以控制 15 个运算部件进行各不相同工作. 各个运算宏之间同种运算部件进行相同的操作可以用一条指令来控制, 这样就可以很好地兼顾运算部件控制的灵活性和计算效率之间的矛盾. 运算部件结构框图见图 2.

不同运算宏之间的控制指令是相同的, 即操作相同, 但其运算的数据不同. 为此, 每个运算宏都设计了一组数据寄存器组, 用于存放各自对应的数据, 各个运算宏中运算部件运算所需要的所有数据均来自于各自数据寄存器组, 运算结果也存回到各自数据寄存器组. 运算部件与器件内部存储器之间并不直接相连, 两者之间通过数据寄存器组进行桥结, 即存储器数据送到数据寄存器组之后, 才能参与运算单元的计算, 运算单元运算结果送到数据寄存器之后, 才能转送到内部存储器进行暂存.

处理器的指令长度有两种: 32 bit/64 bit. 按 32 bit 指令长度计算, 处理器同时发射的指令槽有 16 个, 即最大可同时发射 16 条指令. 64 bit 指令字占据两个指令槽, “魂芯一号” DSP 内部设计时同一时刻只允许最多可发射 4 条 64 bit 指令. 因此在实际运行过程中, 整个指令安排为首先是 64 bit 指令占据相应的指令槽, 剩下的指令槽再被 32 bit 指令所填充. 这 16 个指令槽可以不被填满, 即指令槽可以不发射指令, 这样用于控制处理器内部 60 个运算单元是否参与运算的是一个可变长度的超长指令字.

每个宏内运算部件是否参与, 有多少运算部件参与均由用户通过程序编程确定. 为了保证运算部件的运算数据及时存储和交换, 器件内部安排了存储容量为 24 Mb 双口静态存储器, 这些双口静态存

表 1 DSP 处理器参数

Table 1 DSP parameters

	BWDSP100	320C66x	TS201	ADSP21469	ADSP21060
Clock frequency	300 MHz	1.25 GHz	600 MHz	450 MHz	40 MHz
Core counts	1	1	1	1	1
Nominal operation	15.6 GFOPS	20 GFOPS	3.6 GFOPS	2.7 GFOPS	0.12
Memory on-chip (Mb)	28	48	24	5	4
1 k FFT(μ s)	3.6	5.6	15.7	20.44	460
FFT*nominal	56.16	112	56.52	55.18	55.2

存储器被分成 3 组, 每组容量为 8 Mb 且被分成 8 个 bank(块) 形成 256 bit 宽度的数据总线, 每个 bank 的存储容量为 32 K $\times$ 32 bit, 在一个时间节拍内从数据存储器能够调入一个基 4 运算数据到运算部件, 同时能够从运算部件将一个基 4 运算数据存到数据存储器中. 3 组存储器形成 3 个读总线和 3 个写总线, 存储器与运算部件之间安排两个读总线和三个写总线或者两个写总线和三个读总线, 其余总线被安排给存储器与 I/O 之间的数据交换, 保证器件运算与存储之间以及存储与 I/O 之间数据交换的平衡. 基于上述结构, “魂芯一号” 主要性能指标如下:

- 工作频率: 300 MHz;
- 运算能力: 15.6 GFLOPS;
- 乘法运算: 4.8 GFMAC/19.2 GMAC(16 bit);
- 存储容量: 28 Mbit (程序存储器 4 Mb, 数据存储器 24 Mb);
- 外部存储: 内置 64 bit DDR2 SDRAM 控制器.

运算部件、存储器和总线等是处理器的基本架构, 这个架构上运行的指令体系是处理器的灵魂, 处理器软件开发环境是处理器的脸面, 三者缺一不可. 在运算能力确定情况下, 处理器的运行效率主要还是由它指令体系决定的. 我们根据雷达、电子对抗等信号处理基本要求, 建立了 “魂芯一号” DSP 指令体系 BW32v1, 其特点为:

- 单周期标量运算提升到单周期矢量运算;
- 单周期实现常规非线性运算;
- 有多运算单元参与;
- 汇编语言以代数形式出现: 复数乘 $CR_{s+1:s}=CR_{m+1:m}\times CR_{n+1:n}$, 对数 $Rs=\ln(Rm)$;
- 强化信号检测方面能力;
- 具有向量寻址和倒序寻址;
- 提供块浮点运算 (定点运算).

其指令集体系 BW32v1 包含 8 大类: 乘法指令、ALU/逻辑指令、移位/裁减指令、非线性运算指令、大小选择及判别指令、数据传输指令、赋值指令、程序控制指令等.

DSP 处理器的运算效率常用数字信号处理中的 FFT 运算数据来衡量. 表 1 给出 “魂芯一号” 与其他处理器核之间在进行 FFT 运算时数据对比.

DSP 主要是用于高密度计算领域, 器件性能的指标衡量并不完全依据器件的工作频率, 实际效能和处理器能力都是设计师所关注的.

DSP 处理器可以将 FFT 运算时间作为其考察对象, 标称运算能力与 FFT 运算时间的乘积可以

作为一个重要的考核指标,即处理器效能

$$\eta = t(\text{FFT}) \times \text{GFLOPS}.$$

该数值越低,表明处理器的性能越高.从表1中可以看到,ADI公司推出的DSP效能最高,TI公司DSP处理器效能比ADI公司DSP器件差两倍,因此,虽然TI公司标称运算能力比较高,但实际效果比所给的数据要小两倍.“魂芯一号”的实际效能接近于ADI公司DSP,故标称运算能力相对于C66x核来说要高一倍,因此虽然理论值要小25%,但实际运算时间要快75%.从表1数据中还可以看到,“魂芯一号”在300 MHz情况下达到的运算时间小于TI公司1.25 GHz所达到的运算时间,随着集成电路工艺的进步,“魂芯一号”DSP工作频率有比较大的提升空间,因此其性能未来有较大上升空间.

3.2 软件环境建设

通用DSP处理器构建的是个平台,用户需要在这个平台上开展应用程序的编制,才能将DSP构成一个完整的产品,友好、易用的软件开发环境支撑是该器件能否被设计师接受的关键.

ECS 1.0是专为“魂芯一号”打造的功能完善、界面友好的集成调试开发软件平台.通过可视化的图形界面和用户进行交互,程序开发人员在这个界面上可以进行高效的文件、工程管理,灵活地编辑、调试等应用程序开发,编程、仿真、模拟、调试一体化,不同工作模式相互切换.

ECS 1.0包含两个部分:集成开发环境和调试器,主界面如图3所示.集成开发环境包括宏预处理器、规则检查器、汇编器、链接器、反汇编器、库生成器、加载器、精确到时钟周期的指令级模拟器、内容丰富的DSP算法库、调试器和硬件诊断器、C编译器.

调试器(Debugger)集成了指令集模拟器(Simulator)和硬件仿真器(Emulator).调试器支持汇编级和C级代码调试,可以同时查看编辑窗口、输出窗口、反汇编窗口、跟踪变量等.可在标号或地址上设置断点,在寄存器、存储器、堆栈位置上设置条件观察点等.调试器提供大量性能统计工具,并以绘图方式显示.性能统计功能是程序员在不干扰处理器运行情况访问处理器,程序员可以在不中断程序情况下,快速而有效的找出软件的瓶颈所在.统一界面可最多支持8片处理器同时调试,多处理器可以同时操作,如指令单步、周期单步、连续运行、设置断点和挂起等,也可以只针对某一处理器.支持汇编源代码级调试,可进行纯软件模拟,也可以进行基于目标板仿真,同时还可以模拟并行的I/O接口、外部中断和控制信号.

程序员可以进行以下操作:查看汇编代码、插入断点、定制寄存器窗口、跟踪指令执行、查看指令流水、对执行的程序进行统计性能分析、对存储器进行Fill, Dump和绘图操作、比较图的绘制、执行程序源程序级调试、查看标准的输入输出信息等.

3.3 RTL设计和验证

“魂芯一号”处理器件由5大部件组成:运算单元、存储单元、通信单元、程序译码单元和数据接口单元.运算部件主要完成数据的各种算术运算和逻辑运算;存储单元主要用于存储程序、表格数据、运算数据以及运算过程当中的一些中间结果,分为程序存储部件和数据储存部件,程序存储部件主要用于存储控制各个部件运行的程序和一些表格数据,数据存储单元主要用于储存输入/输出数据、中间运算结果和运算过程中系数等;通信单元主要用于内部各个存储单元之间、内部存储单元同外部存储单元之间的数据转移以及各种控制信号的状态传输;程序译码单元主要用于将从程序存储器读出的程序指令进行译码,以便控制各个开关按照设定的顺序进行动作,确保各个运算单元按照程序设定的要

图 3 (网络版彩图)“魂芯一号”软件开发环境

Figure 3 (Color online) Software development environment of Hunxin I

求进行有条不紊的工作; 数据接口单元主要用于器件同外部之间的数据接口, 包括并行数据口/串行数据口、同步数据口/异步数据口、电平控制信号/脉冲控制信号接口以及各个定时器接口等。

由于设计的指令集、体系结构、执行部件、软件开发环境等均自主, 完备的功能验证至关重要, 验证的方式有功能仿真和形式验证。为了度量验证的成果, 一般用覆盖率量化验证进程数据。覆盖率主要包含代码覆盖率和功能覆盖率。代码覆盖率分为 4 种类型, 即行覆盖、条件覆盖、转换覆盖、状态机覆盖, 功能覆盖率则是将方案所规定的全部功能进行描述转换。“魂芯一号”在验证过程中采用覆盖率驱动方法, 以随机、约束随机、手工定向等方式, 产生测试用例, 逐步达到最终覆盖率目标。图 4 给出覆盖率驱动验证基本过程。

RTL 设计模块代码覆盖率必须达到 100%, 各项功能覆盖率目标达到 100%。功能完备性验证要面临 3 个主要问题: 可靠性、完备性和效率。为此我们建立了一个自动化统一验证平台, 在测试过程中尽量减少人工干预, 提高自动化程度。在统一验证平台下, RTL 设计、软件仿真器、SystemC 模型互为参照, 又都是被验证对象, 同时还能验证软件开发环境。统一验证平台如图 5 所示。验证平台采用 UVM 和 VMM 相结合的方式。

3.4 物理设计

后端物理设计包括逻辑综合、布局规划、电源网络设计、时钟树综合、低功耗设计、可测试性设计、签核设计, 采用的工艺为 55 nm。

图 4 覆盖率驱动验证过程
Figure 4 Coverage-driven verification

图 5 统一验证平台
Figure 5 Universal verification platform

逻辑综合则是根据设计的具体要求, 通过详细准确的约束, 利用适当的综合工具, 选择合理的综合策略, 将设计人员的 RTL 代码进行结构上优化和合理标准单元例化, 生成门级网表. 在生成门级网表过程中, 时钟约束和条件约束的设置和检查相当重要, 包括代码规则和约束完整性检查. 采用自下而上和自上而下的多次迭代和一些优化策略, 最终得到网表.

图 6 (网络版彩图)“魂芯一号”布线图
Figure 6 (Color online) Layout of Hunxin I

可测性设计在芯片的设计阶段通过插入用于提高芯片可测试性的硬件逻辑,使芯片变得容易且充分的测试,内部扫描链设计、存储器内建自测试、边界扫描设计等成为集成电路设计中必不可少的环节.数字逻辑采用扫描链测试,片上模拟模块 PLL 以及 TAP 采用隔离测试, RAM 和 ROM 用专用 BIST 电路测试^[5],存储器控制逻辑用扫描路径测试.测试覆盖率达到 97.89%.

在物理实现过程中, 布局规划相当重要, 包含对芯片大小 (die size) 的规划、芯片输入输出单元 (I/O) 规划、硬核规划、及供电电源规划等, 标准物理单元实施, 时钟树综合, 实际物理布线, 包含消除布线拥塞、优化时序、减少耦合效应、消除串扰、降低功耗、保证信号完整性、预防可制造性和提高良率等 [6]. 物理设计后芯片面积 $8.3 \text{ mm} \times 9.8 \text{ mm}$. 图 6 为其实际布线结果.

4 “魂芯一号”应用及开发

实际系统运算要求远高于“魂芯一号”所能达到的运算能力,单个 DSP 器件是无法满足多数系统对数字信号处理运算能力的需求,用多片“魂芯一号” DSP 器件按照一定的拓扑结构联结,构成一个大型的 DSP 处理器阵列是实现数字系统信号处理运算的一个基本态势.“魂芯一号”在系统规划时,如何实现多片 DSP 级联是一个重要的设计要素,也是“魂芯一号” DSP 相对于 TI 公司 DSP 所拥有的特点和优势.

“魂芯一号” DSP 设计了 4 个高速数据链路口, 实现多片处理器间互连. 4 对高速链路口相互之间完全独立, 每个链路口的收发之间也完全独立. 通过链路口互连, 可以将多片处理器组织在一起, 形成一个处理器簇. 如可以将 4 片处理器组成一簇, 图 7 给出一些主要的拓扑连接关系, 其中每个顶点圆

图 7 (网络版彩图) 4 片“魂芯一号”互连的典型拓扑结构

Figure 7 (Color online) Topological structure of four-chip interconnection

图 8 多处理器簇形成的网络结构

Figure 8 Network of multi processor cluster

圈代表一个“魂芯一号”，顶点间的边代表一对链路口。

在图 7 处理器簇拓扑结构中，所有的链路口并没有完全利用，如四面体结构中，每个处理器有 3 对链路口用于簇内互连。留下的链路口用于簇外互连，形成一个开放的结构，不同处理器簇组合起来，形成更加庞大的处理器网络。仍以四面体结构为例，簇内每个处理器都有一对链路口可用于簇外互连，那么四面体结构的一簇处理器就有 4 对链路口用于簇外互连，这样，4 个四面体结构处理器簇就可组合成超簇结构。依此类推扩展下去，通过链路口的互连，理论上可构成无限层次的分形簇结构。图 8 给出其一个示意图。

“魂芯一号”在 DDR2 接口和链路口之间设计了飞越传输的 DMA 通道，即 DDR2 接口数据可以不经过处理器内核存储器，直接通过链路口的发送端传送出去；或者链路口接收到的数据直接经 DDR2 接口存储到 DDR2 SDRAM。这样，通过飞越传输可以达到不同处理器之间能间接地共享 DDR2 外存，达到多处理器耦合的目的。多核 DSP 共享 DDR2 SDRAM 结构框图见图 9。

根据上述结构，设计了基于 CPC1 总线和 VPX 总线按照 4 面体结构形成 4 片“魂芯一号”处理器板卡 (图 10)。用这个板卡构成一个统一的软件化信号处理平台，系统信号处理功能通过软件来实现，改变软件即可实现系统功能的改变。有些系统一片插件即可完成其任务，大型系统则需要多片插件

图 9 通过飞越传输共享 DDR2 SDRAM 的多处理器耦合结构

Figure 9 Multi processor coupling structure based on sharing DDR2 SDRAM over the transmission

图 10 基于“魂芯一号”DSP 的处理板卡

Figure 10 Hunxin I PCB

才能完成, 如某一个系统完成整个信号处理任务需要 30 块、共 120 片“魂芯一号”器件。“魂芯一号”在一些大型系统得到广泛应用表明, 我们自主构建的高性能数字信号处理器完全可以满足我国高性能的数字信号的要求。

5 结论及未来工作

“魂芯一号”是基于 55 nm 构建的。“魂芯一号”研制成功, 为我们在 28 nm 研制“魂芯二号”DSP 奠定了坚实基础。“魂芯二号”追求的目标是, 初步形成自主 DSP 在高密计算领域占主导地位的态势。16 nm 的“魂芯三号”将会充分展示 DSP 在高密集计算方面所固有的优势, 与 FPGA 开展同台竞争, 以此来奠定 DSP 在高密集计算方面的优势地位。

参考文献

- 1 Zhao X W. DSP Application and Development Base on TMS320C6200 Series. Beijing: Publishing House of Posts & Telecom Press, 2002. 14–17 [赵训威. 基于 TMS320C6200 系列 DSP 芯片的应用于开发. 北京: 人民邮电出版社,

2002. 14–17]
- 2 Liu S M, Luo Y J. DSP Principle and Application Design of ADSP TS20XS Series. Beijing: Publishing House of Electronics Industry, 2007 [刘书明, 罗勇江. ADSP TS20X 系列 DSP 原理与应用设计. 北京: 电子工业出版社, 2007]
 - 3 TI Instruments. TMS320C6678 Multicore Fixed and Floating-Point Digital Signal Processor. 2010, 11: 14–15
 - 4 Freescale. Freescale multi-core DSP base on StarCore. Compotech China, 2007, 73–74 [飞思卡尔公司. 飞思卡尔基于 StarCore 的多核数字信号处理器. 电子与电脑, 2007, 73–74]
 - 5 Sun D C, Zhang J. DFT solution for a multimillion gate design. China Integr Circ, 2012, 3: 65–68 [孙大成, 张杰. 一款百万门级 SOC 芯片的可测试性设计. 中国集成电路, 2012, 3: 65–68]
 - 6 Zhang J, Sun D C. Physical design of a million-gate chip with 65 nm process technology. China Integr Circ, 2012, 1: 31–35 [张杰, 孙大成. 65 nm 工艺下百万门级芯片的物理实现. 中国集成电路, 2012, 1: 31–35]

BWDSP100 and its applications

HONG Yi*, FANG TiLian, ZHAO Bin*, GUO ErHui, LIU XiaoMing & GENG Rui

38th Research Institution of China Electronics Technology Group Corporation, Hefei 230088, China

*E-mail: hongyi@cetc38.com, zhaobin@cetc38.com

Abstract Digital signal processor (DSP), a type of data driven processor, has the highest comprehensive performance in the field of intensive computing. After six years of intensive research, CETC-38 has successfully completed the R&D for BWDSP100, achieving their intended goals, and having defined noteworthy applications for BWDSP100 in existing products. This paper first reviews the development of DSP and its typical characteristics, then introduces the basic design ideas of China's independently developed universal DSP chip BWDSP100, followed by the R&D process, and finally, actual application scenarios.

Keywords digital signal processor, Harvard architecture, very long instruction word, single-instruction multiple-data stream, link port

HONG Yi was born in 1963. He received his B.S. degree from the Anhui University, Hefei, in 1984 and M.S. degree from the Southwest Research Institute of Electronics Technology, Chengdu, in 1987. Currently, he is a senior engineer at Professor level at CETC 38. His research interests include IC design and Radar signal processing. He is an assistant director at CETC 38.