非硅微电子学: 锗与锗锡场效应晶体管

韩根全^{①*}, 张春福^①, 张进成^①, 成步文^②, 郝跃^①

① 西安电子科技大学微电子学院, 西安 710071;

② 中国科学院半导体研究所, 北京 100083

*联系人, E-mail: gqhan@xidian.edu.cn; hangenquan@ieee.org

收稿日期: 2016-03-15; 接受日期: 2016-04-08; 网络出版日期: 2016-08-19

国家自然科学基金重点资助项目(编号: 61534004, 61334002)

摘要 本文讨论了非硅微电子学,即在硅衬底上利用非硅沟道材料实现互补型金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)集成电路的微电子科学与技术. 文章重点综述了高迁移率锗与锗锡沟道金属氧化物半导体场效应晶体管(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)以及隧穿场效应晶体管(Tunneling Field Effect Transistor, TFET)的研究进展. 锗与锗锡具有比硅(Si)材料高的空穴和电子迁移率且容易实现硅衬底集成,是实现高迁移率沟道CMOS器件的理想备选材料. 通过调节锡组分,锗锡材料可实现直接带隙结构,从而获得较高的带间隧穿几率,理论和实验证明可用锗锡实现高性能TFET器件. 本文具体分析了锗锡MOSFETs和TFETs器件在材料生长、表面钝化、栅叠层、源漏工程、应变工程及器件可靠性等关键问题.

关键词 锗, 锗锡, 场效应晶体管, 迁移率, 带间隧穿

PACS: 61.72.Tt, 61.82.Fk, 71.22.+i, 72.20.-i, 85.30.Tv

非硅微电子学是指:在硅衬底上利用非硅沟道材料实现互补型金属氧化物半导体(CMOS)集成电路的微电子科学与技术. 发展非硅微电子学的主要目的是在进一步提升CMOS集成电路性能的同时降低其功耗. 半个多世纪以来,以硅(Si)CMOS器件为基础的集成电路行业遵循“摩尔定律”取得了巨大成就,也带动了整个信息技术产业的迅猛发展. 2014年,英特尔报道了14 nm工艺的处理器的处理器,且16/14 nm工艺在台积电、三星等单位也得以量产化. 然而伴随器件特征尺寸的进一步缩小, Si CMOS开始进入瓶颈阶段,单纯靠缩短沟道尺寸来提高器件性能和集成度开始面临

基本物理原理和工艺技术的限制,微电子产业开始进入“后摩尔时代”. 为了进一步发展微纳电子技术,延续CMOS工艺技术发展带来的性能和成本优势,高迁移率沟道CMOS器件开始受到广泛关注. 相较于硅材料,非硅高迁移率材料具有更高的载流子迁移率,在相同沟道长度和较低工作电压条件下,高迁移率沟道CMOS器件的工作电流比Si器件更高,集成电路可以在不增加集成度的情况下,提高性能,降低功耗. 国际半导体技术联盟(International Technology Roadmap for Semiconductors, ITRS)预测工业界将在11/10 nm工艺之后引入高迁移率沟道CMOS器件. 英特尔、台积

引用格式: 韩根全, 张春福, 张进成, 等. 非硅微电子学: 锗与锗锡场效应晶体管. 中国科学: 物理学 力学 天文学, 2016, 46: 107303
Han G Q, Zhang C F, Zhang J C, et al. Non-Silicon microelectronics: Germanium and Germanium-Tin field-effect transistors (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107303, doi: 10.1360/SSPMA2016-00155

电、三星等集成电路工业巨头及国内外相关科研单位都投入了大量的人力物力研究高迁移率沟道CMOS器件.

表1^[1]所示为目前主流的高迁移率沟道材料的参数. 可以看出镓砷(InGaAs)等III-V族半导体的电子迁移率远高于Si材料, 是制备高迁移率n型金属氧化物半导体场效应晶体管(MOSFET)的备选材料. 锗(Ge)的空穴迁移率是Si的4.4倍, 是实现高迁移率p型MOSFET的理想沟道材料; 同时Ge的电子迁移率也高于Si, 理论上可以用Ge实现高迁移率CMOS. 研究证明, 压应变锗锡(GeSn)沟道MOSFET具有比Ge器件更高的空穴迁移率, 且理论上通过调整Sn组分和施加张应变, GeSn可转变成直接带隙, 更多电子占据 Γ 能谷, 理论上GeSn具有比Ge更高的电子迁移率^[2,3].

利用高迁移率沟道技术, 有希望将CMOS的工作电压降低到0.5 V左右, 如果进一步降低工作电压, MOSFET的工作电流将大幅下降. 由于波尔兹曼(Boltzmann)限制, MOSFET的亚阈值摆幅室温下不能小于60 mV/dec, 因此在超小工作电压下, 比如0.1–0.3 V, 器件工作电流直接受制于亚阈值摆幅. 因此, 开发陡峭亚阈值摆幅器件, 如隧穿场效应晶体管(TFET), 是实现超低工作电压CMOS结构的关键. 加州大学伯克利分校的Hu教授^[4]预测TFET是实现超低工作电压和超低功耗集成电路的备选逻辑器件. 2011年*Nature*杂志关于TFET的专题文章特别指出TFET是高效节能电子开关^[5]. TFET是基于量子隧穿效应实现器件导通的新型结构, 通过操控栅压改变器件内部电势分布, 从而决定是否发生隧穿以及迅速切换器件的开关态, 其转换的斜率不受MOSFET 1.5 KT的限制^[5]. 基于量子隧穿的晶体管概念出现于19世纪80年代^[6], 1995年, Reddick等人^[7]报道了Si表面隧穿晶体管. 目前, 报道的TFET材料主要包括Si, Ge, GeSn与InAs^[8–13]等. 下面重点介绍

表1 高迁移率沟道材料参数^[1]

Table 1 Parameters of high mobility channel materials [1]

	Si	Ge	GaAs	InAs	InSb
电子迁移率 (cm ² /V s)	1600	3900	9200	40000	77000
空穴迁移率 (cm ² /V s)	430	1900	400	500	850
带隙 (eV)	1.12	0.66	1.424	0.36	0.17
介电常数	11.8	16	12.4	14.8	17.7

Ge源Si TFET及基于GeSn材料的TFET器件研究进展.

本文将综述近年来国内外Ge与GeSn沟道CMOS和GeSn TFET器件的研究进展, 并对器件研制中存在的一些关键科学问题进行阐述.

1 Ge沟道CMOS器件

2000年左右, Ge沟道CMOS器件成为微电子器件领域研究的热点, 伴随器件结构的设计优化和制备工艺的发展, 高迁移率Ge沟道MOSFET的器件性能得以不断提升, 比如Ge pMOSFET器件的空穴有效迁移率已达到Si器件的10倍以上^[14], Ge nMOSFET器件的电子迁移率也超过了Si器件^[15].

1.1 Ge沟道pMOSFET

Ge pMOSFET器件研究的两个基础问题为表面钝化工艺和利用压应变提高迁移率. Ge和栅介质接触易形成疏松且易分解的GeO_x, 造成高的界面态密度, 因此表面钝化是器件制备的关键工艺步骤.

1.1.1 Ge pMOSFET沟道表面钝化

2002年, 斯坦福大学^[16]利用ZrO₂钝化Ge表面实现了Ge pMOSFET, 迁移率是Si器件的2倍. 2006年, 英特尔和欧洲微电子研究中心(Interuniversity Microelectronics Centre, IMEC)开发了较低温度下(350°C)用Si₂H₆钝化Ge的工艺, 发现降低温度可以有效阻止Ge原子向栅介质扩散, 抑制Ge—O键形成, 从而有效降低界面态密度, 器件空穴迁移率达到358 cm²/V s^[17,18], 研究人员发现利用低温Si₂H₆钝化的Ge pMOSFET的阈值电压更稳定. 西安电子科技大学^[19]也利用类似的工艺, 实现了高性能Ge pMOSFET. 图1(a)为器件的扫描电子显微镜(Scanning Electron Microscope, SEM)图, 图1(b)为器件沟道界面处的高分辨透射电子显微镜(Transmission Electron Microscope, TEM)分析图, 可以看到高质量的Ge沟道和均匀的SiO₂/Si钝化层. 图2为器件的电学性能, Ge pMOSFET展现了良好的转移和传输特性, 在反型层电荷 Q_{inv} 为 4×10^{12} cm⁻²时, 空穴迁移率比Si提高了329%. 低温Si₂H₆钝化技术的另外一个优点是Si CMOS工艺完全兼容.

东京大学Lee和Zhang^[15,20]分别用热氧化和氧等离

图 1 (a) 器件扫描电子显微镜(SEM)图; (b) 高分辨TEM显示高质量Ge沟道和SiO₂/Si界面钝化层^[19]

Figure 1 (a) Top view of SEM image of Ge pMOSFET; (b) high resolution TEM image showing the high crystallinity of Ge channel and the high quality of interface ^[19].

子在Ge表面形成致密GeO₂钝化层, Ge pMOSFET可获得较高的峰值迁移率. 对比上述不同的钝化工艺, 经过低温Si₂H₆表面钝化的器件可以在较高栅极电压下保持高的迁移率和工作电流, 且器件栅叠层更稳定, 可靠性更优异. 台积电利用低温Si₂H₆钝化分别制备了沟道长度为20 nm、高迁移率Ge沟道p型FinFET, 在驱动电压为0.5 V时, 器件工作电流达到500 $\mu\text{A}/\mu\text{m}$ ^[21].

1.1.2 Ge pMOSFET应变工程

在Ge薄膜上加入面内压应变, 会导致Ge材料价带去简并, 且沿压应变方向, 空穴有效质量变小, 进而迁移率提高. 麻省理工学院(Massachusetts Institute of Technology, MIT)和斯坦福大学最早研究了压应变对Ge器件空穴迁移率的提升作用^[22]. 一般通过在SiGe弛豫

衬底上外延生长Ge薄膜获得压应变Ge, 这种方法通常需要很厚的SiGe过渡层, 对外延生长工艺要求较高. 斯坦福大学在绝缘体上硅(Silicon on Insulator, SOI)外延生长超薄压应变Ge沟道, 实现了Ge pMOSFET, 迁移率比Si器件提高4倍^[23]. 2010年, 英特尔在Si_{0.3}Ge_{0.7}弛豫衬底上生长压应变Ge沟道, 并利用低温Si₂H₆钝化沟道表面, 进而实现压应变的Ge pMOSFET. 在反型层电荷密度为 $2 \times 10^{12} \text{ cm}^{-2}$ 时, 器件的迁移率达到 $1000 \text{ cm}^2/\text{V s}$ ^[24]. 西安电子科技大学韩根全等人也在超薄SOI上生长应变Ge薄膜, 并制备了pMOSFET器件. 应变Ge pMOSFET沟道用低温Si₂H₆钝化, 图3为器件栅叠层高分辨TEM测试图. 超薄SOI上应变Ge器件展现了优异的电学特性, 如图4所示. 在反型层电荷密度为 $5 \times 10^{12} \text{ cm}^{-2}$ 时, 应变Ge pMOSFET的迁移率比弛豫Ge器件提高87%, 比应变Si器件提高210%, 如图5所示^[25].

研究发现, 如果把Ge中的双轴压应变变成单轴压应变, 器件的空穴迁移率可以更高. 2012年, MIT报道的单轴压应变Ge pMOSFET, 在反型层电荷密度为 $5 \times 10^{12} \text{ cm}^{-2}$ 时, 器件迁移率达到 $1400 \text{ cm}^2/\text{V s}$ ^[14]. 图6所示为不同条件的应变Ge和弛豫Ge pMOSFET对比图. 可见, 在Ge沟道中引入压应变是提高空穴迁移率的有效方法.

1.2 Ge沟道nMOSFET

相比pMOSFET, Ge沟道nMOSFET实现工艺难度

图 2 (网络版彩图)Ge pMOSFET的 I_D-V_{GS} 和 I_S-V_{GS} 曲线(a)和 $I_{DS}-V_{DS}$ 曲线(b); 器件迁移率与反型层电荷密度关系曲线(c), 迁移率最高值可达 $311 \text{ cm}^2/\text{V s}$ ^[19]

Figure 2 (Color online) (a) I_D-V_{GS} and I_S-V_{GS} curves of a Ge pMOSFET; (b) $I_{DS}-V_{DS}$ curves of the same device; (c) μ_{eff} versus inversion charge density Q_{inv} for Ge pMOSFETs showing that a peak μ_{eff} of $311 \text{ cm}^2/\text{V s}$ is achieved ^[19].

图3 超薄SOI上面生长的应变Ge pMOSFET栅叠层高分辨TEM图

Figure 3 High resolution TEM image showing the gate stack on strained Ge on SOI.

图4 超薄SOI上应变Ge pMOSFET的转移特性(a)和输出特性曲线(b)

Figure 4 $I_{DS}-V_{GS}$ (a) and $I_{DS}-V_{DS}$ (b) curves of strained Ge pMOSFET on ultrathin SOI.

大, 尚需解决的基础问题较多. 沟道电子迁移率除了受高界面态散射限制以外, 与晶面取向、Sn组分及沟道掺杂类型(n型或者p型)也有关系.

美国国际商用机器公司(International Business Machines, IBM)、斯坦福大学用GeON钝化Ge nMOSFET, 但器件迁移率不尽如人意^[26]. 后来东京大学用致密GeO₂进行表面钝化, 把器件界面态密度控制在非常低的水平, 器件展现非常高的峰值迁移率, 但迁移率随反型层电荷密度增加而急速退化^[15,20]. 新加坡国立大学和台积电开发了InAlP钝化Ge的工艺, 在反型层电荷密度为 10^{12} cm^{-2} 时, Ge nMOSFET的迁移率为Si器件的两倍, 且等效氧化层厚度(Equivalent Oxide Thickness,

图5 (网络版彩图)应变Ge pMOSFET的空穴迁移率与反型层电荷关系曲线, 相比于弛豫Ge^[19]和应变Si器件^[25], 应变Ge pMOSFET的空穴迁移率分别提升了87%和210%

Figure 5 (Color online) Hole mobility versus Q_{inv} characteristics for strained Ge pMOSFET on SOI. Strained Ge pMOSFETs demonstrate 87% and 210% mobility enhancement compared to relaxed Ge^[19] and strained Si^[25] devices, respectively.

图6 (网络版彩图)不同应变情况下Ge pMOSFET的迁移率特性

Figure 6 (Color online) Hole mobility characteristics in Ge pMOSFET with different compressive strain.

EOT)可降至 1 nm ^[27]. 最近, 普渡大学发现利用n型掺杂沟道可显著提高器件的电子迁移率. 他们采用n型掺杂GOI, 利用GeO₂做钝化层制备的积累模式nMOSFET

图9 Ge(111)(a), (001)(b), 和(011)(c)衬底上的 $\text{Ge}_{0.92}\text{Sn}_{0.08}$ 量子阱沟道和栅叠层的TEM图

Figure 9 Cross sectional TEM images of gate stack on $\text{Ge}_{0.92}\text{Sn}_{0.08}$ quantum well channel on (111) (a), (001) (b) and (011) (c) oriented Ge substrates.

图10 不同晶面取向Ge衬底上的 $\text{Ge}_{0.92}\text{Sn}_{0.08}$ 量子阱pMOSFET转移特性曲线^[39]

Figure 10 $I_{DS}-V_{GS}$ curves for $\text{Ge}_{0.92}\text{Sn}_{0.08}$ quantum well channel on Ge substrates with different surface orientation ^[39].

件更高的空穴迁移率, 这与文献[41,42]报道的结果一致. Ge(111)衬底上的应变 $\text{Ge}_{0.92}\text{Sn}_{0.08}$ 量子阱pMOSFET的峰值迁移率为 $845 \text{ cm}^2/\text{V s}$, 高于之前报道的GeSn器件.

图11总结了不同Sn组分的GeSn pMOSFET器件空穴迁移率情况^[28,32,33,36,39,43,44]. 基本上可以看出伴随Sn组分的增加, 器件迁移率呈现提升趋势. 从实验结果看, 应变GeSn材料可以作为高迁移率pMOSFET的备选沟道材料.

2.2 GeSn沟道nMOSFET

研究证明通过调整Sn组分和施加张应变, GeSn可转变为直接带隙材料, 更多电子占据 Γ 能谷, 图12所示为理论计算得到的 Γ 能谷电子占据比例随Sn组分的变化. 理论上GeSn具有比Ge更高的电子迁移率^[2]. 斯坦福大学和新加坡国立大学分别利用 GeO_2 ^[3]和 GeSnO_x ^[45]钝化GeSn表面, 发现GeSn nMOSFET比Ge器件具有更

图11 (网络版彩图)不同Sn组分的GeSn pMOSFET迁移率特性^[28,32,33,36,39,43,44]

Figure 11 (Color online) μ_{eff} versus Q_{inv} for GeSn pMOSFETs with various Sn compositions ^[28,32,33,36,39,43,44].

图12 (网络版彩图)不同材料组分GeSn中 Γ 能谷中电子占导带电子总数的比值

Figure 12 (Color online) Ratio of the electron concentration in Γ valley to the total electron concentration in GeSn with different Sn compositions.

优异的亚阈值摆幅、电容等器件电学性能. 且发现由

于Sn的存在, GeSn中n型掺杂的激活浓度比Ge中更高, 这有助于改善器件源漏性能^[46]. Ge材料中n型杂质激活浓度低, 一般认为是因为Ge材料中存在大量空位缺陷, n型杂质激活过程中会沿着空位扩散, 从而降低杂质浓度, 影响激活效果. 研究人员预测Sn原子引入后可以在空位形成络合物, 从而可以有效提高n型杂质的激活浓度. 目前关于GeSn nMOSFET器件研究还不够深入, 关键工艺还有待突破.

3 Ge与GeSn CMOS器件可靠性研究

可靠性问题是决定高迁移率沟道CMOS器件是否可以实现实用化的关键. 研究人员对Ge与GeSn pMOSFET的负偏压温度不稳定性(Negative Bias Temperature Instability, NBTI)、经时击穿(Time Dependent Dielectric Breakdown, TDDDB)和热载流子注入(Hot Carrier Injection, HCI)等效应做了初步研究. IMEC、新加坡国立大学等研究组发现Si钝化的Ge pMOSFET在同样NBTI应力下, 阈值电压偏离和跨导损失比Si器件更小, 说明具有比Si器件更优异的NBTI特性^[47-49]. 新加坡国立大学发现Si₂H₆钝化的GeSn器件同样具有优异的NBTI特性^[50]. IMEC做了Ge pMOSFET的TDDDB特性研究, 发现和Si器件差别不大^[51]. IMEC和印度理工学院对Ge pMOSFET的HCI做了初步研究, 由于Ge带隙较窄, Ge pMOSFET中碰撞电离效应几乎是Si器件的两倍, 导致HCI效应恶化^[52].

虽然Ge pMOSFET展现了良好的NBTI特性, 但HCI恶化机制和控制方法亟需研究解决, 且nMOSFET的可靠性问题研究尚属空白. 总体上Ge与GeSn CMOS器件在可靠性问题方面缺少系统和深入的研究. 从上述研究可以看出, Ge与GeSn材料窄带隙的特性会导致CMOS器件可靠性恶化. 利用有效的表面钝化工艺降低界面态密度是控制高迁移率沟道CMOS器件可靠性的关键. 针对Ge与GeSn材料窄带隙、器件界面态密度较高等特性, 解决器件的可靠性问题是推进高迁移率沟道CMOS器件实现实用化的必要步骤.

4 隧穿场效应晶体管

隧穿场效应晶体管器件结构一般为栅控p⁺-i-n⁺结构, 其中i区为沟道, 一般为本征材料或者轻掺杂.

图13(a)所示为n沟道TFET器件示意图. 器件在关态时, 源和沟道之间存在着由沟道禁带所形成的电子势垒, 如图13(b)所示, 源端价带电子无法直接向沟道导带中空电子态隧穿. 此时器件的泄漏电流主要是反偏置p⁺-i-n⁺二极管的泄漏电流, 包括反向pn结的漂移电流和Shockley-Read-Hall复合电流. 一般TFET器件的泄漏电流要比MOSFET器件低. 如果漏端掺杂分布很陡峭, 漏端的带间隧穿也会导致器件泄漏电流增加. 随着栅电压V_{GS}的增加, 沟道中的能带随沟道电势增加而下移. 当沟道中导带底接近源端价带顶的时候, 隧穿势垒会明显变薄, 源端价带中的电子开始向沟道导带中的空电子态隧穿, 如图13(c)所示. 进入沟道的电子在沟道中横向电场作用下, 向漏极漂移形成最终的漏极电流. 对于超短沟道器件, 隧穿结隧穿能力要小于沟道的输运能力, 隧穿进入沟道的载流子会在沟道强横向电场的驱使下快速漂移到漏端, 这时TFET器件的漏极电流基本上等于隧穿结的隧穿电流.

如果假设源和沟道之间的隧穿势垒为三角势垒, TFET器件从源到沟道的能带间隧穿几率可以用温彻克腊默斯布里(Wentzel-Kramers-Brillouin, WKB)近似的方法进行计算, 表达式为^[5,53,54]

$$T_{\text{WKB}} \approx \exp \left[-\frac{4\lambda\sqrt{2m^*}\sqrt{E_{G,\text{eff}}^3}}{3qh(E_{G,\text{eff}} + \Delta\Phi)} \right] \quad (1)$$

其中, q 为电子电量, h 为普朗克常数, m^* 为有效隧穿质量, $E_{G,\text{eff}}$ 为隧穿结处材料带隙, λ 为屏蔽隧穿长度, 指的是源与沟道之间在沟道表面处的耗尽层宽度, $\Delta\Phi$ 为源端价带顶能量与沟道导带底能量差值. 在固定器件V_{DS}情况下, 增加V_{GS}, 可使沟道表面势增加, 从而减小 λ 和 $\Delta\Phi$, 进而导致器件的隧穿几率和隧穿电流增加.

图13 (a) n沟道TFET示意图; (b) TFET关态时能带示意图; (c) TFET开态时能带示意图

Figure 13 (a) Schematic of an n-channel TFET with the gated p⁺-p-n⁺ configuration. Energy band diagrams extracted from the source to drain direction near the channel surface for the device at off-state (b) and on-state (c).

可以近似认为TFET漏端电流和 V_{GS} 之间存在超指数关系^[55], 器件的亚阈值摆幅强烈依赖 V_{GS} , 这与MOSFET截然不同. 从公式(1)还可以看出, 要想增加TFET器件隧穿几率, 需要减小源和沟道之间隧穿结处的隧穿势垒, 即减小 λ , $E_{G,eff}$ 和 $\Delta\Phi$ 等参数的大小. 公式(1)一般只适用于直接带隙材料.

加州大学伯克利分校的Hu教授^[3]提出绿色晶体管的概念, 他指出TFET可以在超低工作电压下实现比MOSFET更低的能耗.

4.1 Ge源Si TFET

Si TFET工艺与CMOS完全兼容, 然而Si带隙太大, 且为间接带隙结构, 带间隧穿过程需要声子辅助隧穿, 这些因素导致Si TFET器件隧穿几率降低. 在Si TFET器件中引入重掺杂的Ge源, 利用Ge/Si界面作为源/沟道隧穿结, 可以有效提高器件的隧穿电流. Ge/Si界面处形成II型能带排列, 隧穿势垒宽度非常小, 可大大提高带间隧穿几率和隧穿电流. 麻省理工学院的Nayfeh等人^[56]最先研究了SiGe/Si异质隧穿结TFET, 证明了引入这一方法的理论可行性. 加州大学伯克利分校的Kim等人^[57]最先实现了亚阈值摆幅小于60 mV/dec的Ge源Si沟道TFET器件.

Liu等人^[58]利用原位掺杂和选择生长的技术, 成功的在Si TFET器件上集成了p型重掺杂的Ge源, 制备了Ge/Si TFET器件. 室温下, 器件的亚阈值摆幅达到49 mV/dec, 器件性能的提升得益于Ge/Si隧穿结处小的隧穿势垒. 图14(a)所示为器件的SEM图, (b)所示为p-Ge/Si隧穿结区域的TEM图. 图15(a)为Ge/Si TFET的转移特性曲线. 从图15(b)可以看出器件在漏电压从0.1–0.5 V、栅电压从0.3–0.4 V的范围内, 获得了小于60 mV/dec的亚阈值摆幅.

对于Ge源Si TFET器件, 关键工艺步骤是重掺杂的Ge源的选择性外延生长, 新加坡国立大学研究人员发现利用超高真空化学气相沉积(Cheical Vapor Deposition, CVD)的方法选择性外延生长硼掺杂的Ge(Ge:B), 在同样的前驱体流量的条件下, Ge材料生长温度和硼原子的掺杂浓度都不同^[59]. 图16所示为在Si(100), (110)和(111)衬底上生长的Ge:B材料, 生长温度分别为320, 320和300, 生长时间为3 h. 从TEM图中, 可以看出在Si(100)衬底上, Ge:B的外延生长速度最快.

图14 (a) Ge/Si TFET器件SEM图; (b) 器件源/沟道隧穿结TEM测试图^[58]

Figure 14 (a) Top-view SEM image of the ring-type Ge-source Si TFET; (b) TEM image of the tunneling region featuring the p⁺ Ge source-Si channel junction, TaN metal gate, and HfO₂ gate dielectric^[58].

图15 (a) Ge/Si TFET转移特性曲线, 器件的亚阈值摆幅为49 mV/dec; (b) 室温下器件亚阈值摆幅随栅电压和漏极电压变化分布图^[58]

Figure 15 (a) I_{DS} - V_{GS} of TFET with single crystalline Ge source, showing a steep subthreshold swing of 49 mV/dec; (b) contour lines for S of the TFET obtained at each bias (V_{GS} , V_{DS}) point at room temperature^[58].

研究人员用二次离子质谱(Secondary Ion Mass Spectroscopy, SIMS)测试了Ge层中硼原子浓度, 结果如图17所示. 生长在Si(110)和(111)上的Ge:B的硼原子浓度更高. 研究人员在Si(100)和(110)衬底上制备了垂直源结构的Ge/Si TFET器件, 如图18(a)所示^[60]. 霍尔测试证明Si(110)器件的Ge源掺杂浓度远高于Si(100)器件, 因此Si(110)衬底上的Ge/Si TFET展现了比(100)衬底上的器件更陡峭的亚阈值摆幅.

虽然利用Ge源形成Ge/Si II型异质隧穿结, 可以提高TFET的隧穿几率和亚阈值摆幅特性, 但是总体来讲, 器件的工作电流还是小于窄带隙和直接带隙结构

图 16 生长在Si(100) (a), Si(110) (b), 和Si(111) (c)衬底上的Ge:B材料的TEM测试图^[59]

Figure 16 TEM images of Ge:B grown on Si(100) (a), Si(110) (b), and Si(111) (c) [59].

的半导体器件.

4.2 GeSn TFET

GeSn材料是制备TFET器件的理想材料. 首先, 伴随Sn元素的引入, GeSn材料带隙变小, 且从间接带隙向直接带隙结构转变, 有利于提高带间隧穿几率. 其次, GeSn为IV材料, 易于实现Si基集成.

4.2.1 GeSn同质结TFET

新加坡国立大学和中国科学院半导体研究所合作最先开展GeSn TFET器件的研究^[11]. 研究人员利用分子束外延技术在Ge衬底上生长高质量 $\text{Ge}_{0.958}\text{Sn}_{0.042}$ 外延层, 利用 Si_2H_6 低温钝化GeSn材料表面, 得到高质量沟道界面, 利用磷离子注入结合低温退火形成 n^+/n 隧穿结. 图19为制备的 $\text{Ge}_{0.958}\text{Sn}_{0.042}$ 同质结pTFET的转移特性和传输特性曲线, 插图为器件结构示意图. 由于 $\text{Ge}_{0.958}\text{Sn}_{0.042}$ 比SiGe和Ge等材料的带隙更窄, 且具有准直接带隙, 所以 $\text{Ge}_{0.958}\text{Sn}_{0.042}$ pTFET展现出比Si, SiGe和Ge TFET器件更高的隧穿电流. 英特尔利用全量子模拟方法对基于 $\text{Ge}_{0.92}\text{Sn}_{0.08}$, InAs, Ge和GaSb/InAs材料的

TFET器件进行了电学性能模拟, 结果如图20所示^[61,62]. 结果显示GaAs/InAs异质结n沟道TFET器件要比Ge和 $\text{Ge}_{0.92}\text{Sn}_{0.08}$ 同类器件具有更高的隧穿电流; 而对于p沟道器件, InAs和GaSb/InAs TFETs并不能获得小于60 mV/dec的陡峭亚阈值摆幅, 这时 $\text{Ge}_{0.92}\text{Sn}_{0.08}$ p沟道器件展现了最优的电学性能. 英特尔研究人员预测GeSn是实现互补式TFET结构的理想备选材料^[61].

2015年, 西安电子科技大学报道了基于Si衬底的GeSn TFET器件^[12]. 研究人员利用低温固源分子束外延(Molecular Beam Epitaxy, MBE)技术在Si衬底上生长部分弛豫的不同组分的GeSn材料. TEM测试显示 $\text{Ge}_{0.97}\text{Sn}_{0.03}$ 和Si界面处出现大量位错缺陷, 高分辨X射线衍射(X Ray Diffraction, XRD)测试证明, $\text{Ge}_{0.97}\text{Sn}_{0.03}$ 材料几乎完全弛豫, 如图21所示. 实验测试结果证明, 伴随Sn组分的增加, 材料带隙变小, TFET器件漏极电流提高. 压应变不利于GeSn向直接带隙结构转变, 所以利用弛豫GeSn制备TFET器件, 有利于提升器件的电学性能. 研究人员还发现通过对Si基GeSn TFET器件施加沿沟道方向的张应变, 可以进一步提升器件工作电流, 这是因为张应变可以有效减小 $\text{Ge}_{0.97}\text{Sn}_{0.03}$ 材料的带隙, 从而提升器件的隧穿几率和工作电流. 图22为Si基 $\text{Ge}_{0.95}\text{Sn}_{0.05}$ TFET施加张应变前后的电学特性.

从图22可以看出, GeSn材料弛豫过程中产生大量位错, 导致TFET器件漏电流过大, 亚阈值摆幅也明显退化. 西安电子科技大学和中国科学院半导体所合作, 通过调节GeSn材料生长工艺, 在Si(001)和Si(111)衬底上成功生长了高质量、无缺陷超薄GeSn薄膜. 图23所示为Si(001)衬底上的GeSn薄膜. 基于这种GeSn薄膜并成功制备了Si衬底上的GeSn量子阱TFET器件, 器件在室温下获得了小于60 mV/dec的亚阈值摆幅, 如图24所示.

图 17 生长在Si(100), (110)和(111)的Ge:B样品的SIMS测试图^[59]

Figure 17 SIMS profiles of Boron for Ge:B films grown on Si(100), (110) and (111) substrates [59].

图 18 (网络版彩图)(a) 垂直源结构Ge/Si TFET; (b) 器件源极区域的TEM图; (c) Si(110)和(100)衬底上的Ge/Si TFET器件输出特性曲线^[60]

Figure 18 (Color online) (a) 3D schematic of Ge/Si TFET with vertical source; (b) TEM image of Ge source region; (c) I_{DS} - V_{GS} of a pair of TFETs on Si(110) and (100) substrates ^[60].

图 19 $\text{Ge}_{0.958}\text{Sn}_{0.042}$ pTFET的转移特性曲线(a)和输出特性曲线(b)^[56]. (a)中插图为器件结构示意图^[11]

Figure 19 Transfer (a) and output (b) characteristics of the $\text{Ge}_{0.958}\text{Sn}_{0.042}$ pTFET ^[56]. Inset shows the schematic of the device ^[11].

4.2.2 GeSn/SiGeSn异质结TFET

尽管GeSn同质结TFET器件性能不断提高, 但是

图 20 (网络版彩图)英特尔利用全量子模拟的 $\text{Ge}_{0.92}\text{Sn}_{0.08}$, InAs, Ge和GaSb/InAs纳米线TFET电学特性曲线^[62]

Figure 20 (Color online) Simulated I_{DS} - V_{GS} curves of $\text{Ge}_{0.92}\text{Sn}_{0.08}$, InAs, Ge, and GaSb/InAs nanowire TFETs ^[62].

图 21 (网络版彩图)(a) 生长在Si(001)衬底上的 $\text{Ge}_{0.97}\text{Sn}_{0.03}$ TEM图片; (b) 样品的高分辨XRD测试结果^[12]
Figure 21 (Color online) (a) TEM image of $\text{Ge}_{0.97}\text{Sn}_{0.03}$ grown on Si(001); (b) high resolution XRD results of the sample^[12].

器件亚阈值摆幅和隧穿电流性能仍然有待提高. 理论和实验研究显示利用异质结, 比如利用II型异质隧穿结, 可以在提高器件隧穿电流的同时, 保持较小的泄漏电流特性, 进而促进器件亚阈值摆幅特性的提升.

研究人员通过对SiGe/SiGeSn晶格适配度和界面处能带排列进行深入的分析发现, 通过调节材料组分, 可以得到晶格匹配且在界面处形成II型能带排列的异质结构^[63]. 图25所示为不同组分的GeSn材料带边能量及与GeSn晶格匹配的SiGeSn材料随Sn组分变化时导带和价带的能量. 从图中可以看出, 当SiGeSn材料中的Sn组分增加到0.2左右时, 可以在GeSn/SiGeSn界面处形成II型能带排列. GeSn与SiGeSn的晶格常数根据Vegard定律计算. GeSn与SiGeSn带隙根据下面公式计

算:

$$E_{\text{G, Si}_{1-y-z}\text{Ge}_y\text{Sn}_z} = E_{\text{Si}}(1-y-z) + E_{\text{Ge}}y + E_{\text{Sn}}z - b_{\text{GeSi}}(1-y-z)y - b_{\text{GeSn}}yz - b_{\text{SiSn}}(1-y-z)z, \quad (2)$$

其中, E_{Si} , E_{Ge} 和 E_{Sn} 分别为Si, Ge和 α -Sn材料的带隙, b_{SiGe} , b_{GeSn} 和 b_{SiSn} 为不同合金对应的弯曲参数, 相关参数具体数据如表2所示^[64-67]. GeSn与SiGeSn之间的能带排列根据Jaros理论计算获得^[68]. 相对于 $\text{Ge}_{1-x}\text{Sn}_x$ 材料价带, $\text{Si}_{1-y-z}\text{Ge}_y\text{Sn}_z$ 材料价带能带可以表示为 $-0.48-0.69x+0.48y+1.17z$ eV.

文献^[63]利用计算机辅助工艺设计(Technology Computer Aided Design, TCAD)软件对晶格适配的GeSn/SiGeSn II型异质结n沟道TFET进行了数值模拟, 不同材料组分的nTFET器件电学性能如图26所示. 可以看出, 伴随材料中Sn组分的增加, 器件的隧穿电流不断提高. 与GeSn同质结nTFET相比, 对应的GeSn/SiGeSn异质结器件展现出更高的工作电流和更为陡峭的亚阈值摆幅, 这是因为异质隧穿结对应更小的隧穿势垒. 同时发现异质结器件比同质结器件具有更小的泄漏电流, 这是因为在漏极引入了带隙较宽的SiGeSn材料.

尽管GeSn TFET器件已经取得了较大的突破, 但是工作电流与III-V TFET相比还是比较小, 离实用化还有一定差距. 目前报道的实验结果只是针对GeSn同

图 22 (网络版彩图)Si衬底上的弛豫和单轴张应变 $\text{Ge}_{0.95}\text{Sn}_{0.05}$ TFET的转移特性曲线(a)和输出特性曲线(b), 0.14%的单轴张应变沿[110]沟道方向, 沿沟道方向施加单轴应变可以提高隧穿电流^[12]
Figure 22 (Color online) Transfer (a) and output (b) characteristics of a pair of relaxed and uniaxial tensile strained $\text{Ge}_{0.95}\text{Sn}_{0.05}$ pTFETs. A 0.14% uniaxial strain is along [110] channel direction. Uniaxial tensile strained pTFETs achieve improved drive current compared to relaxed devices^[12].

图 23 (网络版彩图)Si(001)衬底上生长的无缺陷Ge_{0.96}Sn_{0.04}超薄薄膜TEM测试图
Figure 23 (Color online) TEM images of ultrathin Ge_{0.96}Sn_{0.04} film grown on Si(001).

图 24 (网络版彩图)Ge_{0.96}Sn_{0.04}量子阱pTFET传输特性曲线, 插图为器件结构
Figure 24 (Color online) $I_{DS}-V_{GS}$ curve of Ge_{0.96}Sn_{0.04} quantum well pTFET on Si(111). Inset shows the schematic of the device.

质结TFET器件, 下一阶段的工作应该侧重于利用异质结工程^[63,69]、应变工程及全耗尽沟道技术等提高器件的工作电流。

5 国内研究现状

我国也积极开展了高迁移率Ge与GeSn沟道CMOS

表 2 Γ 和L点材料能带计算相关参数^[64-67]

Table 2 Band parameters at Γ and L valleys used in the band alignment calculation ^[64-67]

Valley	E_{Ge} (eV)	E_{Si} (eV)	E_{Sn} (eV)	b_{GeSi} (eV)	b_{GeSn} (eV)	b_{SiSn} (eV)
L	0.66	2.0	0.14	0.0	0.91	0.0
Γ	0.795	4.06	-0.413	0.21	2.1	13.2

器件及TFET器件等方面的研究. 目前西安电子科技大学、中国科学院半导体所、北京大学、中国科学院微电子所、清华大学、复旦大学、厦门大学等单位都在

图 25 (网络版彩图)不同材料组分且晶格匹配的GeSn/SiGeSn异质结能带排列情况
Figure 25 (Color online) Band alignment for lattice matched GeSn/SiGeSn versus Sn composition in SiGeSn.

图 26 (网络版彩图)Ge_{1-x}Sn_x/Si_{1-y-z}Ge_ySn_z异质结nTFETs与Ge_{1-x}Sn_x同质结nTFETs的转移特性曲线
Figure 26 (Color online) $I_{DS}-V_{GS}$ curves of Ge_{1-x}Sn_x/Si_{1-y-z}Ge_ySn_z hetero-nTFETs and Ge_{1-x}Sn_x homo-nTFETs.

进行这方面的研究,在Ge与GeSn材料生长^[70]、表面钝化^[71-74]、源漏工程^[75,76]、应变GeSn pMOSFET^[39,74-76]、及器件可靠性分析^[19]等方面取得了一系列重要的科研成果. 西安电子科技大学通过深入研究材料生长和器件的制备,在Ge与GeSn pMOSFET器件研制方面取得了国际一流的研究成果^[19,39,40]. 北京大学在Ge CMOS器件方面做了大量创新性研究,其开发的新型氮等离子体钝化Ge表面的方法,可有效减小界面态密度^[74],提出了氟化铵表面预处理NiGe方法^[75],有效提高了器件的热稳定性和电学性能,研究了锑和磷的共注入,可提高n型掺杂浓度^[76]. 中国科学院半导体研究所在国内率先开展了IV族材料外延生长的研究工作,研制出了具有国内领先、国际先进水平的Ge和GeSn材料,包括Si衬底上Ge和GeSn、Ge衬底上应变GeSn、SOI上压应变Ge及GeOI,这些材料方面的研究为FET器件的研制奠定了坚实的基础. 西安电子科技大学在GeSn TFET器件方面也做了深入的研究^[12,58,63,69].

高迁移率沟道CMOS和TFET是世界各国在“后摩尔时代”集成电路领域竞相占领的战略高技术制高点. 尽管国内在这方面的研制取得了较大进步,然而整体水平与国外相比,仍有较大的差距. 我们应该更加积极开展相关研究,以缩短与发达国家在集成电路方面

的差距,切实推进我国CMOS器件和集成电路的发展.

6 结论

Ge基材料具有比Si更高的空穴迁移率,是制备高迁移率pMOSFET的理想材料. 表面钝化工艺的优化和应变工程的引入极大的提升了Ge及GeSn沟道pMOSFET的器件性能. 应变Ge和GeSn pMOSFET的空穴迁移率已经达到Si通用迁移率的10倍和5倍以上. 台积电制备的沟道长度为20 nm Ge pFinFET器件,在驱动电压为0.5 V时,器件工作电流达到500 $\mu\text{A}/\mu\text{m}$,电学性能超过Si器件. n型器件方面,虽然理论上Ge与GeSn电子迁移率比Si高,但是器件制备工艺方面还存在难点,目前器件性能还有待提高. 另外,目前针对Ge与GeSn CMOS器件可靠性缺乏深入的研究和探讨,因此,为了实现高迁移率沟道CMOS器件的实用化,亟需解决器件的可靠性问题.

TFET利用带间隧穿原理,突破了波尔兹曼限制,理论上可在室温下实现小于60 mV/dec的陡峭亚阈值摆幅. Ge/Si TFET, GeSn TFET及GeSn/SiGeSn异质结TFET已经成为微电子器件领域研究热点. 基于GeSn材料的pTFET器件展现了较高的工作电流,理论预测GeSn材料是实现互补式TFET结构的备选材料.

参考文献

- Shi M, Wu G Y. Physics of Semiconductor Devices (in Chinese). Xi'an: Xi'an Jiaotong University, 2008. 596-597 [施敏, 伍国钰. 半导体器件物理. 西安: 西安交通大学出版社, 2008. 596-597]
- Sau J D, Cohen M L. Possibility of increased mobility in Ge-Sn alloy system. *Phys Rev B*, 2007, 75: 045208
- Gupta S, Vincent B, Yang B, et al. Towards high mobility GeSn channel nMOSFETs: Improved surface passivation using novel ozone oxidation method. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2012. 375-378
- Hu C, Patel P, Bowonder A, et al. Prospect of tunneling green transistor for 0.1 V CMOS. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2010. 387-390
- Ionescu A M, Riel H. Tunnel field-effect transistors as energy-efficient electronic switches. *Nature*, 2011, 479: 329-337
- Banerjee S, Richardson W, Coleman J, et al. A new three-terminal tunnel device. *IEEE Electron Device Lett*, 1987, 8: 347-349
- Reddick W M, Amaratunga G A J. Silicon surface tunnel transistor. *Appl Phys Lett*, 1995, 67: 494
- Huang Q, Huang R, Zhan Z, et al. A novel Si tunnel FET with 36 mV/dec subthreshold slope based on junction depleted-modulation through striped gate configuration. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2012. 187-190
- Mayer F, Royer C L, Damlencourt J F, et al. Impact of SOI, $\text{Si}_{1-x}\text{Ge}_x\text{OI}$ and GeOI substrates on CMOS compatible tunnel FET performance. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2008. 163-166
- Yang Y, Han G, Guo P, et al. Germanium-tin P-channel tunneling field-effect transistor: Device design and technology demonstration. *IEEE Trans Electron Device*, 2013, 60: 4048-4056
- Yang Y, Su S, Guo P, et al. Towards direct band-to-band tunneling in p-channel tunneling field effect transistor (TFET): Technology enablement by germanium-tin (GeSn). *IEEE Trans Electron Device*, 2012, 12: 379-382
- Han G, Wang Y, Liu Y, et al. Relaxed germanium-tin P-channel tunneling field-effect transistors fabricated on Si: Impacts of Sn composition and

uniaxial tensile strain. [AIP Adv](#), 2015, 5: 057145

- 13 Dewey G, Chu K B, Boardman J, et al. Fabrication, characterization, and physics of III-V heterojunction tunneling field effect transistors (H-TFET) for steep sub-threshold swing. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2011. 785–788
- 14 Chern W, Hashemi P, Teherani J T, et al. High mobility high- κ -all-around asymmetrically-strained germanium nanowire trigate p-MOSFETs. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2012. 387–390
- 15 Lee C H, Nishimura T, Tabata T, et al. Ge MOSFETs performance: Impact of Ge interface passivation. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2006
- 16 Chui C O, Kim H, Chi D, et al. A sub-400°C germanium MOSFET technology with high- κ dielectric and metal gate. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2002. 437–440
- 17 Zimmerman P, Nicholas G, Jaeger B D, et al. High performance Ge pMOS devices using a Si-compatible process flow. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2006
- 18 Mitard J. Record ION/OFF performance for 65 nm Ge pMOSFET and novel Si passivation scheme for improved EOT scalability. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2010. 873–876
- 19 Wang H J, Han G Q, Liu Y, et al. Germanium PMOSFETs with low-temperature Si₂H₆ passivation featuring high hole mobility and superior negative bias temperature instability. [Chin Phys Lett](#), 2014, 31: 058503
- 20 Zhang R, Taoka N, Huang P C, et al. 1 nm thick EOT high mobility Ge n- and p-MOSFETs with ultrathin GeO₂/Ge MOS interfaces fabricated by plasma post oxidation. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2011. 642–645
- 21 Duriez B, Vellianitis G, Doornbos G, et al. Scaled p-channel Ge FinFET with optimized gate stack and record performance integrated on 300 mm Si wafers. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2013. 522–525
- 22 Jung J, Yu S, Olubuyide O O, et al. Effect of thermal processing on mobility in strained Si/strained Si_{1-y}Ge_y on relaxed Si_{1-x}Ge_x ($x < y$) virtual substrates. [Appl Phys Lett](#), 2004, 84: 3319–3321
- 23 Krishnamohan T, Krivokapic Z, Uchida K, et al. High-mobility ultrathin strained Ge MOSFETs on bulk and SOI with low band-to-band tunneling leakage: Experiments. [IEEE Trans Electron Device](#), 2006, 53: 990–999
- 24 Pillarisetty R, Chu-Kung B, Corcoran S, et al. High mobility strained germanium quantum well field effect transistor as the p-channel device option for low power ($V_{cc}=0.5$ V) III-V CMOS architecture. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2010. 150–153
- 25 Packan P, Cea S, Deshpande H, et al. High performance Hi-K⁺ metal gate strain enhanced transistors on (110) silicon. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2008. 63–66
- 26 Chui C O, Ito F, Saraswat K C. Nanoscale germanium MOS dielectrics-part I: Germanium oxynitrides. [IEEE Trans Electron Device](#), 2006, 53: 1501–1508
- 27 Gong X, Zhou Q, Owen M H S, et al. InAlP-capped Ge nFETs with 1.6 nm EOT: Achieving record high peak mobility and integration on 300 mm Si substrate. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2014. 231–234
- 28 Wu H, Si M, Dong L, et al. Ge CMOS: Breakthroughs of nFETs ($I_{max}=714$ mA/mm, $g_{max}=590$ mS/mm) by recessed channel and S/D. In: Proceedings of Symposium on VLSI Technology. Honolulu: IEEE, 2014. 96–97
- 29 Thareja G, Cheng S L, Kamins T, et al. Electrical characteristics of germanium n⁺/p junctions obtained using rapid thermal annealing of coimplanted P and Sb. [IEEE Electron Device Lett](#), 2011, 32: 608–610
- 30 Jason Lin J Y, Roy A M, Saraswat K C. Reduction in specific contact resistivity to n⁺ Ge using TiO₂ interfacial layer. [IEEE Electron Device Lett](#), 2012, 33: 1541–1543
- 31 Da M J H, Duriez B, Vellianitis G, et al. N-channel FinFET with optimized gate stack and contacts. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2014. 235–238
- 32 Han G, Su S, Zhan C, et al. High-mobility germanium-tin (GeSn) p-channel MOSFETs featuring metallic source/drain and sub-370°C process modules. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2011. 402–404
- 33 Gupta S, Chen R, Magyari K B, et al. GeSn technology: Extending the Ge electronics roadmap. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2011. 398–401
- 34 Lietaen R R, Maeda T, Jevasuwan W, et al. Tensile-strained GeSn metal-oxide-semiconductor field-effect transistor devices on Si(111) using solid phase epitaxy. [Appl Phys Express](#), 2013, 6: 101301
- 35 Han G, Su S, Zhou Q, et al. Dopant segregation and nickel stanogermanide contact formation on p⁺ Ge_{0.947}Sn_{0.053} source/drain. [IEEE Electron Device Lett](#), 2012, 33: 634–636
- 36 Gupta S, Huang Y C, Kim Y, et al. Hole mobility enhancement in compressively strained Ge_{0.93}Sn_{0.07} pMOSFETs. [IEEE Electron Device Lett](#),

- 2013, 34: 831–833
- 37 Riddet C, Watling J R, Chan K, et al. Hole mobility in germanium as a function of substrate and channel orientation, strain, doping, and temperature. *IEEE Trans Electron Device*, 2012, 59: 1878–1884
- 38 Karlowatz G, Ungersboeck E, Kosina H, et al. Analysis of hole transport in arbitrarily strained germanium. *ECS Trans*, 2006, 3: 443–450
- 39 Liu Y, Yan J, Wang H, et al. Strained GeSn p-channel metal-oxide-semiconductor field-effect transistors with *in situ* Si₂H₆ surface passivation: Impact of Sn composition. *IEEE Trans Electron Device*, 2014, 61: 3639–3645
- 40 Liu M, Han G, Liu Y, et al. Undoped Ge_{0.92}Sn_{0.08} quantum well pMOSFETs on (001), (011) and (111) substrates with *in situ* Si₂H₆ passivation: High hole mobility and dependence of performance on orientation. In: Proceedings of Symposium on VLSI Technology. Honolulu: IEEE, 2014. 100–101
- 41 Gong X, Han G, Bai F, et al. Germanium-tin (GeSn) p-channel MOSFETs fabricated on (100) and (111) surface orientations with sub-400°C Si₂H₆ passivation. *IEEE Electron Device Lett*, 2013, 34: 339–341
- 42 Han G, Su S, Yang Y, et al. High hole mobility in strained germanium-tin (GeSn) channel pMOSFET fabricated on (111) substrate. *ECS Trans*, 2013, 50: 943–948
- 43 Guo P, Han G, Gong X, et al. Ge_{0.97}Sn_{0.03} p-channel metal-oxide-semiconductor field-effect transistors: Impact of Si surface passivation layer thickness and post metal annealing. *J Appl Phys*, 2013, 114: 044510
- 44 Lei D, Zhan C, Wang W, et al. High mobility germanium-tin (Ge_{0.93}Sn_{0.07}) p-MOSFETs with surface passivation by silicon atomic layer epitaxy. In: Proceedings of International SiGe Technology and Device Meeting. San Francisco: IEEE, 2014
- 45 Han G, Su S, Wang L, et al. Strained germanium-tin (GeSn) n-channel MOSFETs featuring low temperature n⁺/p junction formation and GeSnO₂ interfacial layer. In: Proceedings of Symposium on VLSI Technology. Hawaii: IEEE, 2012. 97–98
- 46 Wang L, Su S, Wang W, et al. Germanium-tin n⁺/p junction formed using phosphorus ion implant and 400°C rapid thermal anneal. *IEEE Electron Device Lett*, 2012, 33: 1529–1531
- 47 Franco J, Kaczer B, Mitard J, et al. NBTI reliability of SiGe and Ge channel pMOSFETs with dielectric stack. *IEEE Trans Device Mater Reliab*, 2013, 13: 497–506
- 48 Wu N, Zhang Q, Zhu C, et al. BTI and charge trapping in germanium p- and n-MOSFETs with CVD HfO₂ gate dielectric. In: Proceedings of International Electron Devices Meeting. Washington: IEEE, 2005
- 49 Yoo O S, Oh J, Min K S, et al. Effect of Si capping layer on the interface quality and NBTI of high mobility channel Ge-on-Si pMOSFETs. *Microelectron Eng*, 2009, 86: 259–262
- 50 Gong X, Liu B, Yeo Y C. Gate stack reliability of MOSFETs with high-mobility channel materials: Bias temperature instability. *IEEE Trans Device Mater Reliab*, 2013, 13: 524–533
- 51 Kaczer B, De Jaeger B, Nicholas G, et al. Electrical and reliability characterization of metal-gate/HfO₂/Ge FET's with Si passivation. *Microelectron Eng*, 2007, 84: 2067–2070
- 52 Maji D, Crupi F, Amat E, et al. Understanding and optimization of hot-carrier reliability in germanium-on-silicon pMOSFETs. *IEEE Trans Electron Device*, 2009, 56: 1063–1069
- 53 Sze S M, Ng K K. Physics of Semiconductor Device. Canada: John Wiley & Sons, 2007. 422–425
- 54 Kane E O. Zener tunneling in semiconductors. *J Phys Chem Solids*, 1960, 12: 181–188
- 55 Zhang Q, Zhao W, Seabaugh A. Low-subthreshold-swing tunnel transistors. *IEEE Electron Device Lett*, 2006, 27: 297–300
- 56 Nayfeh O M, Hoyt J L, Antoniadis D A. Strained-Si_{1-x}Ge_x/Si band-to-band tunneling transistors: Impact of tunnel-junction germanium composition and doping concentration on switching behavior. *IEEE Trans Electron Device*, 2009, 56: 2264–2269
- 57 Kim S H, Kam H, Hu C, et al. Germanium-source tunnel field effect transistors with record high ION/IOFF. In: Proceedings of Symposium on VLSI Technology. Kyoto: IEEE, 2009. 178–179
- 58 Liu Y, Wang H J, Yan J, et al. A Silicon tunnel field-effect transistor with an *in situ* doped single crystalline Ge source for achieving sub-60 mV/decade subthreshold swing. *Chin Phys Lett*, 2013, 30: 088502
- 59 Han G, Zhou Q, Guo P, et al. *In situ* Boron (B) doped Germanium (Ge:B) grown on (100), (110), and (111) Silicon: Crystal orientation and B incorporation effects. *ECS Trans*, 2013, 50: 1025–1030
- 60 Han G, Guo P, Yang Y, et al. Silicon-based tunneling field-effect transistor with elevated germanium source formed on (110) silicon substrate. *Appl Phys Lett*, 2011, 98: 153502
- 61 Kotlyar R, Avci U E, Cea S, et al. Bandgap engineering of group IV materials for complementary n and p tunneling field effect transistors. *Appl Phys Lett*, 2013, 102: 113106
- 62 Avci U E, Morris D H, Hasan S, et al. Energy efficiency comparison of nanowire heterojunction TFET and Si MOSFET at L_g=13 nm, including

- p-TFET and variation considerations. In: Proceedings of International Electron Device Meeting. Washington: IEEE, 2013. 830–833
- 63 Wang H, Han G, Liu Y, et al. Theoretical investigation of performance enhancement in GeSn/SiGeSn Type-II staggered heterojunction tunneling FET. *IEEE Trans Electron Device*, 2016, 63: 303–310
- 64 Gupta S, Magyari-köpe B, Nishi Y, et al. Achieving direct band gap in germanium through integration of Sn alloying and external strain. *J Appl Phys*, 2013, 113: 073707
- 65 Sun G, Soref R A, Cheng H H. Design of an electrically pumped SiGeSn/GeSn/SiGeSn double-heterostructure midinfrared laser. *J Appl Phys*, 2010, 108: 033107
- 66 D'costa V R, Cook C S, Menéndez J, et al. Transferability of optical bowing parameters between binary and ternary group-IV alloys. *Solid State Commun*, 2006, 138: 309–313
- 67 Weber J, Alonso M I. Near-band-gap photoluminescence of Si-Ge alloys. *Phys Rev B*, 1989, 40: 5683–5693
- 68 Jaros M. Simple analytic model for heterojunction band offsets. *Phys Rev B*, 1988, 37: 7112–7114
- 69 Liu M S, Liu Y, Wang H J, et al. Design of GeSn-based heterojunction-enhanced n-channel tunneling FET with improved subthreshold swing and on-state current. *IEEE Trans Electron Device*, 2015, 62: 1262–1268
- 70 Su S, Wang W, Cheng B, et al. Epitaxial growth and thermal stability of $\text{Ge}_{1-x}\text{Sn}_x$ alloys on Ge-buffered Si(001) substrates. *J Crystal Growth*, 2011, 317: 43–46
- 71 Kai Wang S, Liu H G, Toriumi A. Kinetic study of GeO disproportionation into a GeO_2/Ge system using x-ray photoelectron spectroscopy. *Appl Phys Lett*, 2012, 101: 061907
- 72 Zhao M, Liang R, Wang J, et al. Improved electrical properties of Ge metal-oxide-semiconductor devices with HfO_2 gate dielectrics using an ultrathin GeSnO_x film as the surface passivation layer. *Appl Phys Lett*, 2013, 102: 142906
- 73 Li Q L, Xie Q, Jiang Y L, et al. Annealing induced hysteresis suppression for $\text{TiN}/\text{HfO}_2/\text{GeON}/\text{p-Ge}$ capacitor. *Semicond Sci Tech*, 2011, 26: 125003
- 74 Lin M, An X, Li M, et al. Fabricating GeO_2 passivation layer by N_2O plasma oxidation for Ge NMOSFETs application. *Chin Phys B*, 2014, 23: 067701
- 75 Guo Y, An X, Wang R, et al. Investigation on morphology and thermal stability of NiGe utilizing ammonium fluoride pretreatment for germanium-based technology. *IEEE Electron Device Lett*, 2011, 32: 554–556
- 76 Li Z, An X, Li M, et al. Morphology and electrical performance improvement of NiGe/Ge contact by P and Sb co-implantation. *IEEE Electron Device Lett*, 2013, 34: 596–598

Non-Silicon microelectronics: Germanium and Germanium-Tin field-effect transistors

HAN GenQuan^{1*}, ZHANG ChunFu¹, ZHANG JingCheng¹, CHENG BuWen² & HAO Yue¹

¹*School of Microelectronics, Xidian University, Xi'an 710071, China;*

²*Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100050, China*

The background and motivation of the non-silicon microelectronics, in which the non-silicon channel materials are used to realize the CMOS integrated circuits, are introduced in this paper. As the typical non-silicon microelectronic devices, Germanium (Ge) and Germanium-Tin (GeSn) metal-oxide-semiconductor field-effect transistor (MOSFET) and tunneling field-effect transistor (TFET) are reviewed. Ge and GeSn are the promising candidate materials for the realization of high mobility channel CMOS devices owing to their high carrier mobilities and easy integration on Si platform. GeSn can transit from indirect to direct bandgap material by tuning Sn composition thus achieving the high band-to-band tunneling generation rate. Theory and experimental results proved that GeSn can be used to fabricate the high performance TFETs. A series of key problems including the growth of materials, surface passivation, gate-stack layer, source-drain engineering, strain engineering, and device reliability are discussed.

Germanium, Germanium-Tin, field-effect transistor (FET), mobility, band-to-band tunneling

PACS: 61.72.Tt, 61.82.Fk, 71.22.+i, 72.20.-i, 85.30.Tv

doi: [10.1360/SSPMA2016-00155](https://doi.org/10.1360/SSPMA2016-00155)