高性能多核处理器申威 1600

胡向东*, 杨剑新, 朱英

国家高性能集成电路设计中心, 上海 201204

* 通信作者. E-mail: huxdisme@vip.sina.com

收稿日期: 2014-09-30; 接受日期: 2014-11-10; 网络出版日期: 2015-03-06

国家科技重大专项“核高基”(批准号: 2009ZX01028-002-001) 资助

摘要 申威 1600 是国内首款 16 核高性能通用处理器, 具有高性能、低功耗等特点. 本文首先介绍了申威 1600 处理器的研制背景, 然后详细描述了申威 1600 在结构设计、性能提高以及降低功耗各方面的设计思路, 给出了物理实现结果和性能与功耗测试数据, 并介绍了申威 1600 在高性能计算机上的应用情况, 最后提出未来发展的思路.

关键词 微处理器 多核 片上系统 性能设计 功耗设计 65 nm

1 引言

随着半导体工艺和高性能处理器架构的发展, 多核处理器成为主流产品. 由于高性能处理器的技术复杂, 研发成本高, 对半导体工艺依存度大, 世界上仅有 Intel, AMD 和 IBM 等少数国外公司可以研发高性能处理器.

高性能处理器的快速发展和广泛应用, 使其成为信息领域的核心元器件, 也与信息安全密切相关. 因此, 发展国产高性能处理器, 掌握其核心技术, 既能促进信息产业发展, 也有利于维护国家信息安全.

“十五”期间, 在国家“863”高新技术发展计划支持下, 国产高性能处理器研发实现零的突破, 研制出“龙芯”、“众志”、“申威”等国产高性能处理器^[1~3]. “十一五”期间, 在国家“核高基”重大科技专项支持下, 国产高性能处理器发展步伐加快, 实现从单核到多核的跨越, 申威 1600 处理器正是在这样的大背景下完成研发, 并在“863”国产千万亿次超级计算机系统中全面应用, 实现了国产高性能计算机研制的新突破.

2 结构设计

申威 1600 处理器采用多核结构和片上系统 SoC(system on chip) 技术, 是国内首款 16 核高性能通用处理器. 申威 1600 在单芯片中集成了 16 个对称的 64 位通用处理器核心、4 路 128 位存储控制器和包括 PCI-E(peripheral component interconnect express) 与以太网在内的标准 I/O 接口, 并通过两级交叉开关实现片上互连. 图 1 为申威 1600 的芯片结构, 图 2 为申威 1600 的核心结构. 申威 1600 处理器的主要特点如下:

引用格式: 胡向东, 杨剑新, 朱英. 高性能多核处理器申威 1600. 中国科学: 信息科学, 2015, 45: 513–522, doi: 10.1360/N112014-00295

图 1 申威 1600 处理器芯片结构图
Figure 1 The architecture of Shenwei-1600

(1) 基于自主知识产权的 64 位 RISC 指令系统. 指令系统是处理器设计的基础, 申威 1600 基于 64 位 Load/Store 型 RISC 指令架构而自主开发的多核指令系统, 支持 8 位、16 位、32 位和 64 位整数运算, 支持单精度和双精度浮点运算, 支持 256 位单指令流多数据流^[4, 5]SIMD (single instruction multiple data) 整数和浮点向量运算, 指令系统扩展了访存、整数运算和浮点运算等 SIMD 向量指令, 并支持不对界存储访问.

(2) 分布共享存储的多核结构. 申威 1600 采用分布共享存储的对称多核结构. 4 个核心和存储控制器通过一级交叉开关互连, 构成对称共享存储的核组; 4 个核组以及由 PCI-E 接口、以太网接口和维护接口组成的系统接口, 通过二级交叉开关互连, 构成分布共享存储的高性能处理器.

(3) 超级标量结构的处理器核. 申威 1600 处理器核心为 2 译码 3 发射结构, 采用寄存器重命名、乱序发射、乱序执行、转移预测与推测执行等技术, 核心内设置两级 Cache(高速缓冲存储器), 一级 Cache 为指令与数据分离, 容量各为 32 KB, 二级 Cache 为指令和数据共享, 容量为 256 KB, 并支持多核心的 Cache 一致性.

(4) 集成存储器接口和 I/O(Input/Output) 接口的 SoC 芯片. 申威 1600 每个核组的存储控制器连接 128 位宽的 DDR3 SDRAM(double-data-rate 3 synchronous dynamic random access memory) 存储器接口, 支持 2~16 GB 的 DDR3 存储器, 支持最高 1200 Mbps 的数据传输率, 支持纠单错的 ECC(error correcting code) 校验. 芯片内集成的系统接口包括 PCI-E 2.0 标准接口、10/100/1000 Mbps 的以太网接口和提供复位与初始化控制以及调试与测试支持的维护接口.

3 性能设计

高性能是申威 1600 处理器的主要开发目标. 受半导体工艺条件的限制, 国产高性能处理器难以采用世界上最先进的集成电路工艺. 要实现高性能, 必须将性能设计作为主要设计内容^[4~17]. 申威 1600

图 2 申威 1600 处理器核心结构图

Figure 2 The architecture of Shenwei-1600 processor core

处理器采用多层次并行技术提升性能, 采用多层次存储架构缓解“存储器墙”问题, 采用深度片上系统技术实现计算, 访存和 I/O 的平衡设计 [4~6].

3.1 多层次并行

申威 1600 处理器只能采用相对较低的制造工艺, 难以通过高工作频率来满足性能要求, 必须在多个层次上开发并行性来提升性能. 申威 1600 对并行性的开发主要体现在 3 个层次, 即数据级并行性、指令级并行性和线程/进程级并行性.

3.1.1 数据级并行

处理器中的数据级并行性主要体现在单条指令同时完成对多个不同数据的相同操作. 申威 1600 处理器的核心应用单指令流多数据流 SIMD(single instruction multiple data) 技术 [4,5], 实现短向量加速计算, 开发数据级并行性, 提升运算性能.

(1) 申威 1600 实现了 256 位宽的向量数据类型, 支持 4 个元素 (每个元素 32/64 位) 的单精度和双精度浮点向量, 也支持 8 个元素 (每个元素 32 位) 的字整数向量, 并有限支持 32×8 位、16×16 位和 4×64 位的其他整数向量.

(2) 申威 1600 实现了由 108 条指令组成的扩展 SIMD 指令集, 包括 SIMD 存储装入指令、整数 SIMD 运算指令、浮点 SIMD 运算指令和 SIMD 数据整理指令, 其中 SIMD 存储装入指令支持地址不对界访问, 浮点 SIMD 运算指令支持浮点复合乘加操作.

(3) 申威 1600 实现了 256 位宽的向量运算部件和数据通路, 每个核心设置 256 位向量运算流水线和 63 个 256 位向量寄存器, 支持 SIMD 运算指令的流水处理, 每个时钟周期最多可产生 8 个双精

度浮点运算结果. 向量寄存器与一级数据 Cache 之间的数据通路也为 256 位, 可为短向量加速运算提供匹配的存储访问带宽.

3.1.2 指令级并行

处理器中的指令级并行性主要是指通过流水线技术实现指令之间重叠处理, 通过超标量技术实现指令之间并行处理, 通过乱序执行技术充分发挥指令并行处理器的效率. 申威 1600 处理器核心在开发数据级并行性基础上, 再通过挖掘指令级并行, 进一步提升核心性能.

(1) 核心采用超标量结构, 实现并行译码、并行发射和并行执行. 核心内部实现 2 条整数运算流水线和 1 条浮点与 SIMD 运算流水线, 设置 12 条目的整数发射队列和 10 条目的浮点发射队列, 实现每个时钟周期可发射 3 条指令.

(2) 采取动态与静态相结合的转移预测机制, 通过 512 条目的转移目标缓冲 BTB(branch target buffer) 和 8 条目的返回地址堆栈 RAS(return address stack) 来对转移方向和转移目标指令地址进行预测, 提高转移指令的预测成功率, 提高指令流水的效率. 每个 BTB 条目通过 2 位饱和计数器记录条件转移指令的历史处理信息.

(3) 设置 5 读 4 写的 71 条目的整数寄存器文件和 4 读 3 写的 63 条目的浮点与向量寄存器文件, 实现寄存器重命名, 消除指令之间的寄存器“反相关性”和“输出相关性”冲突, 提高指令发射效率.

(4) 采用乱序发射和乱序执行技术, 实现最多 64 条指令的并行处理, 提高指令并行处理效率.

(5) 采用短访存流水线和双端口数据 Cache 存储器, 消除数据流 Cache 访问和外部 Cache 一致性处理产生的访问冲突, 使得访存指令发射到命中数据 Cache 的数据装填寄存器文件的操作延时仅为 4 个周期.

3.1.3 线程/进程级并行

提高工作频率是提升处理器性能的主要方式之一, 但由此带来处理器的功耗越来越高, 反过来制约处理器频率的进一步提升. 另一方面半导体工艺的发展使得处理器上可集成的晶体管数量不断增加. 频率提升的限制和单芯片上集成度提升, 使得处理器进入多核时代, 目前世界上主流高性能处理器都无一例外采用多核架构. 申威 1600 处理器也同样采用多核技术, 实现线程/进程级并行, 来提升处理器性能.

申威 1600 基于两级交叉开关结构实现片上互连网络, 将 16 个完全相同的处理器核心集成到单个芯片中, 通过原子操作指令实现核心之间的同步互斥、快速核间中断机制和分布共享存储实现核心之间快速通信, 从而可以实现 16 个线程/进程的并行处理. 同时申威 1600 采用可伸缩的多核结构, 可实现 1~16 核的动态可扩展, 增加并行的核心数量可提升运算性能, 减少并行的核心数量可提升单核心的 I/O 带宽、访存带宽和存储容量.

3.2 多层次存储架构

随着半导体工艺的发展, 高性能处理器中集成的核心数量越来越多, 使得运算性能不断提升, 而存储器带宽的提升相对较慢, 产生越来越严重的“存储器墙”问题. 高性能处理器通常采用多层次存储架构, 利用数据访问的时间局域性与空间局域性, 优化存储性能.

申威 1600 为 16 核处理器, 针对“存储器墙”问题, 存储架构设计包括了寄存器文件、一级 Cache、二级 Cache 以及外部存储器 4 个层次, 外部存储器又分成核组内集中共享存储器和全芯片的分布共

表 1 申威 1600 的存储层次
Table 1 The memory hierarchy of Shenwei-1600

	Size	Bandwidth@1.1 GHz (GB/s)	Feature
Integer register files	71×8 B	44	5 read ports, 4 write ports
Float-point/SIMD register files	63×32 B	140.8	4 read ports, 3 write ports
L1 instruction cache	32 KB	17.6	2 way associativity
L1 data cache	32 KB	35.2	2 ports, 4 way associativity
L2 cache	256 KB	17.6	8 way associativity
DDR memory of one core group	2~16 GB	19.2	128 bit-width, 1200 Mbps
DDR memory of total chip	8~64 GB	76.8	4 way×128 bit-width, 1200 Mbps

享存储器两级. 考虑到申威 1600 主要面向高性能计算应用, 每个核心设置了两级 Cache, 并配置高带宽的外部存储器, 在芯片集成度有限的条件下, 没有配置大容量共享三级 Cache. 表 1 为申威 1600 的存储层次性能列表.

各存储层次的特点如下:

(1) 寄存器文件. 位于存储层次的最高层, 包括整数寄存器文件和浮点寄存器文件, 采用多端口设计, 支持单周期访问和流水操作, 支持写数据旁路.

(2) 一级 Cache 指令与数据分离. 指令 Cache 满足指令流水需要; 数据 Cache 的数据总线宽度为 256 位, 满足 SIMD 短向量运算对访存带宽的要求, 支持单周期访问, 支持写数据旁路.

(3) 二级 Cache. 指令与数据混合, 数据总线宽度为 128 位, 采用 8 路组相联提高 Cache 命中率, 支持流水操作实现高访问带宽.

(4) 共享存储器. 核组存储控制器连接的 128 位 DDR3 存储器为核组内所有核心共享, 且支持多 Cache 的共享一致性; 存储控制器采用访存请求乱序处理机制, 有效提升存储访问效率; 核心可动态切割, 可相对提高活动核心的存储访问带宽.

(5) 分布存储器. 芯片支持的 4 路分布存储器为所有核心共享, 不仅可提供更高的访存带宽, 同时还提供核心之间的数据共享和基于分布存储器的通信机制.

按照申威 1600 的设计目标频率 1.1 GHz 计算, 峰值运算速度为 140.8 GFlops, 4 路 DDR3 存储器接口总带宽为 76.8 GB/s, 峰值速度与存储器带宽之比为 1:0.55. 不考虑 SIMD 短向量加速计算, 则峰值运算速度为 35.2 GFlops, 峰值速度与存储器带宽之比提高到 1:2.18.

3.3 计算、访存和 I/O 的平衡设计

高性能处理器的实际性能不仅取决于峰值运算速度, 更为关键的是计算、访存和 I/O 的平衡设计. 申威 1600 采用 SoC 集成方式, 将核心、存储器控制器和 I/O 接口集成到单芯片中, 片上 I/O 接口包括标准 PCI-E 2.0 接口、以太网接口和维护接口, 其中 PCI-E 接口主要用于 I/O 通信, 8 条链路支持 5 Gbps 的数据传输率, 双向有效带宽为 8 GB/s. 按照申威 1600 设计目标频率为 1.1 GHz 计算, 峰值运算速度、访存带宽和 I/O 带宽的比例为 1:0.55:0.057. 不考虑 SIMD 短向量加速计算, 则峰值运算速度、访存带宽和 I/O 带宽的比例提高到 1:2.18:0.227.

4 功耗设计

低功耗也是高性能处理器追求的重要目标. 随着晶体管数量的增加和工作频率的提高, 处理器的功耗设计越来越重要. 申威 1600 在实现高性能的同时, 从结构级、微结构级到电路级, 综合采用多层次功耗设计技术^[18, 19]来实现低功耗设计目标.

4.1 结构级功耗设计

申威 1600 结构级功耗设计主要体现在如下几个方面:

(1) 结构设计的思想是通过集成更多核心来提升性能, 根据设计工艺的水平确定相对较低的工作频率, 避免过高工作频率带来功耗的快速上升.

(2) 支持多种形态的工作模式, 包括深度睡眠、浅睡眠和低功耗运行模式. 对较长时间无工作负载的核心, 可控制使其处于复位且运行在很低工作频率的深度睡眠状态, 最大限度降低运行功耗; 对短时间无工作负载的核心, 特殊的停机指令可使核心处于浅睡眠状态, 此时核心绝大多数信号不产生翻转, 从而实现较低的“待机”功耗; 对运行速度要求较低的应用程序, 通过软件动态配置降低核心发射指令的频度, 从而减少执行部件和访存部件的信号翻转率, 并配合门控时钟技术, 降低运行功耗.

(3) 采用多频率设计, 在满足性能需求前提下, 仅核心和多核互连采用最高工作频率, 存储控制器和系统接口则采取较低的工作频率, 降低运行功耗.

4.2 微结构级功耗设计

申威 1600 微结构级功耗设计主要体现在如下几个方面:

(1) 采用动态切割方式, 支持不同层次的部件切割, 降低功耗. 在核心级, 可以根据应用需求确定活动核心的数量, 将不使用的核心断开, 使其处于复位且很低工作频率状态, 使得断开的核心处于极低功耗状态; 在部件级, 对浮点部件或 SIMD 运算部件, 在运行无浮点操作或无 SIMD 运算的应用时, 可动态关闭浮点部件或 SIMD 部件的时钟, 从而降低核心的运行功耗.

(2) Cache 存储器设计采用“虚拟多端口”技术来减少物理端口数量, 既降低功耗, 也有效降低芯片面积. 其中指令 Cache 和二级 Cache 都采用单端口的物理存储器, 虚拟实现双端口功能, 数据 Cache 则采用双端口的物理存储器实现了虚拟三端口的功能.

(3) DDR3 存储器接口和 PCI-E 接口都支持低功耗模式, 在没有访问请求时, 可自动处于低功耗状态.

4.3 电路级功耗设计

申威 1600 电路级功耗设计主要体现在如下几个方面:

(1) 采用多层次的门控时钟方式, 降低运行功耗; 同时采取动态功耗分析和电压降分析, 通过布局优化和放置片上电容, 避免门控时钟造成动态电压降过大而影响电路工作的稳定性.

(2) 采用多阈值晶体管设计, 在满足设计频率目标前提下, 尽可能使用漏电功耗较低的高阈值晶体管, 限制使用漏电功耗较大的低阈值晶体管, 降低漏电功耗.

(3) 定制实现处理器中大量使用的各种缓冲存储器. 对容量要求较低的缓冲存储器, 采用基于门闩的定制设计; 容量较高则采用基于存储单元的定制设计. 这样不仅可以降低功耗, 芯片的面积开销也更小.

图 3 申威 1600 处理器版图与布局示意图
Figure 3 The layout and floorplan of Shenwei-1600

5 物理实现

申威 1600 处理器采用 65 纳米工艺. 为提升处理器频率, 有效降低功耗, 提升流片生产的成品率, 物理实现采取了如下方法:

(1) 定制与逻辑综合的混合设计方法. 即基于晶体管的定制设计和基于标准单元库的逻辑综合设计相结合. 对时钟系统、全局电源地、多端口寄存器文件、高速 Cache 存储器、用于实现 TLB 的联想存储器、高速缓冲、高速运算器采用全定制设计, 压缩面积, 提升工作频率; 开发必要的高速单元库, 提升标准单元库的性能特性; 对工作频率要求不高或简单逻辑, 采用基于单元库的逻辑综合设计, 并在晶体管级进行时序优化. 在 65 纳米工艺条件下, 实现了 1.1 GHz 的工作频率.

(2) 层次化设计与分析方法. 申威 1600 的物理设计层次分成 5 层, 最底层为单元库和定制模块, 向上依次为功能模块、核心、核组和芯片. 布局规划、电地设计和时钟设计采取自上而下的设计方法, 其他电路与版图设计采用自下而上的设计方法. 通过层次化设计的申威 1600 处理器集成的晶体管数量为 6.1 亿, 芯片面积为 $19.71 \text{ mm} \times 17.34 \text{ mm}$.

(3) 多阈值晶体管的低功耗设计. 申威 1600 采用多阈值晶体管的混合设计, 以常规阈值晶体管为主, 速度最快的低阈值晶体管只用于关键时序路径的优化, 在满足时序要求前提下尽可能替换为高阈值晶体管. 在申威 1600 的 6.1 亿晶体管中, 低阈值晶体管数量仅占 1.41%, 高阈值晶体管数量占 4.76%, 使得常温下理论漏电功耗仅为 1.366 W.

图 3 为申威 1600 处理器的版图和布局示意图.

经流片测试, 申威 1600 工作频率达到 1.1 GHz, 峰值速度为 140.8 GFlops, 典型运行功耗小于 50 W, 峰值能效比超过 2 GFlops/W. 表 2 给出了相同工艺尺寸下申威 1600 处理器与国际主流处理器的对比, 申威 1600 的峰值速度和单位能耗下性能均超过了相同工艺尺寸下国际主流处理器.

表 2 相同工艺尺寸下申威 1600 与主流处理器对比

Table 2 The comparison among Shenwei-1600 and other typical microprocessors under the same process node

	Shenwei-1600	Intel Clovertown	AMD Barcelona	IBM Power 6
#Core	16 cores	4 cores	4 cores	2 cores
Frequency (GHz)	1.1	1.6~3.0	2.2~2.8	4.2~5
Power (W)	50~60	80~120	55~95	100~190
Peak performance	140.8 GFlops@1.1 GHz	48 GFlops@3.0 GHz	44.8 GFlops@2.8 GHz	80 GFlops@5 GHz
Process	65 nm foundry process	65 nm process	65 nm process	65 nm process
#Transistor (million)	610	2×291	463	790
Die size (mm ²)	342	2×143	285	341
Energy efficiency (GFlops/W)	>2	<1	<1	<1
Publish time (year)	2010	2006	2007	2007

表 3 申威 1600 处理器的主要性能测试结果

Table 3 The performance test result of Shenwei-1600

	Benchmark	Test result
Single core Peak performance: 8.8 GFlops	SPECINT2000	413
	SPECFP2000	676
	LINPACK efficiency	73.86%
	LINPACK performance	6.50 GFlops
	STREAM bandwidth	5.13 GB/s
16 cores Peak performance: 140.8 GFlops	SPECINT_RATE2000	69.7
	SPECFP_RATE2000	108
	LINPACK efficiency	72.09%
	LINPACK performance	101.5 GFlops
	STREAM bandwidth	27.63 GB/s

6 测试

对采用 1.1 GHz 申威 1600 处理器, 配置容量为 8 GB 的 1200 Mbps DDR3 存储器的计算机系统进行测试, 主要性能测试结果如表 3 所示, 主要功耗测试结果如表 4 所示. 表 3 中 SPEC2000 (standard performance evaluation corporation) 是一个国际通用处理器生产厂家公认的处理器性能测试标准程序包, 包含有 12 个定点程序和 14 个浮点程序. LINPACK(linear system package) 则是用于测试高性能计算机系统性能的标准程序包, 通过用高斯消元法求解一元 N 次稠密线性代数方程组来评价高性能计算机系统的浮点性能. 由表 3 可见, 虽然申威 1600 处理器的单核性能不是太高, 但 16 核的可扩展性良好, 实现了比较理想的多核性能加速比. 表 4 则表明申威 1600 采取的各种功耗设计技术能有效降低芯片功耗.

7 应用

基于申威 1600 处理器的计算机系统现可运行完整的国产操作系统、编译器, 也可运行数据库管

表 4 申威 1600 处理器的主要功耗测试结果

Table 4 The power test result of Shenwei-1600

Term	Test result (W)
Maximal running core power	59.6
Running power under SPEC.RATE2000 benchmark	43.7
Average power in light sleep mode	38.6
Average power in deep sleep mode	14.5
Average power in light sleep mode with FPU disabled	35.3
Average power in light sleep mode with SIMD disabled	36.2

理系统、桌面环境、文本编辑工具、字处理软件、图形浏览软件、浏览器等一系列程序. 申威 1600 处理器已经在国产服务器、安全桌面计算机以及其他产品中实现应用. 安装于国家超级计算济南中心的“神威蓝光”超级计算机系统共使用 8704 片申威 1600 处理器, 峰值性能达到 1.07 PFlops, 系统功耗仅 1.074 MW. 经测试, 该系统的持续性能为 0.796 PFlops, Linpack 效率为 74.4%, 性能功耗比为 741 MFlops/W. “神威蓝光”超级计算机在 2011 年 10 月 27 日公布的中国高性能计算机 TOP100 排行榜中位列第二, 在 2011 年 11 月公布的世界高性能计算机 TOP500 排行榜, 列第十四, 这也是国内第一台完全采用国产高性能处理器实现的千万亿次计算机系统.

8 结束语

申威 1600 处理器采用多核、短向量加速计算、SoC 集成等技术, 采用定制与逻辑综合结合的物理实现方法, 实现高性能与低功耗的结合, 并在高性能计算领域实现应用. 由此可见, 虽然国产高性能处理器起步较晚, 生产工艺较低, 但通过架构设计、性能设计和功耗设计, 完全有可能在某些应用领域实现有效应用. 但与国际主流高性能处理器相比, 申威 1600 在核心性能上仍存在不少差距, 需要进一步改进与提高. 未来将从核心架构、芯片结构和物理实现等 3 个方面来进一步提高“申威”处理器的性能和能效比.

参考文献

- Huang Y Q, Zhu Y, Ju P J, et al. Functional verification of “Shenwei-1” high performance microprocessor. J Softw, 2009, 20: 1077–1086 [黄永勤, 朱英, 巨鹏锦, 等. “申威 -1 号” 高性能微处理器的功能验证. 软件学报, 2009, 20: 1077–1086]
- Hu W W, Tang Z M. Architecture of the Godson-1 processor. Chin J Comput, 2003, 26: 385–396 [胡伟武, 唐志敏. 龙芯 1 号处理器结构设计. 计算机学报, 2003, 26: 385–396]
- Cheng X, Wang X Y, Lu J L, et al. Research progress of UniCore CPUs and PKUnity SoCs. J Comput Sci Technol, 2010, 25: 200–213 [程旭, 王萧音, 陆俊林, 等. 北大众志 CPU 及系统芯片的研究进展与展望. 计算机科学与技术学报, 2010, 25: 200–213]
- David P, John H. Computer Architecture: a Quantitative Approach. 4th ed. San Francisco: Morgan Kaufmann Publishers, 2006
- Zhang C X, Wang Z Y, Zhang C Y, et al. Computer Architecture. 3rd ed. Beijing: High Education Press, 2006 [张晨曦, 王志英, 张春元, 等. 计算机系统结构. 第三版. 北京: 高等教育出版社, 2006]
- Shen J P, Lipasti M H. Modern Processor Design: Fundamentals of Superscalar Processors. New York: McGraw-Hill Companies, 2003

- 7 Olukotun K, Olukotun O A, Hammond L, et al. Chip Multiprocessor Architecture: Techniques to Improve Throughput and Latency. San Francisco: Morgan Kaufmann Publishers, 2007
- 8 Weaver D L. OpenSPARCTM Internals: OpenSPARC T1/T2 CMT Throughput Computing. Redwood Shores: Sun Microsystems Inc., 2008
- 9 Ronen R, Mendelson A, Lai K, et al. Coming challenges in microarchitecture and architecture. P IEEE, 2001, 89: 325–340
- 10 Kessler R E. The alpha 21264 microprocessor. IEEE Micro, 1999, 19: 24–36
- 11 Yeager K C. The MIPS R10000 superscalar microprocessor. IEEE Micro, 1996, 16: 28–41
- 12 Keltcher C N, McGrath K J, Ahmed A, et al. The AMD Opteron processor for multiprocessor servers. IEEE Micro, 2003, 23: 66–76
- 13 Kumar A. The HP PA-8000 RISC CPU. IEEE Micro, 1997, 17: 27–32
- 14 Le H Q, Starke W J, Fields J S, et al. IBM POWER6 Microarchitecture. IBM J Res Dev, 2007, 51: 639–662
- 15 Huck J, Morris D, Ross J, et al. Introducing the IA-64 architecture. IEEE Micro, 2000, 20: 12–23
- 16 Kongetira P, Aingaran K, Olukotun K. Niagara: a 32-way multithreaded sparc processor. IEEE Micro, 2005, 25: 21–29
- 17 Aono F, Kimura M. The Azusa 16-way itanium server. IEEE Micro, 2000, 20: 54–60
- 18 He W N. CMOS VLSI Design: A Circuits and Systems Perspective. 3rd ed. Boston: Addison-Wesley, 2006
- 19 Marculescu R, Ogras U Y, Peh L S, et al. Outstanding research problems in NoC design: system, microarchitecture, and circuit perspectives. IEEE Trans Comput-Aid Des Integr Circ Syst, 2009, 28: 3–21

Shenwei-1600: a high-performance multi-core microprocessor

HU XiangDong*, YANG JianXin & ZHU Ying

National High-Performance Integrated Circuit Design Center, Shanghai 201204, China

*E-mail: huxdisme@vip.sina.com

Abstract Shenwei-1600, the first 16-core general-purpose microprocessor to be designed locally in China, is characterized by high-performance and low-power consumption. This paper first introduces the R&D background for Shenwei-1600, followed by a detailed discussion on its architecture and the design methods used to achieve high performance and low power. Its physical implementation, test results, and application in high-performance computing are also described. Finally, scope for future developments is discussed.

Keywords microprocessor, multi-core, system on chip, performance design, power design, 65 nm

HU XiangDong was born in 1964. He received his B.S. degree in electrical engineering from Zhejiang University, Hangzhou. Currently, he is a senior engineer at the National High-Performance Integrated Circuit Design Center (Shanghai) and also a senior member at China Computer Federation (CCF). His main research interests include high-performance computer architecture and VLSI design and verification.