面向晶体管级广义门电路的 PTM 可靠性计算

肖杰^{①*}, 江建慧^②, 梁家荣^③

① 浙江工业大学计算机科学与技术学院, 杭州 310023

② 同济大学软件学院, 上海 201804

③ 广西大学计算机与电子信息学院, 南宁 530004

* 通信作者. E-mail: xiaojiexqj@gmail.com

收稿日期: 2014-04-30; 接受日期: 2014-08-14

国家自然科学基金 (批准号: 61363002, 60903033, 61432017) 资助项目

摘要 不精确的广义门电路可靠性映射到门级或高层应用时误差容易因规模效应等而被过度放大导致结果不可靠. 本文选择了在门级电路可靠性精确评估中得到有效验证的 PTM 模型用以精确计算晶体管级广义门电路的结构可靠性; 分析了晶体管级广义门电路结构的逻辑抽象并转换成了功能一致的门级电路结构的逻辑抽象形式; 提取了电路各组成单元的故障点及主要故障模式, 并构建了与之相对应的面向故障的概率转移矩阵; 依据各组成单元间的串并联特点, 在有考虑输入信号故障的情况下, 通过门级 PTM 方法的运算法则计算得到了晶体管级广义门电路的结构可靠性. 在典型的 CMOS 广义门电路上的实验结果验证了本文所提方法的有效性, 还分析了广义门电路的可靠性与其各主要类型故障之间的关系, 并获得了一些有意义的结果.

关键词 晶体管级电路 可靠性 PTM 模型 CMOS 器件 故障模式

1 引言

随着 CMOS (complementary metal oxide semiconductors) 器件特征尺寸的缩小, 电路的可靠性容限急剧下降, 以往并不突出甚至可以忽略的一些因素如今已经严重影响到器件的可靠运行^[1]. 有数据表明, 在进入纳米工艺制程技术时代以来, 间歇性故障与瞬时性故障的发生机率增加明显; 而传统方法又未能有效地分析不确定性故障对电路可靠性造成的影响^[2]. 基于概率的方法从统计学的角度能很好地解释不确定性问题的行为特点, 故在分析纳米工艺制程技术条件下电路的故障行为特征时具有天然优势. 因此, 近年来, 电路可靠性的概率分析方法得到了业界的广泛关注^[3,4].

目前, 集成电路的可靠性评估主要集中在电路的门级, 较少有在低层对门级电路的构件——广义门电路^[5,6]的结构可靠性成因进行完整的理论分析与解释. 一方面, 导致低层信息未能有效地映射到门级, 从而降低了门级电路可靠性评估模型^[1,3,4]的实用性; 另一方面, 未能在电路设计的早期阶段有针对性地以较小代价改善设计, 如通过增加广义门电路可靠性容限的方法来改善门级电路的可靠性. 此外, 研究发现, 不精确的广义门电路失效率映射到门级或更高层应用时误差容易被过度放大, 从而造成对电路可靠性的判断失误, 以致造成损失^[7]. 因此, 在低层开展对广义门电路结构可靠性的精确评估不仅具有很高的理论价值, 还具有广泛的工业应用前景.

引用格式: 肖杰, 江建慧, 梁家荣. 面向晶体管级广义门电路的 PTM 可靠性计算. 中国科学: 信息科学, 2014, 44: 1226–1238, doi: 10.1360/N112014-00107

广义门电路被分成了两种类型, 第一类由基本门及其输入导线所构成; 第二类由扇出分支或单根原始输出导线所构成. 学术界与工业界对广义门电路的可靠性一般从以下三个层次分析: (1) 门级, 主要是依据专业人员的经验给出^[2,8]. (2) 晶体管级, 文献[9,10]把广义门的失效率构建成晶体管数目的函数, 并认为晶体管的失效率为常数且任何一个晶体管的失效都将造成广义门电路故障; 文献[11]构建的模型考虑了基本门及其互连导线的故障情况, 但仅分析了永久性故障的影响; 结合电路的结构信息, 文献[12]通过 Bayes 方法计算了广义门电路的失效率, 但它忽略了传播过程中信号突变对可靠性带来的影响. (3) 版图级, 文献[13,14]把广义门的失效率建模成一个常数, 且近似为基本门的故障概率; 文献[15]把广义门故障近似为互连导线的短路故障, 而文献[16]则认为广义门的失效可用互连导线的开路故障代替; 文献[6]构建的模型考虑到了互连导线的开路与短路故障及栅氧化层的失效, 但忽略了门的类型, 输入负载等的影响. 注意到电路的晶体管级上承门级下接版图级, 既相对易于将版图级故障映射到晶体管级以确保故障分析接近电路的物理实现, 又为利用门级方法分析晶体管级电路结构的可靠性提供了可能. 因此, 本文选择在电路的晶体管级展开分析, 这将为精确且高效评估广义门电路的结构可靠性打下基础.

概率转移矩阵 PTM (probabilistic transfer matrix) 模型于 2005 年由 Krishnaswamy 等^[8]提出应用于集成电路的可靠性分析, 它已被公认为是一种能够精确计算门级组合与时序电路结构的可靠性的评估方法^[4,8,17]. 它是这样被定义的: (1) 假定各广义门的故障概率和电路的原始输入概率分布已知, 利用真值表法建立广义门的 PTM 与理想转移矩阵 ITM (ideal transfer matrix); (2) 根据广义门的串并联特点, 由相应矩阵乘或张量积运算生成对应串并联电路的 PTM 与 ITM; (3) 结合原始输入概率分布, 通过整个电路的 PTM 与 ITM 的点乘计算获得电路的可靠度. 然而, PTM 方法都有一个共同的假设前提, 即广义门电路的故障概率是精确的. 而通过前面的分析我们知道, 目前已有的该类模型还有着各种不足, 其中一个主要的原因就是缺乏一个有较强过程处理能力的计算平台以精确量化电路故障的行为特征.

通过已有的研究成果, 我们知道 PTM 方法有着较强的过程处理能力, 并且在电路的门级得到了成功的应用^[4,18], 那么它是否也可在晶体管级对广义门电路的结构可靠性进行精确的评估呢? 要回答该问题, 有必要对门级与晶体管级电路的特点进行比较分析. (1) 结构方面, 门级电路的各组成单元间有着较为清晰的串并联关系, 而晶体管级电路则缺乏该特点; (2) 故障模型, 门级电路的故障模型可高度抽象化, 使其可不具体考虑故障的类型, 位置及其作用模式等, 而在电路的晶体管级, 这种抽象受到限制, 它需要考虑多种因素; (3) 输入输出关系, 门级电路各组成单元的这种关系较为简单, 而晶体管级电路各组成单元的对应输入输出关系则比较复杂; (4) 运算法则, 门级电路各组成单元的输入端具有严格的对称关系, 而晶体管级电路单元则不满足该关系, 这将导致同一方法在不同抽象层次运用时可能会有兼容方面的问题, 等等.

尽管面临许多还有待解决的问题, 但 PTM 方法不失为一种好的选择. 一方面, 它能有效地表示各类故障在各种状态下的行为特征; 另一方面, 它能有效捕获传播过程中信号突变引起的电路可靠性的变化, 这不仅是其与其他方法的主要不同点之一, 也是它能精确计算电路可靠性的关键之一; 还有, 它是一个开放的平台, 有利于随着今后技术发展的需要而进一步拓展与完善. 因此, 我们选择 PTM 方法来研究晶体管级广义门电路的可靠性.

综上分析, 在纳米工艺制程技术条件下, 为在晶体管级运用 PTM 方法对广义门电路的结构可靠性进行精确分析: (1) 依据电路的结构及各组成单元输入输出的对应关系, 把晶体管级广义门电路结构的逻辑抽象转换成在功能上保持一致的门级电路结构的逻辑抽象形式. (2) 根据版图级故障到晶体管级故障的映射, 提取广义门电路各组成单元故障的数量, 类型及对应的故障模式, 并构建相对应单元

图 1 三种典型的晶体管级 CMOS 广义门电路

Figure 1 Three typical CMOS generalized gates on the transistor-level. (a) NOT; (b) NAND; (c) NOR

的 PTM 与 ITM. (3) 根据各组成单元间的互连关系, 采用相关运算策略计算广义门电路的 PTM 与 ITM, 并最终获得其结构可靠性. 该方法可分析广义门电路可靠性对各组成单元或各类型故障的敏感性, 使在电路设计过程中帮助相关人员作出更为合理的决策, 又可重用门级已有的相关计算平台及本文结果在门级相关方法中的应用.

2 基于 PTM 的广义门电路可靠性计算

为了适应 PTM 模型的运算规则, 需要分析广义门电路晶体管级结构的逻辑抽象, 并将其转换为功能一致的门级电路结构的逻辑抽象形式; 针对电路的各组成单元, 构建与之相对应的 PTM 与 ITM; 依据各组成单元间的互连特点, 构建与输入端次序相关的 PTM 与 ITM 的变换函数, 并运用 PTM 的相关运算法则计算电路的可靠度. 图 1 所示为三种典型的 CMOS 广义门电路结构在晶体管级的逻辑抽象, 其中, $L_i(\text{Bk})$ 指第 i 段互连导线可能的主要故障为开路故障 Bk; $P_i(\text{ST,SF})$ 与 $N_i(\text{ST,SF})$ 分别指第 i 个 PMOS 管与第 i 个 NMOS 管可能的主要故障为开关的永久性故障 ST 与随机故障 SF; $J_i(\text{Bg})$ 指第 i 个交点的故障 Bg; 虚线指邻接广义门电路的输入导线.

2.1 广义门电路结构的逻辑抽象从晶体管级到门级的转换

从图 1 可知, 晶体管级 CMOS 广义门电路可认为由 PMOS, NMOS 及互连导线等构成, 且有些导线通过交点互连, 如图 1(a) 中非门的 F_1 , J_1 等. 在 CMOS 电路中, PMOS 通常位于上拉网络与 V_{DD} 相连, 即在正常情况下它有一个输入始终保持为高电平状态, 而当另一个输入为 0 时其开关闭合, 因此本文用图 2(a) 所示的 P 门电路 (记为 PG) 在功能上对其进行等价替换; NMOS 则通常位于下拉网络与 V_{SS} 相连, 在正常情况下它有一个输入始终保持为低电平状态, 而在另一个输入为 1 时其开关闭合, 它与 PMOS 的情况正好相反, 因此本文用图 2(b) 所示的 N 门电路 (记为 NG) 在功能上对其进行

图 2 CMOS 器件从晶体管级到门级的功能等价转换

Figure 2 CMOS devices are functionally equivalent converted from gate-level to transistor-level. (a) PMOS $\rightarrow$ PG; (b) NMOS $\rightarrow$ NG

等价替换. 其中, V_g 指栅级; V_s 指源级, 它有 V_{DD} (高电平) 与 V_{SS} (低电平) 两种状态; 函数 f 决定漏级 V_D 的状态, 若 V_g 与 V_s 有相同状态, 则输入被屏蔽, 否则 f 服从逻辑与运算. 为了便于区分, 本文把由单信号到多支信号的电路驱动方式统称为扇出门 FI, 反之则称为扇入门 FO; 连接导线称之为线门 LG.

根据以上单元的对应转换关系, 结合电路各组成单元在晶体管级的连接拓扑, 算法 1 给出了广义门电路结构的晶体管级抽象到门级抽象的转换方法.

算法 1 电路结构的逻辑抽象从晶体管级到门级的功能等价转换.

输入: 广义门电路结构的逻辑抽象的晶体管级网表.

输出: 广义门电路结构的逻辑抽象的门级网表.

(1) 提取广义门电路的原始输入 $\{x_i, V_{DD}, V_{SS}\}$ 与原始输出 $\{Out\}$; 并建立对应原始输入的数组 $\{X_i, V_D, V_S\}$.

(2) 遍历电路晶体管级网表的第 $i_1 (\leq M)$ 个记录, 构建与之相对应的门级网表的第 j_1 个记录.

- 若记录为 (WIRE $W_{i1}(TO_{i2}, TI_{i3})$), 提取该记录的输入项 TI_{i3} . 若 $TI_{i3} \in \{x_i, V_{DD}, V_{SS}\}$, 则生成的第 j_1 个记录记为 $(S_{j1}, LG_{j2}, 1, TI_{i3})$, 并把 j_1 写入到对应的 $D \in \{X_i, V_D, V_S\}$ 中; 否则生成的第 j_1 个记录记为 $(S_{j1}, LG_{j2}, 1, 1CRLF S_{j3})$. 其中, S_{j1} 与 TO_{i2} , S_{j3} 与 TI_{i3} , LG_{j2} 与 W_{i1} 分别进行功能等价转换.

- 若记录为 (PMOS $P_{i1}(TO_{i2}, TG_{i4}, TI_{i3})$), 则生成的第 j_1 个记录记为 $(S_{j1}, PG_{j2}, 1, 2 CRLF S_{j3}, S_{j4})$. 其中, S_{j1} 与 TO_{i2} , S_{j3} 与 TI_{i3} , S_{j4} 与 TG_{i4} , PG_{j2} 与 P_{i1} 分别进行功能等价转换. NMOS 的情况类似.

- 若记录为 (JCT $J_{i1}(TO_{i2}, TI_{i3}, TI_{i4}, \dots, TI_{in})$), 提取该记录的输出项 TO_{i2} . 若 $TO_{i2} \in \{Out\}$, 则生成的第 j_1 个记录记为 $(S_{j1}, FO_{j2}, Out, n CRLF S_{j3}, S_{j4}, \dots, S_{jn})$; 否则生成的第 j_1 个记录为 $(S_{j1}, FO_{j2}, 1, n CRLF S_{j3}, S_{j4}, \dots, S_{jn})$. 其中, S_{j1} 与 TO_{i2} , S_{j3} 与 TI_{i3} , S_{j4} 与 TI_{i4} , $\dots$, S_{jn} 与 TI_{in} , FO_{j2} 与 J_{i1} 分别进行功能等价转换.

(3) 若 $i_1 > M$, 遍历 $\{X_i, V_D, V_S\}$ 的第 j 个元素 D . 若 $|D| > 1$, 提取 D 对应的原始输入 $PI \in \{x_i, V_{DD}, V_{SS}\}$, 生成记录 $(S_{k2}, LG_{k3}, 1, PI)$ 与 $(FI_{k4}, from S_{k2})$. 并提取 D 的第 h 个元素 $D[h]=k_1$, 把第 k_1 个记录 $(S_{k1}, LG_{k5}, 1, TI_{k6})$ 修改为 $(S_{k1}, LG_{k5}, 1, FI_{k4})$.

其中, CRLF 指回车换行; M 指电路晶体管级网表的最大记录数; 集合 $\{i, h, i_1, \dots, in, j_1, \dots, jn, k1, \dots, k6\}$ 中所有元素的值均不小于 1. 由于算法 1 对广义门电路晶体管级网表的记录是逐条对等转换的, 因此, 它的计算复杂性与晶体管级网表的记录数成线性关系.

$$\begin{array}{c}
 \begin{array}{ccccc}
 & 0 & 1 & Z & U \\
 \begin{array}{c} 0 \\ 1 \\ Z \\ U \end{array} & \begin{bmatrix} 1-p_{Bk} & 0 & p_{Bk} & 0 \\ 0 & 1-p_{Bk} & p_{Bk} & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & p_{Bk} & 1-p_{Bk} \end{bmatrix}
 \end{array}
 &
 \begin{array}{ccccc}
 & 0 & 1 & Z & U \\
 \begin{array}{c} 0 \\ 1 \\ Z \\ U \end{array} & \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}
 \end{array}
 \end{array}
 \quad
 \begin{array}{c}
 \text{(a)} \\
 \text{(b)}
 \end{array}$$

图 3 LG 对应的 PTM 与 ITM

Figure 3 PTM and ITM corresponding to the LG. (a) PTM; (b) ITM

$$\begin{array}{c}
 \begin{array}{ccccc}
 & 0 & 1 & Z & U \\
 \begin{array}{c} 0 \\ 1 \\ Z \\ U \end{array} & \begin{bmatrix} 1-p_1-p_Z-p_U & p_1 & p_Z & p_U \\ p_0 & 1-p_0-p_Z-p_U & p_Z & p_U \\ p_0 & p_1 & 1-p_0-p_1-p_U & p_U \\ p_0 & p_1 & p_Z & 1-p_0-p_1-p_Z \end{bmatrix}
 \end{array}
 &
 \begin{array}{ccccc}
 & 0 & 1 & Z & U \\
 \begin{array}{c} 0 \\ 1 \\ Z \\ U \end{array} & \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}
 \end{array}
 \end{array}$$

图 4 输入信号 x_i 对应的 PTM 与 ITMFigure 4 PTM and ITM corresponding to the input signal x_i . (a) PTM; (b) ITM

2.2 电路单元的 PTM 与 ITM

通过对广义门电路的直流电压传输特性曲线的分析不难发现, 在有故障的情况下, 电路运行过程中呈现出的状态不仅有高电平 (用 1 表示) 与低电平 (用 0 表示), 还有高阻态 (用 Z 表示, 通常指前一个输出状态) 与不确定态 (用 U 表示, 指广义门电路的上拉与下拉网络同时导通时输出端的状态). 此外, 在现有工艺制程技术条件下, 电路不仅受永久性故障的影响, 间歇性与瞬时性故障对可靠性的威胁也不容忽视; 并且, 电路还面临着多故障环境的挑战.

根据广义门电路结构在门级的逻辑抽象可知, 在门级, 它的组成单元主要有 LG, FI, FO, PG 与 NG 等; 此外, 输入信号也是广义门电路的重要组成部分. 通常, 负载驱动是实现信号在各组成单元间有效传输的重要条件之一. 然而, 不可避免的故障使得电路并不总是有理想输出, 它随机分布于电路的各组成单元并造成电路可靠性的损失. 因此, 为获得有较高精度的广义门电路结构可靠性, 在故障条件下, 通过 PTM 方法本文深入分析了电路各组成单元输入与输出的对应关系.

LG 承载信号的传输介质, 若其发生开路故障的概率为 p_{Bk} , 则 LG 的 PTM 与 ITM 可用图 3 表示.

输入信号 $x_i (i \geq 1)$, 在传输过程中, 由于噪声等因素的干扰, 会导致信号的衰减与变异, 使其发生差错. 在故障情况下, 文中把输入信号被错误解释为 0, 1, Z, U 的概率分别记为 p_0, p_1, p_Z, p_U . 图 4 所示为输入信号对应的 PTM 与 ITM.

FI 主要负责信号的分流, 对于只有 2 分支的 FI (表示为 FI-2), 其 PTM 与 ITM 可用图 5(a) 表示.

FO 汇聚多路信号, 对于 2 输入的 FO (表示为 FO-2), 在输入为 x_1 与 x_2 时, 其 PTM 与 ITM 可用图 5(b) 表示.

																x_1x_2				
																	0	1	Z	U
	00	01	0Z	0U	10	11	1Z	1U	Z0	Z1	ZZ	ZU	U0	U1	UZ	UU	00	01	0Z	0U
	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Z	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	U	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	11	1Z	1U	ZZ
																	00	01	0Z	0U
																	10	11	1Z	1U
																	Z0	Z1	ZZ	ZU
																	U0	U1	UZ	UU
																	00	01	0Z	0U
																	10	11	1Z	1U
																	Z0	Z1	ZZ	ZU
																	U0	U1	UZ	UU

(a)

(b)

图 5 FI-2 与 FO-2 对应的 PTM 与 ITM

Figure 5 PTM and ITM corresponding to the FI-2 and the FO-2. (a) PTM and ITM corresponding to the FI-2; (b) PTM and ITM corresponding to the FO-2

x_1x_2		1	Z	x_1x_2		1	Z
01	$\begin{bmatrix} 1 - p_{ST-off} - p_{SF-off}(1 - p_{ST-on} - p_{ST-off}) & p_{ST-off} + p_{SF-off}(1 - p_{ST-on} - p_{ST-off}) \\ 0 & 1 \\ p_{ST-on} + p_{SF-on}(1 - p_{ST-on} - p_{ST-off}) & 1 - p_{ST-on} - p_{SF-on}(1 - p_{ST-on} - p_{ST-off}) \\ 0 & 1 \end{bmatrix}$			01	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \\ 0 & 1 \\ p_{on} & 1 - p_{on} \end{bmatrix}$		
0Z				0Z			
11				11			
1Z				1Z			
Z1	$\begin{bmatrix} p_{ST-on} + p_{on}(1 - p_{ST-on} - p_{ST-off}) & 1 - p_{ST-on} - p_{on}(1 - p_{ST-on} - p_{ST-off}) \\ 0 & 1 \\ p_{ST-on} + p_{on}(1 - p_{ST-on} - p_{ST-off}) & 1 - p_{ST-on} - p_{on}(1 - p_{ST-on} - p_{ST-off}) \\ 0 & 1 \end{bmatrix}$			Z1			
ZZ				ZZ			
U1				U1			
UZ				UZ			

(a)

(b)

图 6 PG 对应的 PTM 与 ITM

Figure 6 PTM and ITM corresponding to the PG. (a) PTM; (b) ITM

PG 通过栅级输入控制与 V_{DD} 的连接情况, 它的主要故障类型有开关的永久性故障与随机性故障, 其发生概率分别记为 p_{ST} 与 p_{SF} . 另外, 当输入负载为 Z 或 U 时, 开关状态被解释为闭合的概率记为 p_{on} . NG 通过栅级输入控制与 V_{SS} 的连接情况, 它的故障类型与 PG 相似.

根据竞争性故障模型, 图 6 与图 7 分别给出了在上述故障情况下 PG 与 NG 的 PTM 与 ITM. 其中, p_{ST-on} 与 p_{ST-off} 分别指开关永久性闭合与断开的概率; p_{ST-on} 指开关本该断开因随机故障而闭合的概率; p_{ST-off} 指开关本该闭合因随机故障而断开的概率; x_1 指栅极信号, x_2 指源级信号.

交换门 (FX) 用于纠正由于线路交叉导致的信号错位现象. 对于 2 输入的 FX(表示为 FX-2), 在输入为 x_1 与 x_2 时, 其 PTM 与 ITM 可用图 8 表示.

需要指出的是, 本文虽然仅分析了 FI-2 与 FO-2, 但是并不影响多分支与多路汇聚等情况的分析, 因为 FI- n 与 FO- n 可分别分解成 $n-1$ 个 FI-2 与 FO-2 再进行计算, $n \geq 2$. 另外, PG 与 NG 的输入是非对称的, 因此, 在应用前需要对其 PTM 与 ITM 进行相应变换, 以保证相同单元的 PTM 与 ITM 的一致性.

x_1x_2	0	z	x_1x_2	0	z
00	$p_{ST-on} + p_{SF-on}(1 - p_{ST-on} - p_{ST-off})$	$1 - p_{ST-on} - p_{SF-on}(1 - p_{ST-on} - p_{ST-off})$	00	0	1
0Z	0	1	0Z	0	1
10	$1 - p_{ST-off} - p_{SF-off}(1 - p_{ST-on} - p_{ST-off})$	$p_{ST-off} + p_{SF-off}(1 - p_{ST-on} - p_{ST-off})$	10	1	0
1Z	0	1	1Z	0	1
Z0	$p_{ST-on} + p_{on}(1 - p_{ST-on} - p_{ST-off})$	$1 - p_{ST-on} - p_{on}(1 - p_{ST-on} - p_{ST-off})$	Z0	p_{on}	$1 - p_{on}$
ZZ	0	1	ZZ	0	1
U0	$p_{ST-on} + p_{on}(1 - p_{ST-on} - p_{ST-off})$	$1 - p_{ST-on} - p_{on}(1 - p_{ST-on} - p_{ST-off})$	U0	p_{on}	$1 - p_{on}$
UZ	0	1	UZ	0	1

(a) (b)

图 7 NG 对应的 PTM 与 ITM

Figure 7 PTM and ITM corresponding to the NG. (a) PTM; (b) ITM

x_1x_2	00	01	0Z	0U	10	11	1Z	1U	Z0	Z1	ZZ	ZU	U0	U1	UZ	UU
00	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0Z	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0U	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
10	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
11	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1Z	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1U	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Z0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
Z1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
ZZ	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
ZU	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
U0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
U1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
UZ	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
UU	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

图 8 FX-2 对应的 PTM 与 ITM

Figure 8 PTM and ITM corresponding to the FX-2

2.3 广义门电路的可靠性计算

为方便运用 PTM 方法进行计算, 首先, 利用文献 [19] 的分层算法对广义门电路结构的门级逻辑

抽象进行分层. 然后, 依据分层结果, 利用矩阵乘与张量积运算计算电路各层的 PTM 与 ITM; 再通过矩阵乘运算计算相邻多层电路的 PTM 与 ITM 以获取广义门电路的 PTM 与 ITM. 最后, 结合广义门电路输入负载的概率分布, 以计算广义门电路的结构可靠度.

定义 1 若子电路 G_1 与 G_2 对应的 (PTM, ITM) 分别为 (PM_1, IM_1) 与 (PM_2, IM_2) , 则它们串联后电路的 PTM 与 ITM 分别为 $PM_1 \times PM_2$ 与 $IM_1 \times IM_2$.

定义 2 若子电路 G_1 与 G_2 对应的 (PTM, ITM) 分别为 (PM_1, IM_1) 与 (PM_2, IM_2) , 则它们并联后电路的 PTM 与 ITM 分别为 $PM_1 \otimes PM_2$ 与 $IM_1 \otimes IM_2$.

算法 2 广义门电路的可靠度计算.

输入: 广义门电路结构的逻辑抽象的门级网表.

输出: 广义门电路的结构可靠度.

(1) 运用分层算法对电路分层. 从原始输入端到原始输出端, 标识电路的层号 ($l_0 \sim l_n$) 并初始化电路的各组成单元.

(2) 计算电路第 l_i 层的 PTM 与 ITM. 若第 l_i 层的所有线门 LG 的 flag=0 且不含扇出门 FI 与扇入门 FO, 则用定义 2 计算电路当前层的 PTM 与 ITM; 否则, 先按如下的方法进行相关处理, 再用定义 2 计算当前层的 PTM 与 ITM.

- 若有线门 LG_j 的 flag=1, 则令其 $PM_j = IM_j$.
- 若存在扇出门 FI_j , 则首先通过定义 2 计算 FI_j 的所有扇出线门的 PTM 与 ITM, 再利用定义 1 将该结果与 FI_j 及其前级线门的 PTM 与 ITM 作运算, 并将所得结果赋予 FI_j , 参与到电路在当前层的 PTM 与 ITM 计算.
- 若存在扇入门 FO_j , 且其不处于第 l_n 层, 则首先通过定义 2 计算 FO_j 的所有扇入线门的 PTM 与 ITM, 再利用定义 1 将该结果与 FO_j 及其后级线门的 PTM 与 ITM 作运算; 若 FO_j 处于第 l_n 层, 则用定义 2 计算的 FO_j 的所有扇入线门的 PTM 与 ITM 再通过定义 1 与 FO_j 的 PTM 与 ITM 作运算. 并将所得结果赋予 FO_j , 参与到电路在当前层的 PTM 与 ITM 计算.

(3) 运用定义 1 计算广义门电路前 l_i 层的 PTM 与 ITM.

(4) 输出广义门电路的结构可靠度.

- 运用定义 2 计算第 l_0 层输入负载的 PTM 与 ITM.
- 结合输入负载的概率分布, 运用定义 1 计算 (3) 与 (4) 所得结果.

在算法 2 中, $i \in \{1, 2, \dots, n\}$, $j \geq 1$; flag 为逻辑标识符, 用来避免 LG 被重复计算. 由于 PTM 方法涉及到的运算主要是矩阵乘与张量积, 因此, 它的计算复杂性随输入负载数的增加呈现出指数级增长的趋势. 考虑到广义门电路的规模较小, 实际上算法 2 并不会会有太大的计算开销.

与文献 [8] 的 PTM 方法相比, 本文所提出的 PTM 方法主要在如下几个方面存在差异: (1) 计算单元, 文献 [8] 面对的是传统的基本门电路; 而本文是晶体管级器件. (2) 电路状态, 文献 [8] 只考虑了门级电路的 2 种状态; 而本文分析了晶体管级电路的 4 种状态. (3) 故障模式, 文献 [8] 的故障模式高度抽象; 而本文针对各单元分别提取了相对应的故障模式. (4) 计算方法, 虽然都是基于 PTM 方法, 但文献 [8] 可直接运用定义 1 与定义 2 进行计算; 而本文在计算过程中针对单元的各自特点进行了相关策略的运用, 等等.

3 实验与分析

为了验证本文所提方法的有效性与应用性, 在 Lenovo PC (CPU 为 Core i5@3.2 GHz, 内存为 4GB)

表 1 本文方法与相关方法的计算结果的比较

Table 1 Comparison of the results obtained by proposed method and related methods

Items		AND-2	OR-2	NOT	NAND-2	NOR-2
Time consumption (s)	Proposed method	0.015	0.015	0.0009	0.011	0.0110
	Paper [6]	0.002	0.002	0	0.001	0.0010
	Paper [11]	0.001	0.001	0	0.0009	0.0009
	Paper [12]	0.001	0.001	0	0.0009	0.0009
	Paper [13]	0	0	0	0	0
	MC	23.5600	23.3970	8.4940	16.3480	15.9400
Memory consumption (MB)	Proposed method	1.3740	1.2967	0	0.8270	0.8200
	Paper [6]	0.0010	0.0010	0	0.0010	0.0010
	Paper [11]	0.0062	0.0053	0	0.0016	0.0016
	Paper [12]	0.0060	0.0039	0	0.0010	0.0010
	Paper [13]	0	0	0	0	0
	MC	0.8850	0.8790	0	0.6387	0.6346
The average relative error (%)	Proposed method	-1.7090	-1.9526	-1.8389	-1.8320	-1.7760
	Paper [6]	12.8004	12.9805	8.3032	7.1591	7.2203
	Paper [11]	20.7883	19.7774	10.5821	11.7475	12.9349
	Paper [12]	15.4700	11.1129	10.5598	5.2135	9.5480
	Paper [13]	20.1569	20.3488	10.5596	11.7191	11.7828

的实验环境下, 选取了具有代表性的 5 个广义门电路: NOT, NAND-2 及 NOR-2 等为对象, 比较分析了本文方法的计算结果与 Monte Carlo(MC) 的仿真结果及其他相关方法的计算结果; 分析了输入负载, 信号及各组成单元的故障概率等对广义门电路结构可靠性的影响情况; 还给出了本文方法计算结果在 ISCAS85 基准电路上的一个应用.

3.1 方法比较

为了验证本文所提方法的有效性, 依照其他文献的惯用方法, 选取 MC 方法的模拟结果作为本文的参照对象, 在与门, 或门, 非门, 与非门及或非门这 5 个典型的 2 输入 CMOS 广义门电路 (分别记作 AND-2, OR-2, NOT, NAND-2, NOR-2) 上, 比较了本文方法计算结果的相对误差; 此外, 还与文献 [6,11~13] 所提方法的计算结果进行了比较, 结果见表 1. 需要说明的是: 实验中 MC 模拟故障均认为服从均匀分布, 且为多故障环境, 实验样本数为 20 万; 为了方便起见, 令电路中各类故障的发生概率有相同的取值且为 0.01; 相对误差 = (计算结果 - 参照对象) / 参照对象.

从表 1 可知, 本文方法的计算结果略小于且最接近于 MC 模拟结果, 文献 [6,11~13] 方法的计算结果要大于 MC 模拟结果. 尽管本文方法的时间开销稍大于文献 [6,11~13] 方法但均远小于 MC 方法; 然而, 本文方法的内存开销相比其他方法相对要稍大些.

文献 [13] 构建了输入导线的开路与短路故障概率模型; 在该基础上, 文献 [6] 又构建了 CMOS 管的故障概率模型, 且它们均采用的是竞争性故障模型, 故其计算结果主要受广义门电路规模的影响. 文献 [12] 针对各输入负载分别构建了器件故障情况下广义门电路的故障概率模型, 但它忽略了器件失效对可靠性的贡献且采用的是竞争性故障模型以计算广义门的故障概率. 文献 [11] 方法分析了结构与规模等对广义门故障概率的影响情况, 但其描述的器件故障行为特征过于简单与抽象.

相比文献 [6,11~13] 方法, 本文方法对电路故障的提取与电路状态信息的概括更为全面, 对器件故障行为特征的描述更为具体, 对电路结构的解析也更为完备. MC 模拟针对的是本文方法所指的电路

图 9 NAND-2 电路 RG 与故障概率的关系

Figure 9 The relation between RG and fault probability for NAND-2. (a) Fault-free input-signals; (b) fault-free interconnects; (c) MOS device without including permanent faults; (d) MOS device without including rand faults; (e) circuit with multiple faults

故障环境, 由于收敛的要求, 其往往需要有较大的样本数, 但计算过程中其仅需保留一些基本电路信息即可. 因此, 对于表 1 所示现象也就能很好地进行解释了.

综上分析, 根据正态分布原则, 可认为本文方法的计算结果与参照对象间的相对误差属于随机误差, 据此可推断本文方法的计算结果具有较高的精度. 总之, 本文的目的在于构建一种能够精确评估晶体管级广义门电路的结构可靠性的模型, 而关于各模型参数的计算问题, 如 p_{on} , p_{ST-on} 等, 则有待进一步的深入研究.

3.2 参数分析

本文工作的一个重要意义就是: 在电路设计的早期阶段, 通过对可靠性的有效评估, 寻找到它的薄弱环节, 以便以较小代价实现对电路可靠性设计有较大改善的目的. 因此, 本文分析了电路可靠性梯度 (RG) 与故障概率间的关系.

针对输入信号故障, 导线开路, MOS 器件的永久性与随机性故障等情况, 分别分析了在各种类型故障影响下广义门电路 RG 的变化, 以便更好地指导设计. 本文选择具有代表性的 NAND-2 电路为例, 假设所有类型故障均有相同的发生概率且取值为 $[0, 0.01]$, 在输入分布为 $x_1=[0.5, 0.5, 0, 0]$, $x_2=[0.5, 0.5, 0, 0]$, $V_{DD}=[0, 1, 0, 0]$, $V_{SS}=[1, 0, 0, 0]$ 时, 给出了电路 RG 的变化情况, 结果如图 9 所示.

从图 9 可知, 面对不同类型故障的影响, NAND-2 电路的 RG 随故障概率的增大而减小, 且 RG 与电路的故障类型相关. 在实验过程中还发现, 广义门电路的 RG 不仅受输入负载类型的影响, 还与电路的类型有关. 在上述实验环境下不难看出, 对 NAND-2 电路可靠性的影响从大到小的故障类型依次是: 输入信号故障, 导线开路故障, MOS 器件的随机性故障及 MOS 器件的永久性故障. 一方面, 受广义门电路的类型与输入负载, 故障的数量与作用域等的影响; 另一方面, 与电路的失效机理有关, 这

表 2 本文方法在门级 ISCAS85 电路的一个应用

Table 2 An application of the proposed method on ISCAS85 circuits at gate-level

Circuits	Circuit attribute			Proposed method			Traditional method		
	Line	PI	PO	ΔR	Time	Memory	ΔR	Time	Memory
	No.	No.	No.	(10^{-5})	consumption (s)	consumption (MB)	(10^{-5})	consumption (s)	consumption (MB)
C432	432	36	7	0.7	6.482	4.812	2.8	1.468	4.285
C499	499	41	32	3.7	6.316	5.041	10.9	1.175	4.434
C880	880	60	26	7.8	12.17	6.953	12.3	2.142	6.539
C1355	1355	41	32	2.1	19.635	7.308	5.9	3.449	6.559
C1908	1908	33	26	8.2	37.451	11.04	12.8	7.605	9.973
C2670	2670	233	140	11.6	36.139	12.756	13.3	6.544	11.543
C3540	3540	50	22	19.2	55.907	18.016	23.3	11.822	15.902
C5315	5315	178	123	14.5	90.975	27.894	18.2	18.604	26.449
C6288	6288	32	32	14.5	136.561	32.450	27.8	35.430	29.422
C7552	7552	207	108	124.8	119.140	43.193	180.2	22.112	38.797

在芯片的加速寿命试验中也观察到了类似的现象. 该实验结果有利于通过较小的代价实现电路可靠度较大幅度的提高的目标.

4 方法应用

本文方法的一个重要应用是对门级电路的可靠性进行评估, 以提高其实用性. 假设本文所提取的各类型故障有相同的发生概率且取值为 10^{-7} , 误差取相同量级, 运用文献 [20] 的迭代 PTM 方法计算了 ISCAS85 基准电路的可靠度增量; 并与传统方法 (假定各广义门电路的故障概率取值为 10^{-5} 且有相同的误差量级) 在文献 [20] 下的计算结果进行了比较, 结果如表 2 所示. 其中, 电路的输入概率分布为均匀分布; ΔR 指可靠度增量.

从表 2 可知, 相比传统方法, 本文方法的时间开销有较大幅度增加, 而内存开销增加不大, 但有更小的 ΔR . 这是因为, 一方面, 传统方法仅考虑了电路的两种常见状态, 而本文方法在 4 种状态下对电路的可靠性进行了分析, 使增大了广义门电路的 PTM 与 ITM 规模, 增加了可靠度计算的运算量; 在计算过程中, 文献 [20] 对参与运算的两矩阵采取了逻辑分块策略, 除了增加少许基本电路信息, 驻留内存量与传统方法相比并没有显著增加. 另一方面, 由于估计量有更小的数量级, 使得门级电路的可靠性评估结果有更小的误差, 这与美国军用标准 MIL-HDBK-217 中关于失效率估计的思想类似; 另外, 关于某些参数 (如 p_{Bk}) 估计的一些研究成果也可直接用来完善本文方法.

5 结论

为了利用门级的 PTM 方法精确评估广义门电路的结构可靠性, 通过对晶体管级电路结构的逻辑抽象的深入分析, 本文提出了在功能上把其等价转换成门级逻辑抽象形式的策略; 针对电路的各组成单元, 分析了其工作模式与失效机理, 构建了与之相对应的面向故障的 PTM 模型; 在考虑输入信号故障的情况下, 结合输入负载, 运用门级 PTM 方法的计算策略, 对晶体管级广义门电路的结构可靠性水平进行了量化评价. 在常见的具有代表性的 CMOS 广义门电路上, 通过与 Monte Carlo 方法模拟结果的比较表明, 本文方法的计算结果具有较高的精度; 进一步的分析与应用显示, 该方法具有较强的可操作性, 有望在电路设计的早期阶段发挥重要作用.

参考文献

- 1 Stanisavljevic M, Schmid A, Leblebici Y. Reliability of Nanoelectronic VLSI. New Jersey: John Wiley & Sons, Inc., 2012. 463–481
- 2 Yu C C. Probabilistic analysis for modeling and simulating digital circuits. Dissertation for Ph.D. Degree. Michigan: The University of Michigan, 2012
- 3 Lingasubramanian K. Probabilistic error analysis models for nano-domain VLSI circuits. Dissertation for Ph.D. Degree. Tampa: University of South Florida, 2010
- 4 Xiao J, Jiang J H, Zhu X G, et al. A method of gate-level circuit reliability estimation based on iterative PTM model. In: Proceedings of the IEEE 17th Pacific Rim International Symposium on Dependable Computing, Pasadena, 2011. 276–277
- 5 Xiao J, Jiang J H, Yang X H, et al. A defect analysis-oriented relation model of circuit yield and reliability. Acta Electron Sin, 2014, 42: 747–755 [肖杰, 江建慧, 杨旭华, 等. 一个面向缺陷分析的电路成品率与可靠性的关系模型. 电子学报, 2014, 42: 747–755]
- 6 Xiao J, Jiang J H. Defect analysis oriented calculation of fault probability for generalized gates. J Comput Aid Design Comput Graph, 2013, 25: 564–572 [肖杰, 江建慧. 面向缺陷分析的广义门电路故障概率的计算. 计算机辅助设计与图形学学报, 2013, 25: 564–572]
- 7 Ibrahim W, Beiu V, Beg A. GREDA: a fast and more accurate gate reliability EDA tool. IEEE Trans Comput Aid Des, 2012, 31: 509–521
- 8 Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices. In: Proceedings of the Conference on Design Automation and Test in Europe, Munich, 2005. 282–287
- 9 Nikolic K, Sadek A, Forshaw M. Architectures for reliable computing with unreliable nanodevices. In: Proceedings of the 1st IEEE Conference on Nanotechnology, Maui, 2001. 254–259
- 10 El-Maleh A H, Al-Hashimi B M, Melouki A, et al. Defect-tolerant N2-transistor structure for reliable nanoelectronic designs. IET Comput Digit Tec, 2009, 3: 570–580
- 11 Xiao J, Jiang J H. The calculation of fault probability of different elementary gates considering time factor. Acta Electron Sin, 2013, 41: 666–673 [肖杰, 江建慧. 考虑时间因素的不同基本门故障概率计算. 电子学报, 2013, 41: 666–673]
- 12 Ibrahim W, Beiu V. Using bayesian networks to accurately calculate the reliability of complementary metal oxide semiconductor gates. IEEE Trans Reliab, 2011, 60: 538–549
- 13 Xiao J, Jiang J H. The estimation of fault probability of elementary gates based on the layout structure information. Acta Electron Sin, 2012, 40: 235–240 [肖杰, 江建慧. 结合版图结构信息的基本门电路故障概率估计. 电子学报, 2012, 40: 235–240]
- 14 Beiu V, Ibrahim W. Devices and input vectors are shaping von Neumann multiplexing. IEEE Trans Nanotechnol, 2011, 10: 606–616
- 15 Zhao T X, Duan X C, Hao Y. Estimation of early-life reliability based on integrated-circuit yield model. Acta Electron Sin, 2005, 33: 1965–1968 [赵天绪, 段旭朝, 郝跃. 基于制造成品率模型的集成电路早期可靠性估计. 电子学报, 2005, 33: 1965–1968]
- 16 de Vries D K, Simon P. Calibration of open interconnect yield models. In: Proceedings of the IEEE 18th International Symposium on Defect and Fault Tolerance in VLSI Systems, Arlington, 2003. 26–33
- 17 Ouyang C T, Jiang J H. Reliability estimation of sequential circuit based on probabilistic transfer matrices. Acta Electron Sin, 2013, 41: 171–177 [欧阳城添, 江建慧. 基于概率转移矩阵的时序电路可靠度估计方法. 电子学报, 2013, 41: 171–177]
- 18 Krishnaswamy S, Markov I, Hayes J P. Design, Analysis and Test of Logic Circuits under Uncertainty. New York: Springer, 2012. 37–52
- 19 Bushnell M, Agrawal V D. Essentials of Electronic Testing for Digital, Memory, and Mixed-Signal VLSI Circuits. Boston: Springer, 2000. 5–58
- 20 Xiao J, Jiang J H, Zhu X G. A method of circuit reliability estimation based on iterative PTM model. Chinese J Comput, 2014, 37: 1508–1520 [肖杰, 江建慧, 朱旭光. 一种基于迭代 PTM 模型的电路可靠性评估方法. 计算机学报, 2014, 37: 1508–1520]

Transistor-level oriented calculation of reliability for generalized gates based on PTM

XIAO Jie^{1*}, JIANG JianHui² & LIANG JiaRong³

1 College of Computer Science and Technology, Zhejiang University of Technology, Hangzhou 310023, China;

2 School of Software Engineering, Tongji University, Shanghai 201804, China;

3 College of Computer and Electronic Information, Guangxi University, Nanning 530004, China

*E-mail: xiaojiexqj@gmail.com

Abstract When the imprecise reliability of generalized gates is applied to the gate-level or high-level circuits, the errors could be easily over-enlarged for the scale effect and other reasons, which leads to unreliable results. In this paper, the PTM model, which the effectiveness was proved by accurate gate-level circuit reliability estimation, was chosen to accurately calculate the structure reliability of generalized gates at the transistor-level; the structure logistic abstract of transistor-level generalized gates is analyzed and transformed into the style of gate-level structure logistic abstract having the same function with the pre-transform one; the failure points of circuit components and the main fault modes are extracted, and the corresponding probabilistic transfer matrixes oriented to faults are constructed; according to the characteristics of series-parallel circuit components, the structure reliabilities of transistor-level generalized gates are calculated by the gate-level PTM method under the fault conditions on input signals. Simulation results for typical generalized gates demonstrate the effectiveness of the proposed method; furthermore, the relation between generalized gates reliability and these main types faults is analyzed, and some interesting results are got.

Keywords transistor-level circuit, reliability, PTM model, CMOS devices, fault modes

XIAO Jie was born in 1984. He received the Ph.D. degree in computer systems architecture from Tongji University, Shanghai, China, in 2013. Currently, he is a teacher at Zhejiang University of Technology. His current research interests include dependable and fault-tolerant computing.

JIANG JianHui was born in 1964. He received the Ph.D. degree in computer science and technology in Shanghai Railway University, Shanghai, China, in 1999. Currently, he is a professor and Ph.D. supervisor in school of Software Engineering, Tongji University. His current research interests include dependable system and network, software reliability engineering, and VLSI/SoC fault-tolerance and test.

LIANG JiaRong was born in 1966. He received the Ph.D. degree in institute of automation from South China University of Technology, Guangzhou, China, in 1998. Currently, he is a professor and Ph.D. supervisor in school of computer and electronic information, Guangxi University. His research interests include parallel and distributed, wireless sensor network and network reliability analysis.