功率超结器件的理论及优化

张波*, 章文通, 乔明, 李肇基

电子科技大学, 电子薄膜与集成器件国家重点实验室, 成都 610054

*联系人, E-mail: zhangbo@uestc.edu.cn

收稿日期: 2016-03-02; 接受日期: 2016-03-21; 网络出版日期: 2016-07-15

摘要 本文基于从表面场到体内场优化的思想, 综述了超结器件的基本理论与两类解析优化法. 超结与一般功率 MOS 结构的本质区别是: 前者为 N/P 型周期排列的结型耐压层, 后者为单一导电型的阻型耐压层. 超结在耐压层引入等量异型电荷, 满足电荷平衡, 产生二维场, 使高场从表面转向体内, 实现场分布优化. 文中给出了电荷场与电势场的概念, 分析了非全耗尽与全耗尽耐压模式, 介绍了瞬态工作机理和安全工作区, 讨论了横向超结的等效衬底模型和理想衬底条件, 最后提出一种基于最低比导通电阻 $R_{on,min}$ 的优化法, 寻求给定耐压 V_B 下的 $R_{on,min}$. 超结器件在相同耐压下显著降低其比导通电阻, $R_{on}-V_B$ 关系从 V_B 的 2.5 次方变为 1.32 次方, 甚至是 1.03 次方, 使之成为“功率 MOS 器件发展的里程碑”.

关键词 功率半导体器件, 超结, 电荷场, 电势场, 最低比导通电阻

PACS: 85.30.-z, 85.30.De, 85.30.Tv

1 引论

功率半导体器件是进行电能(功率)处理的半导体器件. 以功率 MOS 器件和绝缘栅双极型晶体管 IGBT 为代表的场控功率器件, 已经发展成为功率半导体的主力器件. 功率 MOS 器件由于具有输入阻抗高、易驱动和较高频率等诸多优点, 是功率半导体器件中单一品种市场份量的最大的产品.

功率半导体器件常用作开关, 因此具有 3 类工作状态: 关态、开态及两者之间的转换态(即瞬态). 其基本功能是在关态下耐高电压; 在开态下既要导通大电流, 同时也要耐高电压(电流饱和能力); 并实

现两者之间的快速转换. 由此而生的功率半导体器件的基本要求是高耐压、低导通电阻和高开关速度. 因此, 功率 MOS 器件有两个重要发展方向: 一是遵循传统功率半导体器件的发展轨迹, 器件既耐高压, 又具有较低导通电阻. 在此方向上发展了许多新结构, 其中超结(Super Junction, SJ)是最典型的代表结构. 超结突破了传统功率 MOS 器件的理论极限, 被誉为功率 MOS 器件的里程碑器件; 二是向低导通电阻并具优良开关特性的方向发展. 其中的 LDMOS 因其便于集成, 在功率集成电路和射频功率放大器领域获得广泛应用.

击穿电压或耐压 V_B 和比导通电阻 R_{on} 是功率半

引用格式: 张波, 章文通, 乔明, 等. 功率超结器件的理论及优化. 中国科学: 物理学 力学 天文学, 2016, 46: 107302

Zhang B, Zhang W T, Qiao M, et al. Theory and optimization of the power super junction device (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107302, doi: 10.1360/SSPMA2016-00131

导体器件最重要的电学参数, 边缘终端技术(或称为结终端技术)^[1,2]与 RESURF(Reduced Surface Field)是两类基本技术^[3,4], 两者在改善表面场分布以提高耐压方面卓有成效. 但随着功率半导体技术的发展, 功率半导体器件体内场分布问题渐显突出. 为此发展了在体内引入电场的优化技术, 包括纵向终端技术和多重 RESURF 技术; 同时发展了介质场增强(Enhanced Dielectric Field, ENDIF)技术^[5]与降低体内场(Reduced Bulk Field, REBULF)技术等^[6]; 更为重要的是, 发明了本文所述的功率超结器件.

1.1 终端技术与 RESURF 技术

功率半导体器件的基本耐压结构为 PN 结, 它在半导体器件表面产生曲率效应, 使得半导体器件表面电场大于体内最大电场, 从而功率半导体器件更容易出现表面击穿. 结终端技术的实质是在主结附近引入电荷 ΔQ , 产生附加电场 ΔE 以调制主结电场, 降低曲率效应和最大电场 $E(r) = E_0(r) - \Delta E(r)$, 从而获得优化的电场分布, 提高器件耐压. 典型结终端技术包括: 场板、场限环、结终端扩展、扩散保护环和变掺杂技术等. 这种方法亦可用于优化器件体内电场, 从而发展了衬底终端^[7]等技术.

1979 年提出降低表面场 RESURF 概念^[3], 发现为了在横向功率器件中获得高耐压, 外延层的厚度(t_{epi})和掺杂浓度(N_D)需要保持在一定的优化范围内, 并给出漂移区杂质最优剂量的简单关系^[4]

$$N_D t_{\text{epi}} \approx 1 \times 10^{12} \text{ cm}^{-2}. \quad (1)$$

RESURF 技术在横向功率半导体器件中得到了广泛应用, 把功率集成电路大幅拓展到高压领域. 在 2012 年举行的国际功率半导体器件与功率集成电路年会 ISPSD 上, RESURF 理论发明人 Harry 被授予了先驱奖. RESURF 主要包括 3 种典型技术: single-, double-和 triple-RESURF 技术, 并可扩展到 multi-RESURF 技术, 文献[8]给出了这 3 种结构的比导通电阻 R_{on} 与击穿电压 V_B 的关系式^[8].

1.2 功率半导体器件体内场优化技术

基于体内场优化概念, 作者团队近年来发展了两类体内场技术, SOI 高压器件的介质场增强 ENDIF 技术^[5]和体硅功率半导体器件的降低体内场 REBULF 技术^[6]. 众所周知, 横向 SOI 高压器件的耐压由纵向耐压 $V_B = 0.5 E_{\text{S}} t_{\text{S}} + E_{\text{I}} t_{\text{I}}$ 决定, 其中 t_{S} 和 t_{I} 分别

表示硅层和介质埋层的厚度, E_{S} 和 E_{I} 分别表示界面处硅层和介质层的电场强度. 而埋层介质场 E_{I} 很低, 仅为 $75 \text{ V } \mu\text{m}^{-1}$ 左右. 因此提高 V_B 最有效的途径是增强 E_{I} . 这就是介质场增强 ENDIF 技术, 根据电场连续性和薄层硅的临界场增强原则获得 E_{I} 的表达式为

$$E_{\text{I}} = \left\{ \left[\frac{9.783 \varepsilon_{\text{S}} (21.765 - \ln t_{\text{S}})}{\ln t_{\text{S}} + 3.975} \times 10^4 \right] + q \sigma_{\text{in}} \right\} / \varepsilon_{\text{I}}, \quad (2)$$

其中 ε_{S} , ε_{I} 分别是硅和埋层介电系数, σ_{in} 是界面处电荷密度. 由式(2)看出, 增强埋层电场有 3 种方法: (1) 采用低介电系数 ε_{I} 且高临界击穿电场的介质埋层; (2) 在硅层和介质层界面引入电荷 σ_{in} ; (3) 提高硅层的临界击穿电场 $E_{\text{S,C}}$. 式(2)中第一项即为临界电场, 其与 t_{S} 的关系为

$$E_{\text{S,C}} = \frac{9.783(21.765 - \ln t_{\text{S}})}{3.975 + \ln t_{\text{S}}}. \quad (3)$$

式(3)表明, $E_{\text{S,C}}$ 随顶层硅厚度 t_{S} 的减小而增加, $E_{\text{S,C}}$ 在薄硅层($t_{\text{S}} < 0.1 \mu\text{m}$)时大于 $120 \text{ V } \mu\text{m}^{-1}$, 增加非常明显.

典型 REBULF 技术是在 LDMOS 的高阻 P^- 衬底中引入全部或者部分 N 型埋层^[6], 与 P^- 衬底形成附加的反偏 PN 结, 降低高压端的体内场峰值, 增强低压端电场值, 并扩展纵向耗尽区宽度, 从而提高耐压, 也可以在纵向引入 2 个及以上的埋层, 进一步提高击穿电压.

2 超结器件理论

超结器件与一般功率 MOS 器件结构的本质区别是, 前者为 N 型和 P 型周期排列的结型耐压层, 后者为单一导电型的阻型耐压层. 这种从阻型到结型的变化, 是耐压层结构的一次质变. 超结在耐压层引入高浓度等量异型电荷, 满足电荷平衡, 产生二维场, 是体内引入电场的典型方法, 体现从表面场到体内场优化的思想. 这种结构在耐压状态下, 使总电场从一维变为二维分布、在横向超结中甚至为三维场分布; 分析方法亦从解一维泊松方程变为解二维、三维泊松方程; 在瞬变状态下, 呈现电子与空穴的同向和反向异位运动. 因此, 功率超结器件与功率 MOS 器件相比较, 在相同耐压下显著降低其导通电阻, $R_{\text{on}}-V_B$ 关系从 2.5 次方变为 1.32 次方, 使之成为“功率 MOS 器件发展的里程碑”.

2.1 功率超结器件二维场分布

2.1.1 功率超结器件的发明与一维分析

功率半导体器件高耐压特性要求漂移区掺杂浓度低且较厚, 而低比导通电阻特性则希望其掺杂浓度高且较薄, 从而导致耐压与导通电阻之间的基本矛盾, 即 $R_{on}-V_B$ 基本关系, 可以表示为^[1]

$$R_{on} = C \cdot V_B^{2.5}, \quad (4)$$

其中 C 为常数, 对于穿通型情况, $C=0.83 \times 10^{-5}$, 对于非穿通型情况, $C=0.98 \times 10^{-5}$. 从(4)式可以看出, 当器件的耐压提高一倍时, 比导通电阻增大 4.7 倍, 限制了高压、大电流领域的应用. 这是由于常规终端技术主要优化表面场, 使性能接近该极限而难以突破.

电子科技大学陈星弼院士^[9,10]在多年深究功率半导体器件之基础上, 提出几种在体内引入电场的方法, 其中包括现在称为超结的耐压层新结构. 他提出在垂直耐压方向上具有并行异型掺杂区的结型复合缓冲层(Composite Buffer, CB)耐压结构, 这里 CB 也表示电荷平衡(Charge Balance), 如图 1 所示.

同时他从理论上对条形、方形和六边形等多种结构进行计算, 获得新的 $R_{on}-V_B$ 关系^[11]

$$R_{on} = 10^{-4} \cdot c \cdot W \cdot V_B^{1.32}, \quad (5)$$

其中 W 是元胞宽度(μm), c 是与元胞图形相关的系数, 对条形形状 $c=6$, 对方形镶嵌形状 $c=4.7$. 由于陈星弼院士在超结结构发明及其理论建立中的卓越贡献, 在 2015 年国际功率半导体器件与集成电路 ISPSD 年会上, 他被授予了先驱奖.

另外, Coe^[12]提出叉指条结构的双耐压层, Tihanyi^[13]也提出了类似的结构. Fujihira^[14]采用了“超结概

念”, 此后“超结器件”便被同行引用. 超结器件的出现, 突破了 VDMOS 的“硅极限”关系, 被国际上盛誉为“功率 MOS 器件领域的里程碑”^[15]. 1998 年西门子第一次在硅上实现了基于超结的 VDMOS, 称为 CoolMOSTM, 它具有 600 V 的击穿电压和 $3.5 \Omega \text{ mm}^2$ 的比导通电阻^[16]. 目前, 国际上已有包括 Infineon, IR 和 Toshiba 等十余家公司采用该结构生产低功耗超结功率 MOS 器件.

超结将场优化从表面引入体内, 一方面使得器件体内场接近矩形分布, 增加器件 V_B , 更为重要的是通过电荷平衡原理极大降低了器件 R_{on} . 超结提出以后, 不同作者从一维角度对其特性进行了分析^[14,17,18], 这些分析的共同特点是将超结器件漂移区电场简单看成是一维的横向与纵向电场, 从而得到超结器件 R_{on} 正比于 V_B 的结果. 一维分析中皆使用 E_{sc} 作为判断器件击穿的条件, 并且认为 E_{sc} 仅与掺杂浓度有关^[14,17]或者可视为 $20 \text{ V } \mu m^{-1}$ 的常数^[18].

上述临界场分析方法仅适用于简单一维情况, 由于超结器件漂移区电荷密度 $N(x, y)$ 的二维变化导致其电场为典型的二维分布, 因此在计算耐压时需使用碰撞电离积分 $\int \alpha dx = 1$ 作为击穿判据, 同时还要考虑不同的碰撞电离积分路径对击穿的影响.

2.1.2 电荷场与电势场的概念

借助图 2 中的超结简化结构对电场进行分析, 图中 N 区和 P 区具有相同的宽度 W 、长度 L_d 和掺杂浓度 N . O 点为坐标原点, AA', BB' 和 CC' 分别为 N 区和 P 区的中线以及横向 PN 结面, 虚线表示可能决定器件击穿的电力线. 正是由于在 x 方向上存在周期性的 N 型与 P 型掺杂区, 使得耐压层二维电场 $E(x, y)$ 分布更为复杂. 基于电场叠加原理, 其电场分析包括如下两个方面:

在物理意义上, $E(x, y)$ 是一维电场分量 $E_p(y)$ 和二维电场分量 $E_q(x, y)$ 的叠加, 其中 $E_p(y)$ 是由外加电势产生的电势场, 它不考虑 N 区和 P 区电离电荷的影响, 只有一维 y 方向的常数分量. $E_q(x, y)$ 表示由 N 区和 P 区电离电荷所产生的二维电荷场, 它具有 x 与 y 方向的二维分量. 电荷场与电势场的概念在图 3 中给出.

在数学意义上, $E(x, y)$ 可通过在耐压层中求解泊松方程得到, 方程的解由两个方程的解叠加而成, 其一是拉普拉斯方程 $\nabla^2 \varphi = 0$, 其源端边界条件为零电

图 1 超结器件基本结构示意图

Figure 1 Schematic diagram of SJ device.

图 2 (网络版彩图)超结二极管结构示意图

Figure 2 (Color online) Schematic diagram of the SJ diode.

图 3 (网络版彩图)超结电荷场与电势场概念

Figure 3 (Color online) Concepts of the charge and potential electric fields.

势, 而漏端边界条件为 V_B , 它给出一维电势场 $E_p(y)$; 其二是泊松方程 $\nabla^2 \phi = -\rho / \epsilon_s$, 它在源漏两端都为零电势边界条件并决定二维电荷场 $E_q(x, y)$. 上述表达式中 ϕ 和 ϕ 为电势, ρ 和 ϵ_s 分别为电荷密度和硅介电系数.

因此, 超结器件耐压层的二维电场 $E(x, y)$ 可表示为

$$\mathbf{E}(x, y) = \mathbf{E}_p(y) + \mathbf{E}_q(x, y), \quad (6)$$

其中电荷场 $\mathbf{E}_q(x, y) = \mathbf{E}_{q,x}(x, y) + \mathbf{E}_{q,y}(x, y)$ 表示二维电荷场及其 x 与 y 分量.

图 4 中给出超结漂移区的电力线分布图, 其中仿真参数是: 耐压 V_B 为 1000 V, 耐压层长度为 $L_d=60 \mu\text{m}$, 元胞宽度为 $W=5 \mu\text{m}$, N 区和 P 区的施主杂质和受主杂质相等, $N_N=N_P=5.68 \times 10^{15} \text{ cm}^{-3}$. 图中上端为 P^+ 源区, 下端为 N^+ 漏区. 从图中看出, N 区的电离施

图 4 (网络版彩图)超结器件电场矢量分布图

Figure 4 (Color online) Electric field vector of the SJ device.

主以中轴为界, 其电力线指向两侧 P 区的电离受主; 而 P 区的电离受主也以中轴为界, 接受两侧 N 区发出的电力线. 从而, 大部分始于 N 区电离施主的电力线终止于相邻 P 区的电离受主, 在耐压层的大部分区域内, E_q 对纵向电场几乎无贡献, 其值近似为 $E_p=V_B/L_d$. 而在 A 和 B 点周围则呈现如图 5 所示的峰值场区电力线分布. 当然, 对于 A' 和 B' 两点的局域内, 由于那里是 N-N⁺ 和 P-P⁺ 结构, 电场值最低, 呈现谷值电力线分布.

2.1.3 二维电场解析

由于超结电场的复杂性, 其电场分布的解析理论在超结发明后很长的时间才由电子科技大学陈星弼院士提出^[11,19]. 为了获得电离电荷产生的二维电荷场 $E_q(x, y)$, 在求解泊松方程时可将电荷密度展开为傅里叶级数或贝塞尔函数的级数形式, 以获得耐压层横向与纵向的二维电场分布, 详细计算可参阅上述文献^[11,19], 这里以叉指状元胞为例进行分析.

根据傅里叶级数法, 得到电势场 $E_p(y)$ 为

$$E_p(y) = V_B / L_d. \quad (7)$$

电荷场 $E_q(x, y)$ 为

$$E_{q,i}(x, y) = E_0 F_i(x, y), \quad i = x, y, \quad (8)$$

其中 $E_0 = qNW/2 \epsilon_s = 7.7 \times 10^{-8} NW$ 表示由掺杂 N 决定的横向 PN 结结面横向峰值电场, 如图 2 中的 O' 点所示. $F_i(x, y)$ 表示只与器件尺寸有关的电场分布函数

$$\begin{cases} F_x(x, y) = \frac{8}{\pi^2} \sum_{k=1}^{\infty} \frac{1}{k^2} \sin \frac{k\pi}{2} \sin \frac{k\pi x}{W} \left[1 - \frac{\cosh \frac{k\pi y}{W}}{\cosh \frac{k\pi L_d}{2W}} \right], \\ F_y(x, y) = \frac{8}{\pi^2} \sum_{k=1}^{\infty} \frac{1}{k^2} \sin \frac{k\pi}{2} \cos \frac{k\pi x}{W} \frac{\sinh \frac{k\pi y}{W}}{\cosh \frac{k\pi L_d}{2W}}. \end{cases}$$

因此超结电场是典型的二维电场, 它在 x, y 两个方向上都随位置而变. 根据式(6)–(8)就能计算出耐压层任意点的电场值. 从式(8)可以看出, 在 $AA'(x=0)$ 线上, $E_{q,x}(0, y)=0$, $E_q(x, y)$ 只有纵向分量 $E_{q,y}(0, y)$, 而在 $OO'(y=0)$ 线上, $E_q(x, y)$ 几乎只有横向分量 $E_{q,x}(x, 0)$, 同理 $E_q(x, y)$ 沿着 CC' 线几乎只有横向分量 $E_{q,x}(W/2, y)$.

从 $E_q(x, y)$ 表达式可知, 电荷场在 O' 点产生横向峰值电场 E_0 , 而在 A 和 B 两点产生纵向峰值电场, 记为 E_q , 其解析表达式如下:

$$E_q = fE_0 = 5.7 \times 10^{-12} NW, \quad (9)$$

其中 f 在 $L_d > 2W$ 条件下为常数 0.742^[19].

这样, 就获得超结的一个重要概念: 电荷场横向与纵向峰值是掺杂剂量的量度, 它只与掺杂浓度和元胞宽度有关, 而与耐压层长度无关, 掺杂剂量越高, 电荷场峰值越大.

沿着 AA' , BB' 和 SS' 线的电场分布如图 6(a) 所示. 以 AA' 电场为例, 在 L_d 的大部分区域内其电场分布均为 E_p , 只在 A 点的局部区域内, 由于 NP^+ 结的电荷场 E_q 叠加出现电场尖峰. A 点的电场峰值为 E_p 和 E_q 两者的同向相加; 同样在 A' 的局部区域内由于 NN^+ 结的电荷场 $-E_q$ 的削弱, 电场呈现负尖峰. SS' 线上峰值电场为 E_p 和 E_0 的矢量和. 图 6(b) 给出沿 AB' 线, $A'B$ 线和 OO' 线的电场分布. 可以看出, 由于电场的二维性, 其纵向电荷场 $E_{q,y}$ 对横向电荷场 $E_{q,x}$ 具有调制作用, 且越靠近阳极和阴极两端, 这种调制效果越明显, 使其横向电场不同于常规 PN 结的折线分布, 只有沿着 OO' 线, 由于 E_q 几乎只有横向分量, 其横向电场分布才近似为三角形分布.

图 5 表示超结器件的体电场分布的三维仿真图, 在超结耐压层的大部分区域内, N 区的电离施主发出的电力线均指向 P 区的电离受主, 此区域中电荷场的纵向分量 $E_{q,y}$ 为零, 只有横向分量; 只有在 N 区的 A 点靠近 P^+ 区的部分, 一部分电离施主发出的电力线

图 5 (网络版彩图)超结器件三维电场分布图

Figure 5 (Color online) Three-dimensional field distributions of the SJ device.

图 6 (网络版彩图)超结器件电场分布图. (a) 沿着 AA' , BB' 和 SS' 线的电场分布; (b) 沿着 AB' , $A'B$ 和 OO' 线的电场分布

Figure 6 (Color online) Electric field distributions of the SJ device. (a) Electric fields along lines AA' , BB' and SS' ; (b) electric fields along lines AB' , $A'B$ and OO' .

指向顶部 P^+ 区, 同样, 在 P 区的 B 点靠近 N^+ 区的部分, 一部分电离受主受到底部 N^+ 区影响, 产生电荷场的纵向分量 E_{qy} . 因此, 在 A 和 B 两点附近区域内, $E_q(x, y)$ 值很大, 且随着距离 A 和 B 点越近, 其值指数上升, 从而在 A 和 B 点产生电场峰. 同时, 由于 N 区和 P 区之间相互作用使结面(CC'线)出现电场峰, 它由横向电场分量产生, 而在 A, B 两点的电场峰值由电场纵向分量决定. 一般满足 $W \ll L_d$, 宏观看来超结体内场几乎为均匀场, 这是由于电荷场导致的二维场结果.

前面指出, 判断击穿的条件为沿任意电力线上积分 $\int \alpha dx = 1$, 也就是说击穿更易发生在具有最大电场的电力线路径上. 由于电势场为常数, 因此击穿可能出现在具有最大纵向电荷场的 A, B 点或者是具有最大横向电场的 O' 点, 它们所对应的 3 条积分路径 AA', BB' 以及 SS' 及其场分布分别在图 4 和 5 中给出, 积分路径可由电力线满足的微分方程 $dy/dx = E_y/E_x$ 解析计算.

2.1.4 两类解析优化法

功率半导体器件解析优化的基本方法是: 在优化判据下求解击穿条件的器件参数性能. 根据判据不同, 可分为 2 类方法: (1) 电场最优法. 求解电场最优分布条件下的器件参数, 此法迄今为广大同行所采用. (2) 最低比导通电阻 $R_{on,min}$ 法. 此法在第 3 节中给出.

电场最优法可分 3 步: (1) 求解电场精确表达式, 典型方法有叉指型元胞结构中所使用的傅里叶级数法^[19]或者六角形元胞分析中的贝塞尔函数法^[20]等, 此外作者采用泰勒级数法也获得类似的结果; (2) 确定击穿状态的最大电场积分路径, 将此电场表达式代入碰撞电离率 $\alpha(E)$, 当积分 $\int \alpha dx = 1$ 时即发生击穿; (3) 选择优化判据, 在选定的条件下获得性能与参数之间的关系式, 此参数即为设计结果. 因此在得到如(8)式所示的二维场表达式后, 超结器件解析优化的难度在于如何化简击穿路径上的电场, 从而计算电离率积分以及如何选择优化判据.

就作者所知, 对上述级数都是将无穷级数化简为指数函数, 其峰值电场与(9)式结果一致. 化简方法有 3 种. 一种是假设两表达式在 A 或 B 点的微分值相等^[19,21]; 另一种是基于数学解析近似进行化

简^[22]; 第 3 种是基于电荷场等势关系的化简^[23]. 不同研究者的判据相异, 其中全耗尽判据是假设当漂移区在击穿时恰好全耗尽, 即 A' 和 B' 点电场是 0 时为最优^[19,21]. 在此条件下 $R_{on}-V_B$ 满足 1.32 次方关系^[19]. 或者通过仿真证明给定 V_B 时在全耗尽条件下具有更低的 R_{on} ^[21], 或者给出了一个新的条件, 在 AA' 和 SS' 同时击穿时为最优^[22]. 作者则采用耐压归一化方法, 在给定归一化系数下获得优化参数^[23].

但此法获得的 R_{on} 并不一定是最低的, 这是由于在解析计算中基于电场最优分布条件, 另外碰撞电离率一般使用较为简单的 Flop 幂级数经验式^[24], 与更为精确的 Van 表达式^[25]相比会带来一定的误差. 同时, 上述判据并未考虑寄生 JFET 效应^[26]以及迁移率降低^[27]等所带来的影响.

2.2 功率超结器件的两种耐压模式^[23]

2.2.1 耐压归一化法

前面已经指出, 与耐压相关的主要是一维的外加电势场 $E_p = V_B/L_d$, 器件耐压值主要由 E_p 决定; 虽然 $E_q(x, y)$ 在大部分区域纵向分量为 0, 但在 A, B 两点附近因与 P^+ 和 N^+ 两区电场作用仍存在局域电场峰 E_q , 导致超结器件较相同耐压层长度的 PiN 更早击穿. 由于在给定耐压层长度下, PiN 具有最高的恒定耐压, 因此其耐压值 V_{B0} 可作为超结 V_B 的度量. 为了便于讨论, 作者采用归一化的方法来进行耐压分析, 用相同耐压层长度下 PiN 的耐压 V_{B0} 进行对超结耐压归一化, 定义为归一化耐压系数 $\eta = V_B/V_{B0}$. 将简化后的电场带入 Fulop 碰撞电离率公式^[24]获得击穿条件下的耐压归一化系数为

$$\eta = \left[1 + F(\gamma) \frac{W}{L_d} \right]^{-1/7}, \quad (10)$$

其中 $\gamma = E_q/E_p$ 为电场因子. 上面已经指出 E_q 是掺杂剂量的量度, 因此 γ 同样反映了掺杂剂量的高低. 式中 $F(\gamma)$ 是仅与 γ 有关的幂函数, 其表达式详见文献[23]. 因此耐压归一化使得在任意长宽比(L_d/W)下的耐压值, 可以由电场因子 γ 来唯一确定.

图 7 给出在给定 L_d/W 时的耐压归一化系数 η 与电场因子 γ 之间的关系, 并与仿真值相比较, 其中 η_v 为类似方法获得的 VDMOS 归一化系数. 看出在相同的 L_d/W 下, η 随着 γ 的增加而减小, 且随着长宽比的增加, γ 对 η 的影响减小. 当耐压层的掺杂浓度很低时,

图 7 (网络版彩图)归一化耐压系数 η 与场因子 γ 的关系Figure 7 (Color online) Relationship between η and γ .

可认为是 PiN 器件, 它满足 $\eta=1$, 即 $V_B=V_{B0}$, 因为这时电荷场 E_q 几乎为 0, 其 $\gamma=0$.

上述归一化方法是无量纲分析法, 得到的无量纲函数与具体的器件参数值无关, 反映其作用规律. 这是由于物理规律和现象与所选用的度量单位无关, 可以对物理问题中所涉及的同类量相比, 从而将各种影响因素综合为无量纲参数, 如本例中的 η , γ 和 W/L_d 均是无量纲变量. 耐压归一化方法给出耐压随器件参数变化的规律, 此法可拓展到其他研究中.

2.2.2 非全耗尽模式与全耗尽模式

图 7 中超结可按 γ 值分为 3 个区域: $\gamma=0$ 对应零掺杂浓度的器件, 即 PiN 器件; $0<\gamma\leq 1$ 对应全耗尽(Full Depletion, FD)模式, 其最大值 $\gamma=1$, 此区域也对应 VDMOS, 只是其 η 值较超结低很多; $\gamma>1$ 对应着非全耗尽(Non-Full Depletion, NFD)模式. 可以看出, 工作于 NFD 模式下的超结归一化耐压仍可能达到相同 L_d 下 PiN 的 80% 以上. 因此, 超结可以工作在 NFD 模式或者 FD 模式. 在 $\eta=0.8$ 条件下获得 NFD 模式超结解析设计公式为

$$\begin{cases} NW = 2.19 \times 10^{12} W^{-0.267} BV^{0.145} \text{ cm}^{-2}, \\ L_d = 2.31 \times 10^{-2} BV^{7/6} \mu\text{m}. \end{cases} \quad (11)$$

同样在 FD 条件下得到

$$\begin{cases} NW = 1.09 \times 10^{13} a BV^{-1/6} \text{ cm}^{-2}, \\ L_d = 1.78 \times 10^{-2} a^{-1} BV^{7/6} \mu\text{m}, \end{cases} \quad (12)$$

其中 $a=(1+903.3W/BV^{7/6})^{-1/7}$.

图 8 给出超结、VDMOS 和 LDMOS 的杂质密度 NW , NL_d 和 Nt_s 与 V_B 的关系, 其中线和点分别表示解

图 8 (网络版彩图)不同器件掺杂剂量与耐压的关系

Figure 8 (Color online) Relationships between doping doses and V_B .

析与仿真结果. 从图看出, NFD 模式下的 NW 值高于 FD 模式. 前者为 $(3-8) \times 10^{12} \text{ cm}^{-2}$, 且随 V_B 的增加而缓慢增加, 随 W 的减小而增加较快; 后者约为 $3 \times 10^{12} \text{ cm}^{-2}$, 且随 V_B 的增加而略降; VDMOS 和 LDMOS 的 NL_d 和 Nt_s 值均低, 约为 $1.4 \times 10^{12} \text{ cm}^{-2}$. 也就是说, 工作于 NFD 模式下的超结器件具有最高的掺杂剂量.

图 9 给出 NFD 和 FD 模式超结器件、PiN 和 VDMOS 的耐压层长度 L_d 与耐压 V_B 之间的关系, 图中线和点分别表示解析结果和仿真结果. 由于理想 PiN 电荷场为 0, 相同耐压条件下具有最短的 L_d . 相同 V_B 条件下, FD 模式下的 L_d 随 W 的增加而略有增加. NFD 模式下超结器件具有最大的 NW 和最长 L_d . 从式(11)与(12)可知, 在 NFD 模式下, 虽然相同 V_B 条件下的 L_d 略有增加, 但其杂质密度大大增加, 因此

图 9 (网络版彩图)不同器件 L_d 与 V_B 的关系Figure 9 (Color online) Relationships between L_d and V_B .

NFD 模式有更低的导通电阻 R_{on} .

2.2.3 R_{on} - V_B 关系

将 NW 与 L_d 以及迁移率表达式 $\mu_N=2.58 \times 10^4 N^{-1/2}$ 带入 $R_{on}=2L_d/(q\mu_N N)$, 可以得到 NFD 模式与 FD 模式下超结 MOSFET 器件的 R_{on} - V_B 关系式

NFD 模式 ($\eta=0.8$)

$$R_{on} = 1.17 \times 10^{-3} W^{1.16} BV^{1.03} \text{ m}\Omega \text{ cm}^2. \quad (13)$$

FD 模式

$$R_{on} = 2.07 \times 10^{-4} a^{-1.92} W^{0.92} BV^{1.32} \text{ m}\Omega \text{ cm}^2. \quad (14)$$

从上面公式可以看出, 工作于 NFD 模式下的超结器件, 其 R_{on} - V_B 关系由 FD 模式下的 1.32 次方^[11,19]降低到 1.03 次方.

图 10 给出 NFD 模式 ($\eta=0.8$) 和 FD 模式下超结器件 R_{on} - V_B 关系, 其中线和点分别表示解析结果与仿真结果, NFD 模式通过增加杂质密度同时稍稍增长耐压层长度, 实现在相同的 V_B 下有效降低 R_{on} , 为了进行比较, 图中还给出了传统 VDMOS 的极限关系.

2.2.4 电荷非平衡^[28-30]

前面讨论的是平衡对称超结器件, 其 N 区和 P 区的宽度 W 和浓度 N 都相等, 电荷场 E_q 对 V_B 影响较小, 但在实现超结器件时, 工艺偏差或斜槽工艺等都会带来电荷非平衡问题, 主要分为 2 类, 第 1 类是剂量非平衡, 其 N 区和 P 区浓度 N 和宽度 W 不相等; 第 2 类是尺度非平衡, 其 N 区和 P 区形状不规则, 如不是矩形而是梯形或其他形状, 但 N 区和 P 区的掺杂剂

图 10 (网络版彩图)NFD, FD 模式超结的 R_{on} - V_B 关系

Figure 10 (Color online) R_{on} - V_B relationships for the NFD and the FD SJ.

量相等.

电荷非平衡器件的解析方法是将非平衡电荷分布用傅里叶级数展开, 分解为平衡项与非平衡项, 获得非平衡势场分布, 也就是利用电场叠加原理将漂移区电场等效为平衡电场与非平衡电荷场 ΔE_q 的叠加, 即 $E(x, y)=E_p+E_q+\Delta E_q$. 电荷非平衡对耐压的影响除了与 N 区和 P 区形状和尺寸有关以外, 电荷密度的影响从平衡超结的 NW 变为非平衡超结的 NL_d . 由于超结器件中 $W \ll L_d$, 其影响远高于平衡情况, 特别具有更长的 L_d 高压器件对电荷非平衡更加敏感.

2.3 功率超结器件瞬态特性与安全工作区

2.3.1 瞬态特性^[31]

器件的瞬态特性由器件内部等效电容等参数及外电路决定, 与 VDMOS 相比, 超结器件 N 区和 P 区之间引入的结电容主要增加输出漏源电容 C_{DS} , 而栅源电容 C_{GS} 和栅漏电容 C_{GD} 无显著变化, 因此两种器件开启时间几乎完全一样, 而超结器件在关断时存在一段由 C_{DS} 决定的延迟时间.

1) 功率超结器件开启过程.

图 11 给出 SJ 器件开启过程仿真结果. 图 11(a) 表示器件栅极开启后从源端注入 N 区与 P 区的电子流、空穴流以及漏电流随时间的变化, 插图是在开启过程中漏端电流电压随时间的变化, 可以看出超结导通时间很短, 在 ns 量级. 源端沟道注入的电子电流与 P 区注入的空穴电流同时对 N 区与 P 区间结电容进行充电. 在整个开启过程中特别是器件开启初期, 源端对 N 区与 P 区的充电电流较大且几乎相等, 这是因为器件开启过程中电子空穴对同向异位运动造成的^[31], 空穴电流密度在器件完全导通后降低为 0.

图 11(b) 表示器件在 $V_d=45$ V 时的电流线与等势线分布. 当器件由关断变为开启, 耗尽耐压层变为中性区, 需要大量的电子与空穴存入耐压层, 其中 N 区电子从沟道注入导致部分 N 区变成中性区. 电子流的前沿与耗尽层的顶部电位一致, 即电子流前沿以下 N 区仍处于全耗尽状态; 同理分析, 空穴流前沿以下 P 区也处于全耗尽状态.

电离电荷产生横向场使得顶部 N 区和 P 区之间产生横向电势差, 为横向 PN 结耗尽电势, 本例中此横向势和横向场大约在 10 V 和 $10 \text{ V } \mu\text{m}^{-1}$ 量级. 该电势差使得同一水平面上的 P 区的电势低于 N 区而呈

图 11 (网络版彩图)超结器件开启过程. (a) SJ 器件瞬态电流分布; (b) $V_d=45$ V, 左图为电流线, 右图为等势线; (c) $V_d=5$ V, 左图为电流线, 右图为等势线

Figure 11 (Color online) Turn on process of the SJ device ($L_d=52$ μm , $W=2$ μm , $N=1.53\times 10^{16}$ cm^{-3}). (a) The transient current distribution of the SJ device; (b) the distribution with $V_d=45$ V, the left is the current lines and the right is the equal potential lines; (c) the distribution with $V_d=5$ V, the left is the current lines and the right is the equal potential lines.

现负值, 从而驱使空穴从 0 电势的源端流向 P 区, 导致器件开启过程中电子流与旁边 P 区伴随的空穴流形成同向异位空穴电子对运动. 为简单起见, 认为在整个开启过程中电子流和空穴流在电场作用下以饱和速度渡越耐压层, 其运动时间就是器件开启时间, 由下式决定:

$$t_s = L_d / v_s, \quad (15)$$

其中 v_s 为饱和耐压层速度, 其值可取为 6×10^6 (或

1×10^7) cm s^{-1} , 计算出 SJ 开启时间很快, 在 ns 量级. 当电子与空穴渡越漂移区并靠近漏端, 由于漏端 N^+ 耗尽区边界等势, N 区和 P 区耗尽层的横向电势差逐渐减小到 0 并成为等势面, 导致空穴流消失. 此时 V_d 下降到 5 V, 漏电流完全由电子流构成, 器件只存在流过 N 柱区的电子电流, 如图 11(c)所示.

2) 功率超结器件关断过程.

采用与导通过程相似的分析方法, 图 12 给出功

图 12 (网络版彩图)超结器件关断过程. (a) 超结关断过程的电流电压随时间变化; (b) $V_d=15$ V, 左边为电流线, 右边为等势线; (c) $V_d=400$ V, 左边为电流线, 右边为等势线

Figure 12 Turn off process of the SJ device ($L_d=52 \mu\text{m}$, $W=2 \mu\text{m}$, $N=1.53 \times 10^{16} \text{ cm}^{-3}$). (a) J_d and V_d as functions of t of the SJ device during the turn-off process; (b) the distribution with $V_d=5$ V, the left is the current lines and the right is the equal potential lines; (c) the distribution with $V_d=400$ V, the left is the current lines and the right is the equal potential lines.

率超结器件关断过程仿真结果. 图 12(a)为关断过程电流电压与时间的关系. 与 VDMOS 相异, 超结器件关断过程分为延迟阶段和下降阶段, 在关断延迟阶段虽然栅已经关闭, 但是电流几乎保持不变, 然后才是电流快速下降阶段. 图 12(b)表示栅关断后 $V_d=15$ V 的情形, N, P 两区之间耗尽层部分展开且 N 区电势高于 P 区, 电子与空穴分别通过漏端与源端流出漂移区, 形成一种反异位电子空穴对运动^[31].

功率超结器件的关断延迟时间由总存储电荷

决定

$$t_d = \frac{A_N q N L_d + A_g (V_G - V_{FB}) \epsilon_i / t_i}{I_d}, \quad (16)$$

其中 A_N 为 N 区流电流的有效面积, A_g 为栅形成积累区面积, V_G 和 V_{FB} 为栅压和带带电压. ϵ_i 和 t_i 是栅氧化层介电常数和厚度, I_d 为等效关断电流. 式(16)中分子第一项为耐压层中存储电荷, 第二项为栅极下积累层电荷, 二者的抽取时间构成延迟时间, 若要缩短延迟时间, 则需要增加超结工作电流密度.

图 12(c)表示 SJ 电流下降过程中 $V_d=400$ V 时的情形. 在电流延迟时间耐压层电子大量被抽取, 第一区结尾时耐压层几乎全耗尽, 靠近源端的耗尽区开始承受耐压, 为了简单起见, 我们假设电流下降区器件耐压层全耗尽, 那么耐压层耗尽层电容可以表示为 $C_D = A\epsilon_s / L_d$, 其中 A 为器件横截面积. SJ 器件电流下降过程可视为对 C_D 充电, 根据电流下降时间定义, SJ 下降时间可以表示为

$$t_f = \tau \ln(10) = 2.3R_L C_D, \quad (17)$$

其中 R_L 为外电路电阻大小, τ 是 C_D 充电时间常数.

2.3.2 安全工作区^[32,33]

功率超结器件电流密度大小为流过 N 区最大电流密度的一半且受到 JFET 效应的影响. 为了对超结器件的安全工作区进行分析, 图 13 给出耐压为 600 V 的超结器件的 I - V 曲线和安全工作区的仿真结果, 其仿真参数是, $L_d=37$ μm , $W=10$ μm , $N_D=N_A=2\times 10^{15}$ cm^{-3} . 从图中看出, 当漏压增加至 $V_d>V_{\text{dsat}}$ 后, 沟道夹断进入饱和区, 漏电流密度不随漏压变化而变化. 随着 V_d 的增加, 器件耐压层电场增加导致碰撞电离, 出现一次击穿现象, 且一次击穿的电压随栅压 V_G 的增加即随 J_d 的增加而降低. 虽然超结器件比常规 VDMOS 具有更优越的 I - V 性能, 然而超结器件中仍存在寄生 NPN 管, 会对开态特性、特别是安全工作区产生影响. 随着 V_d 逐渐增加到接近关态 V_B 时, 由于寄生 NPN 晶体管的开启, 超结器件呈现二次击穿, 二次击穿电压边界决定器件安全工作区.

我们仍然可以从电荷角度来分析超结器件开态下的势场分布. 器件开态可以等效为在耐压层中引

图 13 超结器件 I - V 曲线和正向安全工作区
Figure 13 Forward biased safe operating area of the SJ device.

入了负电荷. 假设高漏压条件下饱和电流密度为 J_d 且电子以饱和速度 v_s 运动, 那么由于电子漂移电流引入耐压层平均负电荷浓度为 $n = J_d / qv_s$, 因此器件开态下的 N 区耗尽层中的等效掺杂浓度减少为

$$n_D = N_D - n. \quad (18)$$

对应 P 区等效杂质浓度增加为 $n_A = N_A + n$. 这样由于电流引入的非平衡电荷 n 打破了关态条件下超结 N 区和 P 区之间的电荷平衡, 使得靠近漏端区域电场增大. 从非平衡负电荷浓度表达式可知, 电子饱和速度 $v_s = 1 \times 10^7$ cm s^{-1} , 器件电流密度每增加 100 A cm^{-2} , 引入非平衡负电荷浓度为 6.24×10^{13} cm^{-3} . 因此在 VDMOS 应用的电流密度范围内, 由电流引起的电场变化并不明显. 由于超结器件开态电流密度大, 电流引入的负电荷浓度不可忽略, 且电流密度越大这种影响越明显. 表现为图 13 中一次击穿后的曲线翘曲, 这是由于碰撞电离产生电子-空穴对增强了耐压层的电导率.

图 14 中给出在图 13 中当 V_G 为 10 V 条件下超结器件电流密度 J_d 和寄生 NPN 管发射结电势 V_{be} 随 V_d 的变化. 图中 B, C, D 和 E 四点分别表示一次击穿点、两次击穿之间、二次击穿点和二次击穿后电流密度. B 点发生一次击穿后碰撞电离产生的空穴流经基区电阻使得寄生 NPN 管发射结电势增加. 在 C 点发生碰撞电离后, 电子-空穴对分别形成电子与空穴电流, 但寄生管未开启, 空穴电流密度使寄生管发射结两端电势继续增大, 直到 D 点 NPN 管发射结两边电压为 0.7 V, 寄生管开启, 出现二次击穿. 在 E 点, 寄生管发射结仍然正偏, 电流密度随着基极电流增大而增加, 电压 V_d 则降低直至其维持电压.

为了进行比较, 图 15 给出超结器件 20 A/600 V

图 14 超结 I - V 曲线与寄生管发射结电势
Figure 14 I - V curve under $V_G=10$ V and V_{be} of the parasitic bipolar transistor.

图 15 超结器件 SPP20N60S5 安全工作区测试结果^[34]

Figure 15 Test result of the the SPP20N60S5 [34].

的 SPP20N60S5 的安全工作区的测试结果^[34]. 从图中看出, 该器件存在两次击穿现象, 这证明了前面分析的正确性. 其一次击穿电压随电流密度增加近似为一条直线, 安全工作区大大增加.

2.4 横向超结器件等效衬底模型

2.4.1 衬底辅助耗尽效应^[35]

图 16 给出了常规 N 沟道横向超结 LDMOS 的结构图, 与纵向超结的耐压层只包含一个横向 PN 结不同, 横向超结器件的耐压层既包含超结的横向 PN 结又包含超结的 N 区与 P 型衬底之间的纵向 PN 结. 因此与纵向超结器件在 x 和 y 方向的二维电场相比, 横向超结器件还增加了 z 方向的纵向场, 是一个典型的三维场问题.

纵向场使超结中的 N 区与 P 型衬底形成纵向 PN 结和纵向耗尽层. 因此 N 区不仅与相邻的横向 P 区相互耗尽, 还与纵向 P 型衬底相互作用, 这打破了超结

图 16 常规横向超结 LDMOS

Figure 16 The conventional lateral SJ LDMOS.

中 N 区和 P 区之间的电荷平衡, 使 N 区杂质提前耗尽, P 区杂质过剩, 而且由于纵向 PN 结的耗尽作用从源到漏端逐渐增强, 因而使衬底耗尽层宽度从源到漏端逐渐增大, 如图 16 中纵向箭头所示. 这加剧了超结的电荷非平衡. 这种电荷非平衡使器件击穿电压降低, 更严重的是 N 区与 P 型衬底之间因纵向电场过高而提前击穿, 致使相同耐压层长度的超结器件的击穿电压甚至小于常规 RESURF LDMOS 的击穿电压. 这种由于横向超结器件中的 P 型衬底的作用, 使平衡超结中的 N 区加速耗尽的场效应就是衬底辅助耗尽效应.

图 17(a)和(b)分别给出了超结 LDMOS 器件在击穿时的三维等势线和表面电场分布图, 其中超结层的 N 区和 P 区杂质总量相等, 图 17(b)的一维电场为超结中 N 区中线的表面电场分布. 从图中可以看出, 由于衬底辅助耗尽效应打破了超结的电荷平衡, N 区杂质提前耗尽使 N 区漏端电场过高而提前击穿.

2.4.2 等效衬底模型^[36]

文献[36]给出了适用于横向 SJ 器件耐压设计的等效衬底(Equivalent Substrate, ES)模型. 图 18 给出超结 LDMOS 的结构图和 ES 模型示意图, 与超结 VDMOS 相比较, 超结 LDMOS 由于衬底的引入使器件性能退化. 为了分析衬底对表面 SJ 层的影响, 将

图 17 (网络版彩图)(a) SJ-LDMOS 等势线图; (b) 表面电场分布

Figure 17 (Color online) (a) The equal potential line; (b) surface electric field.

图 18 (网络版彩图)等效衬底(ES)模型示意图. (a) 横向 SJ; (b) ES 模型; (c) 优化横向 SJ

Figure 18 (Color online) Schematic diagram of the ES model. (a) The lateral SJ; (b) the ES model; (c) the optimized lateral SJ.

电荷补偿层(Charge Compensation Layer, CCL)与耗尽的 P 型衬底一起视为等效衬底 ES, 并将 ES 作为一个整体来分析其对表面 SJ 层的电场调制效应. 模型揭示了衬底辅助耗尽效应的实质是超结 N 区与 P 区之间电荷平衡被 P 型衬底的电离受主打破, 导致 P 区不能全耗尽, 器件耐压降低. 为此, 可采用电荷补偿层产生的补偿场 ΔE 调制器件表面电场, 以便消除衬底辅助耗尽效应, 以提高器件耐压.

通过分析三维场势分布, 可对等效衬底进行设计, 以达到消除衬底辅助耗尽效应的目的. 横向 SJ 的耐压层中电势满足三维泊松方程

$$\nabla^2 \phi(x, y, z) = -\frac{qN(x, y, z)}{\epsilon_s}, \quad (19)$$

泊松方程的求解在 x 方向采用傅里叶级数近似, 而在 z 方向采用泰勒级数近似. 如果衬底辅助耗尽效应完全被抑制, 则横向 SJ 耐压设计完全与纵向 SJ 相似.

从前面的分析知道, 横向超结的衬底 PN 结的耗尽作用从源到漏端逐渐增强, 因此所需的补偿电荷浓度从源到漏端逐渐增加. 这样, 为了抑制衬底辅助耗尽效应, 在表面 SJ 层与衬底层之间加入 N 型电荷补偿层, 表面场由下式给出:

$$E(x, y, 0) = E_p(y) + E_q(x, y) + \Delta E(y), \quad (20)$$

式中 $E_p(y)$, $E_q(x, y)$ 和 $\Delta E(y)$ 分别表示外加电压产生的电场、表面 N 区和 P 区产生的二维电荷场和补偿层电荷产生的附加电场, 其中 $E_p(y)$ 和 $\Delta E(y)$ 为 y 方向的一维场, 可由格林函数法求出, 其分布与 z 方向尺寸决定的特征厚度有关. 因此, 横向超结器件的耐压

设计就是对补偿电荷 $\Delta E(y)$ 的优化. 为了抑制衬底辅助耗尽效应, 一方面需要通过电荷补偿的方式缓解衬底耗尽层电荷对表面超结区域的影响, 另一方面为了实现超结最佳耐压效果, 应使等效衬底的表面横向电场更加均匀, 因此理想衬底条件可表述为

(1) 电中性条件: $Q_{ES} \rightarrow 0$, 等效衬底(ES)为准电中性, 可粗略视为本征层, 这样超结中 N 区和 P 区之间的电荷平衡得以满足.

(2) ES 均匀表面场: $E(x, y, t_s) = \text{常数}$, 横向超结 N 区和 P 区产生电荷场会与等效衬底电场叠加, 衬底均匀表面场条件将避免器件表面提前击穿.

图 19 表示具有相同 N 区和 P 区尺寸的优化电荷补偿层和常规的两种横向超结器件在击穿时的等势线分布. 由于衬底辅助耗尽效应的影响, 常规结构在靠近源端的 P 条有明显的非耗尽区域, 其 $V_B = 117 \text{ V}$,

图 19 (网络版彩图)衬底辅助耗尽效应抑制前后横向超结等势

Figure 19 (Color online) Equal potential lines of the lateral SJ device with or without the substrate assisted depletion effect.

衬底最大耗尽层深度仅有 25 μm ; 具有 CCL 层的横向 SJ 的耐压层完全耗尽, 衬底耗尽深度增加到 45 μm , 器件耐压从常规结构的 117 V 增加到 301 V. 因此电荷补偿层有效抑制了衬底辅助耗尽效应.

等效衬底模型揭示了衬底辅助耗尽效应的本质, 同时理论上给出消除该效应所需满足的理想衬底条件, 诸多研究者从新器件结构的角度对这个问题进行讨论, 抑制衬底辅助效应的典型结构有两类, 一类是直接刻蚀衬底或者是使用惰性衬底^[35,37,38], 这种方法直接去除了产生衬底辅助耗尽效应的零电势边界条件, 从而完全抑制衬底辅助耗尽效应. 另一类是通过引入补偿电荷以消除衬底的影响^[7,39-46], 具体抑制效果与所选用的补偿电荷剂量及分布有关.

3 功率超结器件的最低比导优化法

3.1 最低比导通电阻优化思想

如前所述, 超结的主要特性是降低 R_{on} 以突破常规的“硅极限”. 但上述场优化法只是给出最优场分布条件下的 R_{on} , 并未真正给出最低比导通电阻 $R_{\text{on,min}}$, 因此本文提出的 $R_{\text{on,min}}$ 优化方法具有重要意义. 此方法的实质是 $\alpha(E)$ 中的二维电场 $E(x, y)$ 建立在电荷场 $E_q(x, y)$ 与电势场 E_p 概念的基础上, 在给定 $E_q(x, y)$ 的条件下, 可以将 E_p 从一个初值开始逐渐修正到满足雪崩击穿条件, 从而得到对应的器件参数. 从 ES 模型^[36]中对横向超结电场分布的分析可知, 当满足理想衬底条件的时候, 横向超结器件有与纵向超结器件体电场分布类似的表面场分布. 因此两者的 $R_{\text{on,min}}$ 皆可用相同的 $E_q(x, y)$ 进行分析. 区别在于计算式不同: 纵向器件 $R_{\text{on}} \propto L_d$, 而横向器件 $R_{\text{on}} \propto L_d^2/H$, 其中 H 为横向超结层高度.

对超结器件来说, R_{on} 存在 2 个限制条件, 由 V_B 决定的最短漂移区长度 L_d 以及由 W 决定的最大掺杂浓度 N_{max} , 欲降低 R_{on} 则应在保证 V_B 的前提下尽可能提高 N , 同时缩短 L_d . 寻找给定 V_B 下 $R_{\text{on,min}}$ 的问题就是在上述两个限制条件下求极小值的问题. 同时在计算过程中还需考虑到寄生 JFET 效应^[26]以及迁移率降低^[27]的影响.

3.2 $R_{\text{on,min}}$ 优化法

超结器件元胞宽度 W 由工艺给定, 从上一小节可知, 最低 R_{on} 在 $0-N_{\text{max}}$ 浓度范围内取得, 可以通过

以下 3 个步骤找到给定 V_B 下的最低 R_{on} :

第 1 步, 求解任意浓度 N 条件下的击穿条件, 并计算对应比导通电阻. 首先给定 W , N 及 L_d 的初值, 并计算电荷场 $E_q(x, y)$ 分布; 从给定的 E_p 初值(如 20 V μm^{-1})开始, 通过数学软件对碰撞电离积分进行数值计算, 然后调整 E_p 的值, 使得电场分布满足击穿条件, 获得准确的 E_p 值, 进而算出对应的击穿电压 V_b ; 将 V_b 值和目标 V_B 值进行比较, 再调整 L_d , 即可获得在给定 W , N 和 V_B 下的 L_d , 从而可以计算出考虑 JFET 与迁移率效应在内的精确 R_{on} , 重复上述过程, 就可以得到从 0 到 N_{max} 之间的任意掺杂浓度下的比导通电阻值.

第 2 步, 从上一步中可以看出, 在给定的 W 和 V_B 下 $R_{\text{on}}-N$ 曲线为单峰函数, 从而可以使用黄金分割寻优算法^[47]获得其最低比导通电阻, 具体的初始掺杂浓度为 $N_0=0$, $N_1=N_{\text{max}}$, 计算该区域下黄金分割点 $N_{00} = \lambda N_0 + (1-\lambda)N_1$ 和 $N_{11} = (1-\lambda)N_0 + \lambda N_1$, 其中 $\lambda = (\sqrt{5}-1)/2$ 表示黄金分割系数. 求出 N_{00} 和 N_{11} 点对应的比导通电阻 $R_{\text{on},00}$ 和 $R_{\text{on},11}$, 如果 $R_{\text{on},00} < R_{\text{on},11}$, 寻优范围变为 $N_0 \leq N \leq N_{11}$ 也就是 $N_1=N_{11}$ 是新的最大值; 如果 $R_{\text{on},00} \geq R_{\text{on},11}$, 寻优范围变为 $N_{00} \leq N \leq N_1$ 即 $N_0=N_{00}$ 为新的最小值. 重复以上过程直到满足给定误差, 如 $N_1 \leq 1.001N_0$, 最终优化掺杂剂量为 $N=(N_1+N_0)/2$, 求出该点对应的比导通电阻即为最低比导通电阻 $R_{\text{on,min}}$.

第 3 步, 利用第 2 步寻优法获得系列 W 及 V_B 取值下的 N , L_d 和 $R_{\text{on,min}}$ 值, 使用非线性拟合得到与 2.2 节中形式一致的设计表达式.

基于上述 $R_{\text{on,min}}$ 优化法, 得到设计式及 $R_{\text{on}}-V_B$ 关系式为

对纵向超结

$$\begin{cases} N = 4.28 \times 10^{16} W^{-1.28} BV^{0.04} \text{ cm}^{-3}, \\ L_d = 2.53 \times 10^{-2} W^{0.015} BV^{1.12} \mu\text{m}, \\ R_{\text{on}} = 1.20 \times 10^{-3} W^{0.97} BV^{1.08} \text{ m}\Omega \text{ cm}^2. \end{cases} \quad (21)$$

对满足理想衬底条件的横向超结

$$\begin{cases} N = 3.08 \times 10^{16} W^{-1.28} BV^{0.07} \text{ cm}^{-3}, \\ L_d = 2.38 \times 10^{-2} W^{0.006} BV^{1.14} \mu\text{m}, \\ R_{\text{on}} = 3.13 \times 10^{-5} H^{-1} W^{0.98} BV^{2.21} \text{ m}\Omega \text{ cm}^2, \end{cases} \quad (22)$$

其中 H 和 W 以 μm 为单位, 公式的适用范围为 $0.5 \mu\text{m} \leq W \leq 10 \mu\text{m}$, $200 \text{ V} \leq V_B \leq 2000 \text{ V}$.

从公式(21)和(22)可以看出, 由于横向超结器件 $R_{on} \propto L_d^2$, 增加 N 导致 L_d 加长使得 R_{on} 更大. 因此相同 W 和 V_B 下比纵向器件具有更低的 N 和更短的 L_d . 此外, 其 R_{on} 与 H 呈反比变化关系.

4 功率超结器件展望

超结典型结构包括半超结结构(Semi-SJ)^[48,49], 将超结特性与传统 VDMOS 相结合, 为 1000 V 以上高压低功耗器件的产业化提供了一条新途径; 在低压功率 MOS 中引入超结改善 R_{on} 和优值^[50,51], 且更适合小型封装的同步整流架构 DC-DC 变换器应用^[52]. 超结结构亦被广泛应用于其他功率器件, 如 IGBT^[53], SBD^[54], 高 K 器件^[55-58]等. 早期的纵向超结结构主要通过多次注入和外延之后退火的方式实现, 如英飞凌公司的 CoolMOS 器件^[59], 意法半导体的 MDmesh 器件^[60]等. 近年来, 随着高深宽比刻蚀工艺的发展, 日本富士电机公司^[61]以及瑞萨电子^[62]等采用刻蚀深槽、填充及平坦化工艺实现超结器件. 作者所在团队与上海华虹 NEC 公司(现上海华虹宏力)合作, 在 2010 年通过深槽刻蚀和外延生长工艺实现了 V_B 大于 700 V 的超结 VDMOS^[63]. 在低功耗功率电子领域, 提出了一种在槽两侧壁采用小倾角离子注入形成的超结 VDMOS 的工艺制造方法^[64], 其 N 区或 P 区可以做得很窄. 专利^[65,66]中采用该方法可制备具有低

阻通道和高 K 介质的超结器件.

超结器件 R_{on} 正比于元胞宽度 W , 因为随着 W 变窄, 可引入更高的电荷剂量. 然而当 W 进一步降低, 特别是降至 0.5 μm 甚至更窄时, 性能会发生两方面变化, 首先, 寄生 JFET 的影响更加显著. 由内建势决定的寄生 JFET 耗尽区宽度占整个元胞比例增大至 30%–50%, 甚至更高, 使寄生 JFET 效应所带来的 R_{on} 上升愈加明显; W 减小同时使寄生 JFET 夹断电流密度大大减小, 导致需要更多元胞并联以满足输出电流密度要求. 其次, 当 W 显著变窄同时掺杂浓度增加时, 齐纳击穿将是决定器件击穿的主要机构^[67], 其典型击穿条件为横向 PN 结击穿电压小于 $4E_g/q$, 其中 E_g 表示硅禁带宽度. 在掺杂浓度大于 $6 \times 10^{17} \text{ cm}^{-3}$, 或者是 $E_0 > 100 \text{ V } \mu\text{m}^{-1}$ 条件下需考虑齐纳击穿.

超结引入等量异种电荷以实现电荷平衡, 该原则可拓展到其他单元胞或者多元胞设计中, 只要使其正电荷发出电力线终止于临近负电荷即可, 引入电荷的方式可以是 MIS 耦合或者介质层固定电荷等. 使超结 N 区与 P 区同时导通电流也是一个可行的思路. 此外, 在文献[10]中指出, 超结的进展主要是在制造工艺方面, 并给出两种新型工艺: 中子嬗变掺杂(Neutron Transmutation Doping, NTD)^[9]及用两块导电类型相反的材料进行刻槽, 再用硅片直接键合 DWB 的方法^[68]. 新工艺的开发乃是超结发展的重要方向.

参考文献

- 1 Chen X B. Power MOSFET and High Voltage Integrated Circuit (in Chinese). Nanjing: Southeast University Press, 1990 [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990]
- 2 Baliga B J. Power Semiconductor Devices. Boston: PWS Publishing Company, 1996
- 3 Appels J, Vaes H, Verhoeven J. High voltage thin layer devices (RESURF devices). In: Electron Devices Meeting. Washington D C: IEEE Press, 1979. 25: 238–241
- 4 Appels J, Collet M, Hart P, et al. Thin layer high voltage devices (RESURF devices). Philips J Res, 1980, 35: 1–13
- 5 Zhang B, Li Z J, Hu S D, et al. Field enhancement for dielectric layer of high-voltage devices on silicon on insulator. IEEE Trans Electron Dev, 2009, 56: 2327–2334
- 6 Zhang B, Duan B X, Li Z J. Breakdown voltage analysis of a REBULF LDMOS structure with an n+ floating layer (in Chinese). Chin J Semicond, 2006, 27: 730–734 [张波, 段宝兴, 李肇基. 具有 n+ 浮空层的体电场降低 LDMOS 结构耐压分析. 半导体学报, 2006, 27: 730–734]
- 7 Qiao M, Hu X, Wen H J, et al. A novel substrate-assisted RESURF technology for small curvature radius junction. In: IEEE International Symposium on Power Semiconductor Devices and ICs. San Diego: IEEE Press, 2011. 16–19
- 8 Iqbal M M H, Udrea F, Napoli E. On the static performance of the RESURF LDMOSFETs for power ICs. In: IEEE International Symposium on Power Semiconductor Devices and ICs. Barcelona: IEEE Press, 2009. 247–250
- 9 Chen X B. Semiconductor power devices with alternating conductivity type high voltage breakdown region. US Patent, 5216275,

1993-06-01

- 10 Chen X B. Super-junction components (in Chinese). *Power Electron*, 2008, 42: 2–7 [陈星弼. 超结器件. *电力电子技术*, 2008, 42: 2–7]
- 11 Chen X B, Sin J K O. Optimization of the specific on-resistance of the COOLMOSTM. *IEEE Trans Electron Dev*, 2001, 48: 344–348
- 12 Coe D J. High voltage semiconductor device. US Patent, 4754310, 1988-06-28
- 13 Tihanyi J. Power MOSFET. US Patent, 5438215, 1995-08-01
- 14 Fujihira T. Theory of semiconductor superjunction devices. *Jpn J Appl Phys*, 1997, 36: 6254–6262
- 15 Lorenz L, Deboy G, Knapp A, et al. COOLMOSTM-a new milestone in high voltage power MOS. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Toronto: IEEE Press, 1999. 3–10
- 16 Deboy G, Marz M, Stengl J P, et al. A new generation of high voltage MOSFETs breaks the limit line of silicon. In: *IEDM Technical Digest*. San Francisco: IEEE Press, 1998. 683–685
- 17 Fujihira T, Miyasaka Y. Simulated superior performances of semiconductor superjunction devices. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Kyoto: IEEE Press, 1998. 423–426
- 18 Shenoy P M, Bhalla A, Dolny G M. Analysis of the effect of charge imbalance on the static and dynamic characteristics of the super junction MOSFET. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Canada: IEEE Press, 1999. 99–102
- 19 Chen X B, Mawby P A, Board K, et al. Theory of a novel voltage-sustaining layer for power devices. *Microelectron J*, 1998, 29: 1005–1011
- 20 Chen X B, Yang H Q, Cheng M. New “silicon limit” of power devices. *Solid State Electron*, 2002, 46: 1185–1192
- 21 Strollo A G M, Napoli E. Optimal ON-resistance versus breakdown voltage tradeoff in superjunction power devices: A novel analytical model. *IEEE Trans Electron Dev*, 2001, 48: 2161–2167
- 22 Huang H M, Chen X B. Optimization of specific on-resistance of balanced symmetric superjunction MOSFETs based on a better approximation of ionization integral. *IEEE Trans Electron Dev*, 2012, 59: 2742–2747
- 23 Zhang W T, Zhang B, Li Z H, et al. Theory of superjunction with NFD and FD modes based on normalized breakdown voltage. *IEEE Trans Electron Dev*, 2015, 62: 4114–4120
- 24 Fulop W. Calculation of avalanche breakdown voltages of silicon p-n junctions. *Solid State Electron*, 1967, 10: 39–43
- 25 Overstraeten R V, Man H D. Measurement of the ionization rates in diffused silicon p-n junctions. *Solid State Electron*, 1970, 13: 583–608
- 26 Disney D, Dolny G. JFET depletion in superjunction devices. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Orlando: IEEE Press, 2008. 157–160
- 27 Caughey D, Thomas R. Carrier mobilities in silicon empirically related to doping and field. *IEEE*, 1967, 55: 2192–2193
- 28 Fang J, Qiao M, Li Z J. Electric field distribution in charge imbalance super junction (in Chinese). *Acta Phys Sin*, 2006, 55: 3656–3663 [方健, 乔明, 李肇基. 电荷非平衡 super junction 结构电场分布. *物理学报*, 2006, 55: 3656–3663]
- 29 Napoli E, Wang H, Udrea F. The effect of charge imbalance on superjunction power devices: An exact analytical solution. *IEEE Electron Dev Lett*, 2008, 29: 249–251
- 30 Wang H, Napoli E, Udrea F. Breakdown voltage for superjunction power devices with charge imbalance: An analytical model valid for both punch through and non punch through devices. *IEEE Trans Electron Dev*, 2009, 56: 3175–3183
- 31 Chen X B. Theory of the switching response of CBMOST. *Chin J Electron*, 2001, 10: 1–6
- 32 Zhang B, Xu Z X, Huang A Q. Analysis of the forward biased safe operating area of the super junction MOSFET. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Toulouse: IEEE Press, 2000. 61–64
- 33 Zhang B, Xu Z X, Huang A Q. Forward and Reverse Biased Safe Operating Areas of the COOLMOSTM. *PESC*, Galway, 2000, 81–86
- 34 Infineon Technologies AG. Siemens preliminary data sheet. SPP20N60S5 ISPB20N60S5, 1999
- 35 Nassif-Khalil S G, Salama C A T. Super junction LDMOST in silicon-on-sapphire technology (SJ-LDMOST). In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Sante Fe: IEEE Press, 2002. 81–84
- 36 Zhang B, Zhang W T, Li Z H, et al. Equivalent substrate model for lateral super junction device. *IEEE Trans Electron Dev*, 2014, 6: 525–532
- 37 Honarkhah S, Nassif-Khalil S, Salama C A T. Back-etched super-junction LDMOST on SOI. In: *Proceedings of Solid-State Device Research conference*. IEEE, 2004. 117–120
- 38 Nassif-Khalil S G, Salama C A T. Super-junction LDMOST on a silicon-on-sapphire substrate. *IEEE Trans Electron Dev*, 2003, 50: 1385–1391
- 39 Lin M J, Lee T H, Chang F L, et al. Lateral superjunction reduced surface field structure for the optimization of breakdown and conduction characteristics in a high-voltage lateral double diffused metal oxide field effect transistor. *Jpn J Appl Phys*, 2003, 42: 7227–7231

- 40 Duan B X, Cao Z, Yuan X N, et al. New superjunction LDMOS breaking silicon limit by electric field modulation of buffered step doping. *IEEE Dev Lett*, 2015, 36: 47–49
- 41 Duan B X, Cao Z, Yuan S, et al. Complete 3D-reduced surface field superjunction lateral double-diffused MOSFET breaking silicon limit. *IEEE Electron Dev Lett*, 2015, 36: 1348–1350
- 42 Duan B X, Yang Y T, Zhang B. New superjunction LDMOS with-type charges' compensation layer. *IEEE Electron Dev Lett*, 2009, 30: 305–307
- 43 Zhang B, Wang W L, Chen W J, et al. High-voltage LDMOS with charge-balanced surface low on-resistance path layer. *IEEE Electron Dev Lett*, 2009, 30: 849–851
- 44 Wu L J, Zhang W T, Qiao M, et al. SOI SJ high voltage device with linear variable doping interface thin silicon layer. *Electron Lett*, 2012, 48: 297–289
- 45 Chen W J, Zhang B, Li Z J. Realizing high voltage SJ-LDMOS with non-uniform N-buried layer. *Solid State Electron*, 2008, 52: 675–678
- 46 Nassif-Khalil S G, Hou L Z, Salama C A T. SJ/RESURF LDMOST. *IEEE Trans Electron Dev*, 2004, 51: 1185–1191
- 47 Kiefer J. Sequential minimax search for a maximum. *Proc Am Math Soc*, 1953, 4: 502–506
- 48 Saito W, Omura I, Aida S, et al. Over 1000V semi-superjunction MOSFET with ultra-low on-resistance below the Si-limit. *IEEE Trans Electron Dev*, 2005, 52: 2317–2320
- 49 Chen W J, Zhang B, Li Z J, et al. Optimum design of PSJ for high-voltage devices (in Chinese). *Chin J Semicond*, 2006, 27: 1089 [陈万军, 张波, 李肇基, 等. PSJ 高压器件的优化设计. *半导体学报*, 2006, 27: 1089]
- 50 Rutter P, Peake S T. Low voltage trenchMOS combining low specific RDS(on) and QG FOM. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Hiroshima: IEEE Press, 2010. 325–328
- 51 Kawashima Y, Inomata H, Murakawa K, et al. Narrow-Pitch N-Channel Superjunction UMOSFET for 40-60 V Automotive Application. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Hiroshima: IEEE Press, 2010. 329–332
- 52 Rutter P, Peake S T. Low voltage superjunction power MOSFET: An application optimized technology. In: *26th Annual IEEE Applied Power Electronics Conference and Exposition, APEC*. IEEE, 2011. 491–497
- 53 Antoniou M, Udrea F, Bauer F. The superjunction insulated gate bipolar transistor optimization and modeling. *IEEE Trans Electron Dev*, 2010, 57: 594–600
- 54 Wang Y, Xu L K, Miao Z K. A superjunction schottky barrier diode with trench metal-oxide-semiconductor structure. *IEEE Electron Dev Lett*, 2012, 33: 1744–1746
- 55 Chen X B. Super-junction voltage sustaining layer with alternating semiconductor and high- k dielectric regions. US Patent, 7230310, 2007-06-12
- 56 Chen X B, Huang M. A vertical power MOSFET with an interdigitated drift region using high- k insulator. *IEEE Trans Electron Dev*, 2012, 59: 2430–2437
- 57 Luo X R, Jiang Y H, Zhou K, et al. Ultralow specific on-resistance superjunction vertical DMOS with high- k dielectric pillar. *IEEE Electron Dev Lett*, 2012, 33: 1042–1044
- 58 Luo X R, Cai J Y, Fan Y, et al. Novel low-resistance current path UMOS with high- k dielectric pillars. *IEEE Trans Electron Dev*, 2013, 60: 2840–2846
- 59 Borany J V, Friedrich M, Rub M, et al. Application of ultra-high energy boron implantation for superjunction power (CollMOSTM) devices. *Nucl Instrum Meth B*, 2005, 237: 62–67
- 60 Saggio M, Fagone D, Musumeci S. MDmeshTM: Innovative technology for high voltage Power MOSFETs. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Toulouse: IEEE Press, 2000. 65–68
- 61 Takahashi K, Kuribayashi H, Kawashima T, et al. 20 m Ω -cm² 660 V super junction MOSFETs fabricated by deep trench etching and epitaxial growth. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Naples: IEEE Press, 2006. 1–4
- 62 Tamaki T, Nakazawa Y, Kanai H, et al. Vertical charge imbalance effect on 600 V-class trench-filling superjunction power MOSFETs. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. San Diego: IEEE Press, 2011. 308–311
- 63 Li Z H, Ren M, Zhang B, et al. Above 700 V superjunction MOSFETs fabricated by deep trench etching and epitaxial growth. *J Semicond*, 2010, 31: 084002
- 64 Hattori Y, Suzuki T, Kodama M, et al. Shallow angle implantation for extended trench gate power MOSFETs with super junction structure. In: *IEEE International Symposium on Power Semiconductor Devices and ICs*. Osaka: IEEE Press, 2001. 427–430
- 65 Luo X R, Wang Y G, Yao G L, et al. The manufacturing method of a trench-type vertical semiconductor device (in Chinese). PRC Patent, ZL201110075550.6, 2011-03-28 [罗小蓉, 王元刚, 姚国亮, 等. 一种槽型纵向半导体器件的制造方法. 中国专利, ZL201110075550.6,

2011-03-28]

- 66 Luo X R, Yao G L, Wang Y G, et al. Manufacturing method of the super junction structure and the super junction semiconductor device (in Chinese). PRC Patent, ZL201110051879.9, 2011-03-04 [罗小蓉, 姚国亮, 等. 超结结构和超结半导体器件的制造方法. 中国专利, ZL201110051879.9, 2011-03-04]
- 67 Chen X B, Zhang Q Z. The Principle and Design of the Transistor (in Chinese). Beijing: Publishing House of Electronics Industry, 2006 [陈星弼, 张庆中. 晶体管原理与设计. 北京: 电子工业出版社, 2006]
- 68 Chen X B. Method of manufacturing semiconductor device having composite layer. US Patent, 7192872, 2007-03-20

Theory and optimization of the power super junction device

ZHANG Bo^{*}, ZHANG WenTong, QIAO Ming & LI ZhaoJi

State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China

Based on the optimization idea of the electric field from the surface to the bulk, this paper summarizes the basic theory and the two types of analytical optimization methods of the super junction (SJ) device. The essential difference between the SJ and the conventional power MOS structure is: the former is the junction-type voltage sustaining layer with the periodic N/P dopings and the later is the resistance-type voltage sustaining layer with the single conductive type. The positive and negative charges satisfying the charge balance are introduced into the SJ voltage sustaining layer, which causes the two-dimensional electric field to realize the optimization from the surface to the bulk. The paper gives the concepts of the charge and potential electric fields, analyzes the non-full depletion and full depletion modes, introduces the mechanism of the transient process and forward biased safe operating area, discusses the equivalent substrate model and the optimized substrate conditions. Finally, the minimum specific on-resistance $R_{on,min}$ optimization methodology is proposed to give the $R_{on,min}$ for a given breakdown voltage V_B . R_{on} of the SJ is decreased significantly compared to that of the conventional power MOS with the same V_B . The R_{on} - V_B relationship changes from the $R_{on} \propto V_B^{-2.5}$ to $V_B^{1.32}$ even $V_B^{1.03}$, leading to the SJ as the “milestone in high voltage power MOS device”

power semiconductor device, super junction, charge electric field, potential electric field, the minimum R_{on}

PACS: 85.30.-z, 85.30.De, 85.30.Tv

doi: 10.1360/SSPMA2016-00131