硅量子点双势垒存储结构及其编程机制的研究

郑文俊^①, 曾祥斌^{①*}, 文西兴^{①②}, 廖武刚^①, 冯枫^①, 黄诗涵^①

① 华中科技大学光学与电子信息学院, 武汉 430074;

② 深圳华中科技大学研究院, 深圳 518000

* E-mail: eexbzeng@163.com

收稿日期: 2014-04-11; 接受日期: 2014-10-28

教育部支撑技术计划(批准号: 62501040202)、国家自然科学基金(批准号: 51472096)、中央高校基础科研基金(批准号: 2014NY004)及深圳市战略性新兴产业发展专项资金(批准号: JCYJ20120831110939098)资助项目

摘要 采用等离子体化学气相沉积(PECVD)及热退火方法制备了含硅量子点的 SiC_x 薄膜. 透射电子显微镜(TEM)观测表明 SiC_x 薄膜中生长了大量硅量子点. 制备了含 SiC_x 薄膜包裹硅量子点的双势垒存储器结构. TEM 观测表明, 采用上述工艺成功制备了 $\text{Si}_3\text{N}_4/\text{SiC}_x$ 薄膜/ $\text{Si-QDs}/\text{SiC}_x$ 薄膜/ SiO_2 双势垒结构的存储器结构. 利用硅量子点的库伦阻塞效应及量子限域效应, 从理论上分析了双势垒硅量子点存储器的编程机制, 建立了双势垒存储结构阈值电压漂移模型, 模拟仿真表明双势垒存储器的阈值电压漂移要大于单势垒存储器, 编程速度更快. 存储结构 $C-V$ 特性测试表明, 样品在扫描栅压为 ± 12 V 时有 10 V 左右的存储窗口, 证明双势垒存储结构具有良好载流子存储效应.

关键词

双势垒
硅量子点
编程机制
存储器

1 引言

量子点具有量子限域和库伦阻塞^[1~3]等奇特效应, 包含量子点的存储器能够在很大程度上提高器件的存储性能, 同时又几乎不会影响器件的编程和擦除速度, 具有很大的潜力. 目前, Motorola, IBM 和 Intel 等国际半导体公司都在投入大量的人力和财力积极地从事量子点浮栅结构存储器的研发工作^[4]. 但到目前为止, 大部分公布的量子点存储器电荷存储时间均只有一周左右^[5,6]. 量子点浮栅存储器在量子点材料选取和制备, 器件结构的设计和载流子输运机制、量子点储存机制等方面仍有很多实验和理论问题需要解决. 特别是缺乏简单的量子点的制备方法以及可靠的器件结构, 制约量子点存储器的发展. 硅量子点具有制备成本低, 制备工艺与传统 CMOS 工艺相兼

容, 性能优良等特点, 是极具应用前景的纳米材料^[7]. 目前, 硅量子点存储器的电荷存储结构主要有: $\text{SiO}_2/\text{硅量子点}(\text{Si-QDs})/\text{SiO}_2$ 电荷存储结构^[8~10]、嵌在 SiN_x 内的 Si 量子点浮栅存储结构^[11]、 $\text{SiN}_x/\text{nc-Si}/\text{SiN}_x/\text{Si-QDs}/\text{SiN}_x$ 双层纳米晶两级电荷存储结构^[12,13]、氢原子钝化的 $\text{SiN}_x/\text{Si-QDs}/\text{SiN}_x$ 电荷存储结构^[14]、 $\text{SiO}_2/\text{基于 SiN}_x$ 的 Si 量子点/ SiO_2 存储结构^[15]、 $\text{SiO}_2/\text{Ge-QDs}/\text{Si-QDs}/\text{SiO}_2$ 变化势垒电荷存储结构等^[16,17]. 对于基于 $\text{SiO}_2/\text{Si-QDs}/\text{SiO}_2$ 存储结构的存储器, 由于硅纳米晶粒之间只存在少量的 SiO_2 , 只是初步实现了电荷的部分分立存储^[18], 较薄的隧穿氧化层容易造成电荷泄漏, 不易应用于小尺寸、高保持存储器. 对于嵌在 SiN_x 内的 Si 量子点电荷存储, Si 量子点间的 SiN_x 基质使各量子点彼此分立, 同时量子点的库伦阻塞效应使得电子独立存储在量子点中互不靠近,

引用格式: 郑文俊, 曾祥斌, 文西兴, 等. 硅量子点双势垒存储结构及其编程机制的研究. 中国科学: 技术科学, 2015, 45: 62–67

Zheng W J, Zeng X B, Wen X X, et al. Study of structure of Si QDs memory with double barrier and its programming mechanism (in Chinese). Sci Sin Tech, 2015, 45: 62–67, doi: 10.1360/N092014-00120

大大降低了电荷泄漏;但是, Si-QDs/SiN_x/Si 间的较低导带势垒却又增加了电子隧穿回衬底的几率,从而降低了电荷保持时间. SiN_x/nc-Si/SiN_x/Si-QDs/SiN_x 双层纳米晶两级电荷存储结构^[12,13],可以解决上述结构泄漏的问题,但由于增加了隧穿层的有效厚度,使得编程电压升高. Liu 等人^[16]、杨红官等人^[17]提出了 Ge/Si 双层量子点阵列浮栅结构纳米存储器模型, Ge/Si 双层量子点形成复合台阶势垒,其中的阻挡势垒比隧穿氧化层势垒低很多,在擦写期间可近似认为电荷的运动只受隧穿氧化层势垒的影响,即阻挡势垒对擦写速度和操作电压几乎没有影响. 但 Ge/Si 双层量子点的制备工艺比较复杂, Ge/Si 量子点界面质量不易控制,很难实现大规模生产.

本文提出了双势垒硅量子点存储器的结构,目前国内外还没有看到基于 SiC_x 结构硅量子点存储器的报道. 该结构具有更大的存储窗口,存取性能更优异,制备工艺简单且与传统 COMS 工艺兼容. 制备了具有量子点的双势垒存储结构,探讨了存储结构的编程机理.

2 实验

将(110)抛光的 P 型硅片用标准半导体清洗工艺清洗. 放到氧化炉中,炉子提前升温到 900°C,通氧气 1~2 min 进行热氧化,随后通氮气 20 min 进行退火,获得厚度为 5~10 nm 的隧穿氧化层. 随后采用等离子体增强化学气相沉积技术(PECVD)在隧穿层上制备富硅 SiC_x 薄膜,然后在 1000°C 气氛炉中通氩气进行原位热退火,获得硅量子点. 最后 PECVD 制备控制栅 Si₃N₄ 介质层并制备上下铝电极,合金化处理后获得 SiC_x 薄膜包裹量子点的双势垒存储结构.

3 双势垒存储结构的编程机制

3.1 双势垒存储结构编程过程的理论分析

图 1 为双势垒硅量子点存储器的结构及能级示意图,硅量子点作为电荷存储介质镶嵌在 SiC_x 薄膜中, SiO₂ 以及 SiC_x 组成隧穿双势垒结构. 图 2 为双势垒硅量子点存储器编程过程的能级示意图. 器件编程时,给一定栅压,电子越过由 SiO₂ 及 SiC_x 组成的双势垒,隧穿进入硅量子点. 双势垒中 SiO₂ 势垒高度(Φ_1)要远大于 SiC_x 势垒高度(Φ_2), SiC_x 势垒不会影响

图 1 双势垒硅量子点存储器结构及能级示意图

图 2 双势垒硅量子点存储器编程过程能级示意图

器件的编程速度;撤去电压,电荷保持时,双层势垒中的阻挡层势垒 Φ_2 对保持时间有决定性的影响^[17].

编程过程,电子隧穿利用 F-N 隧穿模型,隧穿电流密度可以表示如下^[19]:

$$J = \alpha E_{\text{tox}}^2 P_{\text{tox}} P_c, \quad (1)$$

其中 P_{tox} 为隧穿过氧化层的概率, P_c 为隧穿过包裹量子点的碳化硅层的概率. 在编程过程中,有 $\Phi_b - \Phi_n - E_{\text{tox}} t_{\text{tox}} < 0$, 从而 $P_c = 1$, 从而有

$$J = \alpha E_{\text{tox}}^2 \exp\left(-\frac{4\sqrt{2m^*}}{3\hbar q E_{\text{tox}}} \Phi_b^{2/3}\right), \quad (2)$$

$$E_{\text{tox}} = \frac{V_{\text{gate}} - V_{\text{fb}}}{t_{\text{tox}} + \frac{\epsilon_{\text{ox}}}{\epsilon_c} t_c}, \quad (3)$$

其中 E_{tox} 为隧穿氧化层中的电场强度; t_{tox} 是隧穿氧化层的厚度; t_c 为第二势垒层的厚度; m^* 是隧穿氧化层中的有效电子质量; $\hbar$ 为简化普朗克常数; q 为自由电荷. α 与 Φ_b 和 m^* 有关.

$$\Phi_b = \Phi_{bi} - (n\Delta\mu + \delta) = \Phi_{bi} - \left(n\frac{q^2}{C} + \delta\right)^{[20]}. \quad (4)$$

Φ_{bi} 为硅量子点与包裹层的隧穿势垒; Φ_b 为考虑到量子点的库伦阻塞与量子限域效应后, 硅量子点与包裹层的有效隧穿势垒; n 为量子点内的电荷数; C 为硅量子点与包裹层的电容; δ 为量子限域能.

再有电荷变化与隧穿电流的关系

$$\frac{dQ}{dt} = -J. \quad (5)$$

结合(1)~(5)式可以得到进入到量子点的电荷. 又有阈值电压漂移与硅纳米器件中的电荷密度关系^[21]:

$$\Delta V_{th} = \frac{Q}{\epsilon_{con} / t_{con}}. \quad (6)$$

3.2 双势垒存储结构编程过程的仿真计算

为比较双势垒与单势垒两种存储结构的载流子输运能力, 利用上述模型, 分别对双势垒 $\text{SiO}_2/\text{Si-QDs}/\text{SiC}_x/\text{SiO}_2$ 存储结构以及单势垒 $\text{SiO}_2/\text{Si-QDs}/\text{SiO}_2$ 存储结构阈值电压漂移进行了计算. 相应的参数在表 1 中列出.

图 3 为利用上述模型得到的双势垒硅量子点存储器与单势垒硅量子点存储器在不同编程时间下的阈值电压漂移. 可以看出, 编程电压(6 V)相同时, 双势垒存储器的阈值电压漂移大于单势垒存储器; 双势垒存储器阈值电压漂移饱和要快于单势垒存储器, 即双势垒存储器的编程速度要快, 达到了亚微秒量级. 图 4 为利用上述模型计算得到双势垒存储器与单势垒存储器在不同编程电压下的阈值电压漂移. 由图可见在相同的编程时间(5×10^{-7} s)下, 双势垒存储器的阈值电压漂移随编程电压的增大而直线增加, 单势垒存储器在电压较小时阈值电压漂移增加的速度很慢, 当编程电压达到 4 V 之后, 阈值电压漂移才有明显的增加.

图 5 为双势垒与单势垒存储结构在不同栅压下的隧穿层电场强度, 可以看出, 双势垒结构中隧穿层中的电场强度要高于单势垒结构, 表明第二势垒层有效地减小了隧穿层的有效物理厚度. 由(2)式可知电子从基底隧穿进入量子点的概率增大, 隧穿电流密度增大, 有较多的电子进入存储层, 双势垒存储结

图 3 双势垒与单势垒存储器阈值电压漂移随编程时间的变化曲线

图 4 双势垒与单势垒存储器阈值电压漂移随编程电压的变化曲线

图 5 双势垒与单势垒存储结构隧穿层电场强度随栅压变化的曲线

表 1 单双势垒与双势垒存储结构模型计算参数

	隧穿层	硅量子点尺寸(nm)	控制栅	Φ_{bi} (eV)
单层势垒	2 nm SiO_2 +2 nm SiC_x	5	13 nm SiO_2	3.7
双势垒	4 nm SiO_2	5	13 nm SiO_2	0.5

构的阈值电压漂移较大.

另一方面, 对 SiC_x 包裹量子点的结构, $\Phi_{bi}=0.5$ eV. 对 SiO_2 包裹量子点的结构, $\Phi_{bi}=3.2$ eV; 再有 SiO_2 的介电常数小于 SiC_x 介电常数. 由(4)式, 双势垒存储结构有较小的有效隧穿势垒(Φ_b), 隧穿概率大, 隧穿电流密度增大, 有较多的电子进入存储层. 故双势垒结构有较大的阈值电压漂移(存储窗口).

4 实验结果及分析

4.1 双势垒存储结构透射电子显微镜(TEM)分析

采用 TEM 观察样品的微观结构, 图 6(a)给出了存储结构样品的剖面结构 TEM 图, 从图中可以清晰地看到 $\text{Si}_3\text{N}_4/\text{SiC}_x$ 薄膜/ $\text{Si-QDs}/\text{SiC}_x$ 薄膜/ SiO_2 存储层各层的分布情况. 结构中, 隧穿 SiO_2 层的厚度大约在 10 nm, SiC_x 薄膜的厚度约在 40 nm, 控制栅介质 Si_3N_4 的厚度约为 40 nm. TEM 图表明制备的 SiC_x 薄膜/ $\text{Si-QDs}/\text{SiC}_x$ 薄膜/ SiO_2 存储器结构完整. 图 6(b)为存储层中 SiC_x 薄膜截面的 TEM 图, 图中分布了许多指纹状的颗粒(部分由白色圆环标出), 这是富硅 SiC_x 薄膜内 Si-C 键断裂进而晶化形成的硅量子点^[22]. 图 6(c)是富硅 SiC_x 薄膜的选区电子衍射(SAED)图像. 衍射图中有 3 个主要的衍射环, 3 个环中均有一些亮点. 通过计算, 3 个主要的衍射环的半径为 3.12, 5.19 和 9.57 nm, 根据 International Centre for Diffraction Data Card (JCPDS) 2004 提供的数据, 分别对应晶体硅的(210), (110)和(111)晶面, 进一步证明了 SiC_x 薄膜内量子点的存在.

4.2 双势垒存储结构的 $C-V$ 特性

存储结构 $C-V$ 特性的测量是分析其电荷存取的

图 6 (a) 双势垒量子点存储器结构剖面 TEM 图; (b) 包含硅量子点的 SiC_x 薄膜的高分辨率 TEM 图; (c) 样品中 SiC_x 薄膜的 SAED 电子衍射图.

有效方法. 图 7 为三种不同栅压扫描范围下, 硅量子点双势垒存储结构高频 $C-V$ 特性曲线, 扫描信号频率为 1 MHz. 从图中可见, 三种扫描情况下样品均有存储窗口出现, 证明有载流子注入到硅量子点中. 扫描电压为 ± 12 V 时, 样品有大约 10 V 的存储窗口; 扫描电压为 ± 10 V 样品有大约 9 V 的存储窗口; 扫描电压为 ± 8 V 样品有大约 8 V 的存储窗口. Crupi 等人^[18]制备的 $\text{SiO}_2/\text{Si-QDs}/\text{SiO}_2$ 单势垒存储结构, 在栅压扫描范围为 ± 10 V 时, 仅仅获得了 1 V 左右的存储窗口. Kundu 等人^[24], 用 $P\text{-GaAs}$ 作为基底, 将 InP 量子点嵌于 ZrO_2 作为存储层, 也仅获得了最大 6.3 V (扫描电压为 ± 10 V) 的存储窗口. 上述的单势垒存储层结构, 尽管采取了一些改善器件性能的措施, 如将载流子迁移率更高的 GaAs 作为基底、 ZrO_2 等 $H-k$ 介质作为隧穿层等, 其存储窗口仍要小于双势垒存储结构. 表明本文的双势垒存储结构在存储特性方面有很大提高.

图 8 为单双势垒结构存储窗口实验结果与计算

图 7 硅量子点双势垒存储结构 $C-V$ 特性曲

图 8 单双势垒结构存储窗口实验结果与计算结果的对比

结果的对比. 从图中可以看出, 对计算结果, 双势垒结构有较大的存储窗口(阈值电压漂移); 对实验结果, 在扫描电压均为 ± 10 V 时, $\text{SiC}_x/\text{Si-QDs}/\text{SiC}_x/\text{SiO}_2$ 双势垒结构的平带电压漂移为 9 V, $\text{ZrO}_2/\text{InP-QDs}/\text{ZrO}_2$ 单势垒结构的平带电压漂移为 6.3 V^[23]. $\text{SiO}_2/\text{Si-QDs}/\text{SiO}_2$ 单势垒存储结构, 单势垒结构的平带电压漂移为 1 V^[18]. 双势垒结构的存储窗口要大于单势垒结构. 实验结果与按照双势垒模型计算得到的结果一致, 验证了双势垒存储结构的编程机制.

5 结论

本文采用常规工艺制备出了具有量子点结构的

SiC_x 薄膜/ $\text{nc-SiC}/\text{SiC}_x$ 薄膜/ SiO_2 双势垒存储器结构, SiC_x 薄膜高分辨 TEM 剖面分析表明 SiC_x 薄膜中存在大量的硅量子点, 双势垒存储结构的剖面 TEM 分析表明器件结构完整. 对双势垒存储结构在编程过程中载流子输运情况的分析及阈值电压漂移的计算表明, 双势垒结构能够有效的减小隧穿层的有效物理厚度及有效隧穿势垒, 载流子在编程过程中越过双层势垒注入硅量子点的概率更大, 使器件能够获得较大的阈值电压漂移(存储窗口). 存储结构 C - V 特性表明存储结构能够获得 8~10 V 的存储窗口, 比单势垒结构大. 理论分析与实验结果一致. 硅量子点双势垒存储器制备工艺简单、与 CMOS 工艺兼容且性能优异, 可作为下一代非易失性存储器的选择之一.

参考文献

- 1 Tiwari S, Rana F, Hanafi H, et al. A silicon based memory. *Appl Phys Lett*, 1996, 68: 1377-1379
- 2 Photopoulos P, Nassiopoulou A G, Kouvatso D N, et al. Photoluminescence from nanocrystalline silicon in Si/SiO₂ superlattices. *Appl Phys Lett*, 2000, 76: 3588-3595
- 3 Walters R J, Kik P G, Casperson J D, et al. Silicon optical nanocrystal memory. 2004, *Appl Phys Lett*, 85: 2622-2630
- 4 Muralidhar R, Steimle R F. An embedded silicon nanocrystal nonvolatile memory for the 90 nm technology node operating at 6 V. The IEEE International Conference on Integrated Circuit Design and Technology, 2004. 34-35
- 5 Kimi I, Hans S, Han K, et al. Room temperature single electron effects in a Si nano-crystal memory. *IEEE Electronic Device Lett*, 1999, 20: 630-631
- 6 Hanf H, Tiwari S, Khan I. Fast and long retention-time nanocrystal memory. *IEEE Trans Electron Device*, 1996, 43: 1556-1557
- 7 Shcherbyna L, Torchynska T. Si quantum dot structures and their applications. *Physica E*, 2013, 51: 65-70
- 8 Prakaipetch P, Kazunori I, Yukiharu U, et al. Effect of SiO₂ tunnel oxide thickness on electron tunneling mechanism in Si nanocrystal dots floating-gate memories. *Jpn J Appl Phys*, 2006, 45: 3997-3999
- 9 Kouvatso D N, Ioannou S V, Nassiopoulou A G. Charging effects in silicon nanocrystals within SiO₂ layers, fabricated by chemical vapor deposition, oxidation, and annealing. *Appl Phys Lett*, 2003, 82: 397-399
- 10 Liu Y, Chen T P, Ng C Y, et al. Influence of Si-nanocrystal distribution in the oxide on the charging behavior of MOS structures. *IEEE Trans Electron Device*, 2006, 53: 914-917
- 11 Park N M, Jeon S H, Yang H D, et al. Size-dependent charge storage in amorphous silicon quantum dots embedded in silicon nitride. *Appl Phys Lett*, 2003, 83: 1014-1016
- 12 Wu L C, Chen K J, Wang J M, et al. Charge retention enhancement in stack nanocrystalline-Si based metal-insulator-semiconductor memory structure. *Appl Phys Lett*, 2006, 89: 112118
- 13 王久敏, 陈坤基, 宋捷, 等. 氮化硅介质中双层纳米硅薄膜的两级电荷存储. *物理学报*, 2006, 55: 6080-6084
- 14 Chang H C, Kim B H, Kim T W, et al. Effect of hydrogen passivation on charge storage in silicon quantum dots embedded in silicon nitride film. *Appl Phys Lett*, 2005, 86: 143107
- 15 Lien Y C, Shieh J M, Huang W H, et al. Fast programming metal-gate Si quantum dot nonvolatile memory using green nanosecond laser spike annealing. *Appl Phys Lett*, 2012, 100: 143501
- 16 Liu Y, Dey S, Tang S, et al. Improved performance of SiGe nanocrystal memory with VARIOT tunnel barrier. *IEEE Trans Electron Device*, 2006, 53: 2598-2602
- 17 杨红官, 周少华, 曾云, 等. 双层量子点阵列浮栅结构纳米存储器. *湖南大学学报(自然科学版)*, 2005, 32: 69-72
- 18 Crupi I, Corso D, Lombardo S, et al. Memory effects in MOS devices based on Si quantum dots. *Mater Sci Eng C*, 2003, 23: 33-36
- 19 Brown W D, Brewer J E. Nonvolatile semiconductor memory technology: A comprehensive guide to understanding and using NVSM

- devices. Hoboken, New Jersey: Wiley-IEEE Press, 1997. 11–12, 23–25
- 20 顾怀怀, 程秀兰, 施亮, 等. 金属纳米晶存储器件数据保持能力建模与验证. 半导体技术, 2008, 33: 269–274.
- 21 Pierret R F. 半导体器件基础. 北京: 电子工业出版社, 2004. 479
- 22 Wen G Z, Zeng X B, Liao W G, et al. Crystallization mechanism of silicon quantum dots upon thermal annealing of hydrogenated amorphous Si-rich silicon carbide films. Thin Solid Films, 2014, 552: 18–23
- 23 Kundu S, Nripendra N H, Pranab B, et al. Charge storage properties of InP quantum dots in GaAs metal-oxide semiconductor based nonvolatile flash memory devices. Appl Phys Lett, 2012, 212108: 101–103

Study of structure of Si QDs memory with double barrier and its programming mechanism

ZHENG WenJun¹, ZENG XiangBin¹, WEN XiXing^{1,2}, LIAO WuGang¹, FENG Feng¹
& HUANG ShiHan¹

¹ School of Optical and Electronic Information, Huazhong University of Science and Technology, Wuhan 430074, China;

² Research Institute of Huazhong University of Science and Technology in Shenzhen, Shenzhen 518000, China

SiC_x thin films with silicon quantum dots(QDs) were prepared by plasma enhanced chemical vapor deposition (PECVD) and thermal annealing. Transmission electron microscopy (TEM) observation shows that a large number of silicon QDs growing in SiC_x films. Memory structure with double barrier which consist of SiC_x thin films embedded in silicon QDs were prepared. TEM observations shows that the above process successfully prepared Si₃N₄/SiC_x/Si-QDs/SiC_x/SiO₂ double-barrier memory structure. The programming mechanism of double-barrier silicon quantum dot memory was analyzed theoretically in consideration of coulomb blockade effects and quantum confinement effect of silicon quantum QDs. The threshold voltage shift model of double-barrier structure was established. Simulation of that mode shows that threshold voltage shift of double barrier memory is larger than a single barrier memory and double-barrier memory programming faster too. C-V characteristic tests of storage structure shows that double-barrier structure has good storage carrier storage effect, getting about 10 V's the storage window when the scan voltage is ±12 V.

double barrier, silicon QDs, programming mechanism, memory

doi: 10.1360/N092014-00120