容工艺偏差的低偏斜层次化时钟网络设计

王晓*, 柯希明

国家高性能集成电路设计中心, 上海 201204

* 通信作者. E-mail: 3651668@163.com

收稿日期: 2014-10-09; 接受日期: 2014-12-06; 网络出版日期: 2015-03-06

国家科技重大专项“核高基”(批准号: 2013ZX01028-001-001) 资助

摘要 针对超深亚微米工艺出现的新特点, 基于对称“H 树”型全局时钟网络加区域化的“Mesh”时钟网络的混合时钟结构, 实现了不同于传统全局 Mesh 结构的树形驱动本地网格层次化时钟分布网络. 实验表明, 该网络具有极低的偏斜和高工艺偏差容忍度, 其总的时钟偏斜可控制在 10 ps 以内, 其时钟偏斜随工艺变化值与设计值的偏差在 10% 的数量级上, 极有利于高性能微处理器处理核心的时序设计.

关键词 H 树 Mesh 时钟分布网络 时钟偏斜 工艺偏差容忍度

1 概述

高速时钟分布网络 (clock distribution network, CDN) 是高性能微处理器实现高速同步设计的重要组成部分. 随着高性能微处理器频率的提升和 CMOS 工艺尺寸的不断缩小, 时钟网络的功耗和延迟的不确定性正变得日益严峻, 这使得 CDN 的设计变得越来越复杂^[1~3].

在标准 CMOS 工艺尺寸普遍小于 45 nm 的今天, 特别是 22 nm 及以下 FinFET(鳍式场效应管)工艺的推广, 使得 CDN 的设计遇到了更多的挑战. 根据文献 [4] 的说明, 首先是随着工艺尺寸的不断缩小, 越来越多的时序单元被集成到芯片中以完成更多的功能, 使得时钟网络的负载数量不降反增; 其次是随着晶体管尺寸的不断缩小, 金属互连线的本征阻抗和本征电容反而有增大的趋势, 增加了时钟网络的布线延迟和负载电容, 导致时钟网络的驱动缓冲器功耗急剧增加; 同时, 对晶体管的建模也变得越来越复杂和困难, 增大了对 CDN 的分析难度, 特别是当片上偏差 (on chip variation, OCV) 对时钟延迟的影响越来越显著的情况下, CDN 在高速设计中的时序分析不确定性严重地降低了产品的良率, 甚至可能导致高性能微处理器达不到设计工作频率.

对于高性能微处理器而言, 高度一致的全局时钟分布网络是至关重要的, 许多研究都致力于开发时钟偏斜更小、时钟功耗更低的 CDN 拓扑结构. 传统 CDN 的实现方式包括: 时钟树综合 (clock tree synthesis, CTS) 和时钟网格 (clock Mesh).

CTS 即是采用时钟驱动缓冲器链来实现时钟信号传播到全片的各个受驱动节点, 如图 1(a) 所示. 其控制时钟偏斜是通过调节不同时钟分支的线长和缓冲器级数, 并调节每个时钟分叉点的驱动大小和负载大小来实现的. 其一般由自动化工具综合实现. 但这种 CDN 的时钟偏斜一般为几十或上百 ps 数量级, 无法满足高性能微处理器对低偏斜 CDN 的需求.

引用格式: 王晓, 柯希明. 容工艺偏差的低偏斜层次化时钟网络设计. 中国科学: 信息科学, 2015, 45: 548–559, doi: 10.1360/N112014-00297

图 1 (a) CTS 结构; (b) 传统 clock Mesh 结构

Figure 1 (a) CTS structure; (b) conventional clock Mesh structure

Clock Mesh 则是通过短接在一起的时钟布线网络来实现时钟信号的接近零偏差的传播, 如图 1(b) 所示. 其将每一个 Mesh driver 的输出短接在一起, 使得时钟信号能够非常快的, 并且几乎同时到达每个受驱动节点. 高性能微处理器一般采取这种方式. 但 clock Mesh 的时钟功耗较大^[5], 占用的布线资源较多, 且根据图 1(b), 在 Mesh 网络之后还存在一定级数的时钟驱动缓冲器, 同样难以做到真正的零偏斜的传播时钟信号.

近年来出现了一些新的实现方式, 以期望改变传统 CDN 的缺点, 满足高速设计的要求. 其中一种时钟同步优化技术 (clock concurrent optimization, CCopt)^[6], 即是把 CTS 中的较大时钟偏斜作为有利条件, 在相应快或慢的时序路径上进行同时的时钟树优化和数据路径的优化. 但对于高性能微处理器这种动辄多个核心协同工作的高速同步设计而言, CCopt 同样无法消除 OCV 对每个核心内时钟偏斜的影响, 一旦某个核心的时钟偏斜因 OCV 影响而偏离仿真分析结果较大, 则很可能导致整个处理器工作不正常. 还有一种比较热门的低功耗时钟实现技术, 称作谐振时钟分布网络 (resonant clock Meshes)^[5], 其利用并联 LC 回路和 Mesh 来实现零偏差的时钟传播和低功耗, 但根据已有文献资料¹⁾和文献 [7], 其需要较大面积的片上集成电感和很大尺寸的储能用晶体管电路, 这些都存在与标准 CMOS 工艺的兼容问题, 并会占用较多的布线资源, 使得高性能微处理器本就紧张的布线通道变得更加拥挤, 带来严重的信号完整性问题.

为回避以上问题, 并最大化 clock Mesh 良好的低偏斜特性, 许多研究文献提出利用可控的延迟线 (delay lines, DL) 或由 DL 构成的 PLL 作为 Mesh drivers^[8,9], 从而降低网络的密度, 减少占用的布线

1) ISPD 2010 high performance clock network synthesis contest. ACM SIGDA and Intel Corporation. <http://www.sigda.org/ispd/contests/10/ispd10cns.html>.

资源, 达到降低整个 CDN 功耗的目的. 但 DL 本身随工艺的不确定性决定了该方式不能很好地达到目的, 且 DL 的出现增加了 CDN 的设计复杂度, 引入了额外的时钟负载, 更加不适合高性能微处理器的应用.

基于以上 CMOS 工艺发展出现的新特点和各种 CDN 设计的优劣, 考虑到 CDN 设计中最重要的是两个因素: 时钟偏斜 (clock skew) 和时钟功耗 (clock power consumption), 本文设计并实现了一种基于树形驱动的不同于传统的本地网格结构的层次化 CDN. 该 CDN 具有极低偏斜和高工艺偏差容忍度的特点, 仿真统计表明, 其时钟功耗也处于可接受范围之内.

2 结构描述

随着高性能微处理器向着核心数量越来越多的方向发展, 结合各种拓扑结构优点的混合型 CDN 开始流行. 该类 CDN 一般是由全局 H 树型 (global H-driven-tree) 时钟网络驱动局部的时钟网络, 局部时钟网络一般为 Mesh 或二叉树或鱼骨状 (fishbone), 如文献 [10] 提到的 8 核 ARM 处理器和文献 [11] 提到的 16 核 SPARC64 处理器.

但这些混合型 CDN 的 Mesh 网格一般较大, 覆盖一个处理核心或覆盖成组的处理核心, 而 H 树则可能一直延伸到核心内部的具体模块内部. 这样, 较大的 Mesh 则可能带来较大的短路功耗问题, 而级数过多的 H 树又无法较好地抵御 OCV 对 CDN 的时钟延迟的影响.

针对以上各种技术存在的问题, 以及高性能微处理器多核心协同工作的特点, 本文设计并实现了一种不同于传统全局 Mesh 结构的树形驱动本地网格层次化 CDN, 并称之为 HLGCDN (H-tree-driven local grid CDN). 如图 2 所示, HLGCDN 由传统的全局 H 树型时钟网络驱动局部的次级树形 (section second driving tree) 时钟网络, 再由该次级树形时钟网络驱动本地的门控网格 (local gated Mesh), 所有的时钟负载接收端直接就近连接到本地的 Mesh 网络上. 图中的 S^2CB (section secondary clock buffer) 是局部次级时钟缓冲器, LGMD (local gated Mesh driver) 是本地门控网格驱动器.

本文所设计的 HLGCDN 是结合了树形网络和 Mesh 优点的混合型时钟分布网络, 其改变了传统 Mesh 的实现层次, 以区域化的较小本地 Mesh 代替了当前流行的覆盖较大面积的局部 Mesh, 并改进了 Mesh 的驱动形式, 用局部次级树形时钟网络来达到减少全局 H 树网络分叉级数的目的, 以进一步降低 OCV 对不同的本地 Mesh 网络的影响.

3 HLGCDN 的层次化设计

根据高性能微处理器版图有一定规律的特点, 该 HLGCDN 以最小化时钟网络中每一级时钟树的时钟偏斜为出发点, 以最小化 OCV 对本地 Mesh 网络的影响为目标, 采取自顶向下和自底向上同时进行设计的方式, 由顶层 H 树网络和底层 Mesh 网络共同决定局部次级树形时钟网络的布线结果. 整个构建过程如图 3 所示.

3.1 全局 H 树型时钟网络的设计

H 树已经被证明是一种较好的平衡树型时钟网络结构, 若已知 H 树的终端节点的个数为 N , 则 H 树的级数 D_{ph} 满足

$$D_{ph} = \log_2 N - 1. \quad (1)$$

图 2 HLGCDN 结构
Figure 2 HLGCDN structure

根据 H 树的级数, 可以得到该全局时钟网络的总布线长度 $T_{\text{wire_length}}$ 为

$$T_{\text{wire_length}} = \begin{cases} \sum_{i=2n+1, 0 \leq n \leq \frac{D_{ph}-1}{2}} \frac{N}{2^{2(i-1)}} (V_i + H_i), & D_{ph} \text{ is odd,} \\ \sum_{i=2n+1, 0 \leq n \leq \frac{D_{ph}}{2}-1} \frac{N}{2^{2(i-1)}} (V_i + H_i) + L_{D_{ph}}, & D_{ph} \text{ is even,} \end{cases} \quad (2)$$

其中, n 为正整数, V_i 表示第 i 级 H 树的纵向线长, H_i 表示第 i 级 H 树的横向线长, $L_{D_{ph}}$ 表示最后一级 H 树的总线长.

最长布线距离 L_{max} 可以定义为

$$L_{\text{max}} = \text{MHT}[S_0, S_{(i,j,k,l)}], \quad (3)$$

其中, S_0 代表时钟源点的坐标, $S_{(i,j,k,l)}$ 代表全局 H 树型时钟网络布线区域位于 4 个顶点的终端节点的坐标, $\text{MHT}[S_0, S_{(i,j,k,l)}]$ 代表从时钟源点到其中某个顶点的曼哈顿 (Manhattan) 距离.

利用以上式子, 根据 Elmore 延迟模型和对应设计工艺的参数, 我们可以估算该时钟网络所消耗的布线资源和负载情况, 并通过合理的规划时钟网络的布线方向得到占用布线通道数量最少的 CDN 结果.

图 3 HLGCDN 的构建过程
Figure 3 Construction of HLGCDN

此外, 根据资料²⁾, 较大的驱动缓冲器驱动较长的金属连线的方式, 有助于抵抗 OCV 的影响, 且随着驱动缓冲器级数的增多, 时钟网络的功耗会急剧上升^[7], 设计中应尽量选择每一级 H 树的根节点作为驱动缓冲器的插入节点, 并采用尽可能大的驱动缓冲器以减少缓冲级数, 最小化本级时钟网络的功耗.

3.2 本地门控 Mesh 网络的设计

传统 Mesh 时钟网络功耗较大的主要原因就是为满足零偏斜的要求, Mesh 行列一般较多, 范围较广, 导致金属连线的等效负载很大, 驱动如此大的负载就需要较大的功耗. 为了降低网格自身负载, 可以将较大区域的 Mesh 进行拆分, 第 4 节的实验将表明, 拆分后的 Mesh 大小可以控制在 $500\ \mu\text{m} \times 500\ \mu\text{m}$ 的数量级上, 其行列数只要是 4×4 的大小就可基本满足近似零偏斜的要求.

2) ISPD 2010 high performance clock network synthesis contest. ACM SIGDA and Intel Corporation. <http://www.sigda.org/ispd/contests/10/ispd10cns.html>.

图 4 聚拢前后的接收端分布
Figure 4 Distribution on Mesh (a) before and (b) after receivers gathering

图 5 LGMD 电路结构
Figure 5 LGMD structure

图 6 S^2CB 电路结构
Figure 6 S^2CB structure

具体实现中, 利用成熟的商业级自动布局布线工具对本地的时钟输入负载接收端的分布进行分析, 以确定本地 Mesh 的形状和密度, 如图 4(a) 所示. 从图 4(a) 可以看到, 为进一步减小最终到各接收端的时钟偏斜, 必须使得每一个接收到 Mesh 上的连线尽量短, 因此可通过聚拢较为分散的各接收端单元, 使它们距 Mesh 尽量靠近, 以达到近似零偏斜的布线效果. 聚拢接收端单元后的效果如图 4(b) 所示.

最后, 根据 Mesh 网络的负载大小, 采用负载均衡技术进一步保证时钟偏斜的数值稳定, 并在 Mesh 的交叉格点上插入相应数量的驱动 LGMD, 所使用的 LGMD 电路结构示意图如图 5 所示.

3.3 局部次级树形时钟网络的设计

该局部次级树形时钟网络的输入 (S^2CB 的输入) 即是全局时钟网络的终端节点, 其输出 (S^2CB 的输出) 即是本地 Mesh 网络的驱动单元 LGMD. 其中 S^2CB 的电路示意图如图 6 所示, 其具有不同时钟的切换功能和驱动能力可调功能.

图 7 聚拢前后的 Taper 分布

Figure 7 Taper distribution (a) before and (b) after receivers gathering

为实现到本地 Mesh 网络的每一个 LGMD 的等延时传输, 以二叉树等长布线为原则为出发点, 将 S^2CB 的坐标作为树根父节点, 将 LGMD 的坐标 (图 2 中标示为 Taper) 作为树叶子节点, 实现该局部树形网络的布线。

具体实现中, 以芯片顶层金属的电地网格作为布线的参考平面, 首先采用均值折中算法 (methods of means and medians, MMM) 将该平面划分成无数个象限, 直到每个象限中仅有 2 个叶子节点 Taper; 然后再采用延迟合并插入算法 (deferred merged embedding, DME) 自下而上和自上而下地计算出每对 Taper 的中间汇点及从父节点 S^2CB 到每个中间汇点的沿途汇点, 从而完成该二叉树的等长布线的计算。

在文献 [12] 中, 简单介绍了该实现方法的流程, 实验结果也证明该布线方法具有接近零偏差的效果。但随着设计的复杂化, 该方法的布线效果欠佳, 如图 7(a) 所示; 这会影响到其他信号线的布通率, 因为过多的平衡绕线会增加其他绕线的难度, 且密集的时钟绕线对信号线形成严重的干扰; 经过仔细分析, 这主要是由于接收端的分布较为分散, 导致 Taper 坐标不规则所致; 因此在采用了 3.2 小节的方法对接收端进行聚拢后, 就得到了规整的 Taper 分布, 并采用人工后期干预的方式得到了优化的布线效果, 如图 7(b) 所示。

优化后, 就可以根据式 (2) 和 Elmore 模型估算该局部网络的负载情况, 从而调节 S^2CB 的驱动大小, 以减少仿真的反复次数。

4 仿真与分析对比

此处的仿真与分析均针对某一主频为 1.55 GHz 高性能微处理器中某一全局时钟的 HLGCDN 结构进行。

这里定义整个 HLGCDN 的时钟偏斜 $Skew_{Total}$ 为

$$Skew_{Total} = Skew_{Global} + MAX(Skew_{Section}) + MAX(Skew_{Local}), \quad (4)$$

图 8 Mesh 网格大小对比
Figure 8 Comparison of Mesh sizes

图 9 时钟偏斜随模块翻转率的变化
Figure 9 Variation of clock skew with switch activity

表 1 Mesh 结构性能对比
Table 1 Comparison of Mesh structure

Structure of mesh	Max clock latency (ps)	LCS (ps)	OCV derate coefficient
Mesh + CTS	289	57	1.2
Mesh in Subsection 3.2	15	1.73	—

其中, $Skew_{Global}$ 为全局时钟网络到每一个 S^2CB 的时钟偏斜, $MAX(Skew_{Section})$ 为局部时钟网络时钟偏斜中的最大值, $MAX(Skew_{Local})$ 为本地 Mesh 网络时钟偏斜中的最大值.

根据资料³⁾, 定义本地时钟偏斜 (local clock skew, LCS) 为曼哈顿距离小于等于某个阈值 L 的任意两个接收端之间的时钟偏斜. 令 S_i 和 S_j 为符合这一条件的任意两个时钟接收端, $T(S_i)$ 代表 S_i 的时钟到达时间, $MHT(S_i, S_j)$ 代表 S_i 和 S_j 这两个端点的曼哈顿距离, 则有

$$LCS = \max_{MHT(S_i, S_j) \leq L} \{|T(S_i) - T(S_j)|\}. \quad (5)$$

在对所设计的 HLGCDN 进行仿真分析的时候, 必须充分考虑布线环境对布线效果的影响; 同时, 根据以上定义, 取每个本地 Mesh 的范围作为阈值 L , LCS 即指本地 Mesh 的时钟偏斜.

仿真中, 为验证 3.2 小节提到的 Mesh 结构大小, 首先选取一个 $1000 \mu m \times 1000 \mu m$ 的典型模块, 该模块具有大约 28844 个触发器作为时钟接收端, 在利用 3.2 小节的方法聚拢接收端并实现后, 采用快速收敛的商用 HSPICE 工具 FineSim, 在 SUN X4600 服务器上先后进行了覆盖整个模块的一个 Mesh 和拆分成 $500 \mu m \times 500 \mu m$ 区域内的数个小网格的仿真, 并提取典型数据进行对比, 如图 8 所示.

图 8 的对比表明, 在 $500 \mu m \times 500 \mu m$ 区域内, 只要一个大小为 4×4 的网格就可以基本达到区域大小在 $1000 \mu m \times 1000 \mu m$ 范围内大小为 16×16 的网格的 LCS 的效果.

同时, 为验证负载均衡技术对时钟偏斜的数值稳定性的作用, 又对比了该模块未进行负载均衡和均衡后的 LCS, 如图 9 所示.

从图 9 可见, 采用负载均衡技术可以有效地降低模块翻转率变化对 LCS 的影响, 进一步确保时序分析的正确性.

3) ISPD 2010 high performance clock network synthesis contest. ACM SIGDA and Intel Corporation. Available: <http://www.sigda.org/ispd/contests/10/ispd10cns.html>.

图 10 所设计的 HLGCDN 的延时统计
Figure 10 Clock latency statistic of designed HLGCDN

表 2 不同工艺参数的 3σ 变化值
Table 2 Variations of 3σ in different process parameter

Parameter	3σ variation
NMOS/PMOS channel length	0.009 μm
NMOS/PMOS threshold voltage	40 mV
Wire resistance	16%
Wire capacitance	8.4%
Temperature	50°C
Supply voltage	10%

表 1 为针对该模块进行的传统的“Mesh+CTS”(图 1(b)) 的结构仿真和 3.2 小节所提到的 Mesh 结构的仿真的效果对比. 该表中, 本文所设计的 Mesh 结构具有明显的优势.

图 10 为针对整个 HLGCDN 的时钟延时的仿真统计. 可见, 在采用第 3 节所介绍的各种实现方法后, 本 HLGCDN 可以满足时钟网络设计中对极低时钟偏斜的要求.

为保证生产良率, 验证本设计的工艺偏差容忍度, 在某 40 nm 工艺下, 本文还对所实现的 HLGCDN 进行了工艺、电压、温度 (PVT) 变化的仿真分析, 并充分考虑了互连线电阻和互连线电容的变化对时钟性能的影响. 表 2 给出了仿真所使用到的不同工艺参数的 3σ 变化值.

根据表 2 的工艺参数变化值, 图 11 给出了 PVT 及互连线变化导致的该 HLGCDN 时钟延时变化所占的百分比.

从图 13 可以看出互连线的变化对于 HLGCDN 的性能影响是非常大的, 特别是对于全局时钟网络而言, 长线的线电阻对时钟延时的影响占主要地位, 这和当今工艺尺寸不断缩小的情况下, 金属互连线等效电阻不降反增的趋势相吻合.

图 11 工艺参数对 HLGCDN 延时变化的影响

Figure 11 PVT impact on the latency of HLGCDN

图 12 HLGCDN 的功耗组成

Figure 12 Typical HLGCDN power consumption

同时, 利用分段统计的方法, 得到了该 HLGCDN 的每一层级的时钟网络的功耗占总时钟网络功耗的百分比情况, 如图 12 所示. 可见, 全局和局部的树形结构时钟网络的功耗占总时钟功耗的比例较小; 由于 Mesh 数量较多, 且网格自身的负载较大, 其直接驱动数量众多的接收端单元, 因此时钟功耗的大部分被消耗在本地时钟网络上. 这也从侧面说明文献 [13] 所降低的 24% 的时钟功耗, 应该主要针对本文所提出的全局和局部时钟网络而言.

表 3 给出了在 PVT 或互连线电阻电容 (RC) 变化的情况下各级时钟树的偏斜变化情况. 通过对该表的分析可以说明, 本文实现的 HLGCDN 网络具有较好的工艺容忍度, 其设计的时钟网络的偏差随工艺变化, 仅增加 10% 左右, 且时钟偏斜本身极小, 使得工艺变化导致的偏斜的增加量处于极低的数量级上, 可以给高性能微处理器的时序设计带来极大的便利.

表 3 工艺变化对时钟偏斜的影响
Table 3 PVT and RC impact on Skew

Hierarchy of HLGCDN	Typical max skew (ps)	Max skew by PVT varying (ps)	Increment by PVT (%)	Max skew by RC varying (ps)	Increment by RC (%)
Global H-tree	3.3	3.7	12.12	3.59	8.9
Section secondary tree	2.43	2.67	11.1	2.66	9.4
Local Mesh	1.73	1.967	13.7	1.865	7.78

5 结论

本文所实现的 HLGCDN 结构实现了极低偏差的时钟传播, 并具有较高的工艺容忍度, 可以帮助改善高性能微处理器的时序约束条件. 其层次化的设计思路, 使得可以针对某个层次进行进一步优化, 以提高整个时钟网络的性能. 下一步的工作是针对时钟网络的功耗进行更细致的分析和优化, 以降低时钟功耗.

参考文献

- Xanthopoulos T, Bailey D W, Gangwar A K, et al. The design and analysis of the clock distribution network for a 1.2 GHz alpha microprocessor. In: Proceedings of IEEE International Solid-State Circuits Conference, San Francisco, 2001. 402–403
- Tam S, Limaye R D, Desai U N. Clock generation and distribution for the 130-nm Itanium2 processor with 6-MB on-die L3cache. IEEE J Solid-St Circ, 2004, 39: 636–642
- Stolt B, Mittlefehldt Y, Dubey S, et al. Design and implementation of the POWER6 microprocessor. IEEE J Solid-St Circ, 2008, 43: 21–28
- Calhoun B H, Cao Y, Li X, et al. Digital circuit design challenges and opportunities in the era of nanoscale CMOS. P IEEE, 2008, 96: 343–365
- Cyclos Semiconductor. Addressing the Power-Performance IC Design Conundrum-A Novel Clock Design Technique to Reduce Power and Increase Performance, 2012
- Wu Y L, Zhang X. Clock tree optimization with CCOpt. In: Proceedings of Cadence User Conference (CDNLive), Shanghai, 2013. 69–75 [巫煜卢, 张新. 基于 CCOpt 引擎的时钟树设计优化. Cadence 年会, 上海, 2013. 69–75]
- Li Z Y, Yan X L. High speed multilevel staged clock routing. J Semicond, 2001, 21: 290–297 [李芝燕, 严晓浪. 高速多级时钟网布线. 半导体学报, 2001, 21: 290–297]
- Chattopadhyay A, Zilic Z. Flexible and reconfigurable mismatch-tolerant serial clock distribution networks. IEEE Trans VLSI Syst, 2012, 20: 523–536
- Shan C, Galayko D, Anceau F, et al. A reconfigurable distributed architecture for clock generation in large many-core SoC. In: Proceedings of Reconfigurable and Communication Centric Systems-on-Chip (ReCoSoC), Montpellier, 2014. 1–8
- Ravezzi L, Partovi H, Wang D, et al. Clock and synchronization network for a 3 GHz 63 bit ARMv8 8-core SoC. In: Proceedings of European Solid State Circuits Conference (ESSCIRC), Venice Lido, 2014. 247–250
- Kan R, Tanaka T, Sugizaki G, et al. The 10th generation 16-core SPARC64processor for mission critical UNIX server. IEEE J Solid-St Circ, 2013, 49: 32–40
- Wang X, Ke X M. Physical implementation of local clock network with Cadence chip assembly router. In: Proceedings of Cadence User Conference (CDNLive), Shanghai, 2013. 157–164 [王晓, 柯希明. 基于 Cadence chip assembly router 的局部时钟物理实现. Cadence 年会, 上海, 2013. 157–164]
- Sathe V S, Arekapudi S, Ishii A, et al. Resonant clock design for a power-efficient, high-volumex86-64 microprocessor. In: Proceedings of IEEE International Solid-State Circuits Conference, San Francisco, 2012. 68–70

Design of a hierarchical clock distribution network with low clock skew and tolerance for process variations

WANG Xiao* & KE XiMing

National High Performance Intergrated Circuit Design Center, Shanghai 201204, China

*E-mail: 3651668@163.com

Abstract In this paper, a novel hierarchical clock distribution network is implemented with regard to the new characteristics of very deep sub-micro process. The clock distribution network is constructed with a mixed clock structure based on a global H-tree network and regional Mesh network. The regional Mesh network, which is also known as a local Mesh grid, is different from conventional global Mesh networks. Experiments indicate that this clock distribution network has a tiny clock skew and a high tolerance for process variations. The clock skew is within 10 ps. The impact of process variations on clock skew is in the ratio of 10%. These features are useful for timing sequence optimization of high-performance micro process cores.

Keywords H-tree, Mesh, clock distribution network, clock skew, tolerance for process variations

Center (Shanghai). His main research interests include high-performance CPU implementation, VLSI design, and sensor networks.

WANG Xiao was born in 1982. He received his B.S. degree in communication engineering from the University of Science and Engineering, Nanjing. In addition, he received his M.S. degree in electromagnetic field and microwave technology from the University of Science and Engineering in Nanjing. Currently, he is an engineer at the National High-Performance Integrated Circuit Design

KE XiMing was born in 1967. He received his B.S. degree in automatic control technology from Northwestern Polytechnic University, California. Currently, he is a senior engineer at the National High-Performance Integrated Circuit Design Center (Shanghai). His main research interests include high-performance computer architecture and VLSI design and verification.