论 文

忆阻器阻变随机存取存储器及其在信息存储中的应用

段书凯^{①②}, 胡小方^①, 王丽丹^{①*}, 李传东^③, MAZUMDER Pinaki^②^① 西南大学电子信息工程学院, 重庆 400715^② Department of Electrical Engineering and Computer Science, University of Michigan, Ann Arbor, MI 48109, USA^③ 重庆大学计算机学院, 重庆 400044

* 通信作者. E-mail: ldwang@swu.edu.cn

收稿日期: 2011-03-26; 接受日期: 2011-07-22

国家自然科学基金 (批准号: 60972155, 61101233, 60974020)、重庆市自然科学基金 (批准号: CSTC2009BB2305)、中央高校基本科研业务费专项 (批准号: XDJK2012A007, XDJK2010C023)、重庆市高等学校青年骨干教师资助计划(渝教人 (2011)65 号)、重庆市高等学校优秀人才支持计划 (渝教人 (2011)65 号)、西南大学博士科研资助项目(批准号: SWUB2008074) 中国博士后科学基金 (批准号: CPSF20100470116) 重庆市高等教育教学改革研究重点项目 (批准号: 09-2-011)和西南大学教育教学改革研究项目 (批准号: 2009JY053, 2010JY070) 资助

摘要 忆阻器具有依赖于激励历史的动态电阻, 可以用来构造少晶体管的非易失性半导体存储器 (NVSM), 也称为阻变随机存取存储器 (RRAM). 本文提出了一种基于忆阻器的阻变随机存取存储器 (MRRAM) —— 可与现代计算系统相兼容的纳米级二值存储器实现方案, 其结构与静态随机存取存储器 (SRAM) 类似, 但用忆阻器替代基本 RS 触发器存储信息. 在此基础上, 通过改进该 MRRAM, 可以实现在一个存储单元中存储多比特信息 (以灰度级形式) 的多值存储器, 大大提高了存储密度. 给出的计算机仿真和数值分析验证了本方案在存储 ASCII 字符和图像中的有效性, 探讨了灰度图像存储的新方法.

关键词 忆阻器 阻变随机存取存储器 (RRAM) 电路设计 二值存储 多值存储 计算机仿真

1 引言

1971 年, Chua^[1] 根据电路完备性理论上阐述和定义了忆阻器, 称为除电阻、电感和电容之外的第 4 种基本元器件. 然而, 由于没有物理实物出现, 它一直没有引起人们太多的关注. 直到 2008 年, HP 实验室的研究人员公布基于二氧化钛的交叉存储阵列, 并指出交叉点处的存储单元即为 Chua 预言的忆阻器^[2~4], 立即引起了学术界众多学者和工业界人士的浓厚兴趣. 至今, 已有化学家、物理学家以及电气工程师们报道了多种忆阻器物理实现^[5~10]. 由于制造大规模基于忆阻器的电路较为困难, 也有研究者提出了忆阻器 SPICE 仿真模型^[11,12]. 因具有独特的优越性能, 忆阻器在非易失性存储器^[13~19]、人工神经网络^[20,21]、混沌电路^[22,23]、可编程逻辑器件^[24~26]以及信息处理和模式识别电路^[27,28]等方面显示出了巨大的应用潜能, 也将为神经形态计算机的发展铺平道路^[17]. 纳米级尺寸的物理实现使人们相信忆阻器是一种可能延续 Moore 定律的全新候选技术之一.

引用格式: 段书凯, 胡小方, 王丽丹, 等. 忆阻器阻变随机存取存储器及其在信息存储中的应用. 中国科学: 信息科学, 2012, 42: 754-769

随机存取存储器 (RAM) 是计算机数据存储的一种重要形式, 主要用作主存储器 (内存), 具有超高的存取速度和写入耐久性, 如静态 RAM (SRAM) 的读写时间均小于 0.3 ns, 写寿命可高达 10^{16} 次. 然而, RAM 具有易失性, 掉电后数据丢失. 快闪存储器 (flash memory) 作为目前最先进的非易失性存储器, 却存在存储速度慢 ($10^5 \sim 10^6$ ns), 耐久性低 (写寿命约为 10^5 次) 等问题. 此外, 随着晶体管趋向于亚微米级, 一系列的问题开始出现, 包括制作工艺的困难和器件性能的限制如电子的运行难以控制等, 基于晶体管的传统存储技术遇到了发展瓶颈, 快闪存储器将会在十年内达到体积缩小的极限. 同时, 由于密集光刻成本的增加, 器件本身存在物理缺陷等原因, 互补金属氧化物半导体 (CMOS) 技术也将达到其发展的极限. 因此, 迫切需要研发新的非易失性存储器件和技术, 以满足对初、中级存储设备不断增长的高密度、低功耗和高速度的要求.

忆阻器具有纳米级尺寸、记忆能力、快速转换 (< 10 ns)、低功耗 (~ 1 pJ/操作)、高耐久性 (10^{10} 次)、多状态操作、可测量性、可堆叠性以及与 CMOS 工艺相容性, 为半导体存储技术的发展带来新的希望 [29]. 基于忆阻器的阻变随机存取存储器有望成为最具潜力的新一代存储技术之一 [13], 将集成当代存储技术的最优点如: SRAM 的高速度, DRAM 的高密度及闪存的非易失性. 文献 [13] 提出了一种利用忆阻器作为基本存储元件的非易失性同步触发器. HP 实验室的 Vontobel 等报道了一种纳米级忆阻器交叉存储系统, 并利用两个基于混合级交叉阵列实现的编码多路复用器来寻址交叉阵列中的纳米线 [14]. Laiho 等 [15] 描述了如何将忆阻器作为模拟存储和计算单元, 并指出在计算时可以进行周期性编程. 另有文献介绍了几种 CMOS/纳米忆阻器存储结构, 如 1D1M (一个二极管一个忆阻器) 和 1M (一个忆阻器) 等 [16]; 基于忆阻器的多级存储器实现方法 [18], 该方法利用一组参考电阻阵列并强制忆阻器阻值固定于一套预先设定的固定参考电阻值来实现忆阻存储器的多级存储功能.

本文提出了一种基于忆阻器的 RRAM (MRRAM) 实现方案. 该 MRRAM 结构类似于 SRAM, 但用忆阻器替代基本 RS 触发器作为存储元件. 第 2 节分别介绍了两种适用于多值存储器和二值存储器的忆阻器模型. 第 3 节描述了 MRRAM 的电路实现框图以及它的读/写操作, 给出了时序图更直观地显示存储单元的工作原理, 讨论了通过改进 MRRAM 实现多值存储器的可能性, 并对比分析了 MRRAM 较传统 SRAM 的优势. 为了验证方案的有效性, 在第 4 节呈现了一系列的包括误差分析在内的数值分析和计算机仿真, 成功实现了 ASCII 码字符和灰度图像的存储和读出.

2 忆阻器模型及存储特性

类似于电阻 (表征电压 v 与电流 i 之间的关系)、电容 (表征电荷 q 和电压 v 之间的关系) 和电感 (表征磁通量 ϕ 和电流 i 之间的关系), 忆阻器定义了磁通量 ϕ 与电荷 q 之间的关系. 简单地讲, 忆阻器是一种导电性依赖于激励历史的非线性器件, 根据控制变量可分为: 1) 磁通量 (电压) 控制忆阻器, 其电导由通过的磁通量 ϕ 决定, 即, $i = W(\phi)v$ 或者 $v = M(\phi)i$; 2) 电荷 (电流) 控制忆阻器, 其电导由流过的电荷 q 决定的, 即 $i = W(q)v$ 或 $v = M(q)i$, 其中 W 称为忆导, M 为忆阻. 本文使用两种磁通量控制忆阻器: 一种是典型的具有连续可变电阻的理论忆阻器模型, 可以用作多值存储器中的基本存储元件; 另一种是具有对称 I - V 特性的某种实际忆阻器模型, 主要用于二值存储器.

2.1 具有连续可变电阻的忆阻器

HP 忆阻器由夹在两个铂片电极之间的两层 TiO_2 组成: 其中一层 TiO_{2-x} 缺失部分氧原子, 称为掺杂层, 氧空位 (称为掺杂物) 使该层具有导电性; 另一层为不含杂质的纯 TiO_2 , 称为未掺杂层. 忆阻

器总的电阻是这两层二氧化钛的电阻之和, 外加偏压 $V(t)$, 可使两层之间的边界发生移动, 从而改变总的忆阻值.

典型的忆阻器数学模型可以表示为

$$M(t) = M_{\text{off}} + (M_{\text{on}} - M_{\text{off}}) \frac{w(t)}{D}, \quad (1)$$

其中 D 为 TiO_2 层的总厚度, $w(t)$ 为掺杂层厚度, M_{off} 和 M_{on} 分别为 $w(t) = 0$ 和 $w(t) = D$ 时的极限忆阻值.

$$\dot{w}(t) = \frac{\mu_v M_{\text{on}}}{D} i(t), \quad (2)$$

其中 $\mu_v \approx 10^{-14} \text{ m}^2 \text{ s}^{-1} \text{ V}^{-1}$, 表示掺杂物的平均迁移率. 对式 (2) 进行积分,

$$w(t) = \frac{\mu_v M_{\text{on}}}{D} q(t) + w(0). \quad (3)$$

将式 (3) 带入式 (1) 中可以得到

$$M(t) = M_{\text{int}} + kq(t), \quad (4)$$

其中, $M_{\text{int}} = M_{\text{off}} + (M_{\text{on}} - M_{\text{off}}) \frac{w(0)}{D}$ 为初始忆阻值, $k = \frac{(M_{\text{on}} - M_{\text{off}}) \mu_v M_{\text{on}}}{D^2}$ 为忆阻值与电荷之间的比例因子, 对于给定的忆阻器, k 为常数.

利用方程 (4) 及 Ohm 定律, 可得

$$v(t) = M(q(t))i(t) = (M_{\text{int}} + kq(t)) \frac{dq(t)}{dt}. \quad (5)$$

由式 (4) 可知 $q(0) = 0$, 对式 (5) 关于时间积分, 得到通过忆阻器的磁通量与电荷之间的关系:

$$\phi(t) = \frac{k}{2} q^2(t) + M_{\text{int}} q(t), \quad (6)$$

$$q(t) = \frac{\sqrt{2k\phi(t) + M_{\text{int}}^2} - M_{\text{int}}}{k}. \quad (7)$$

将式 (7) 代入式 (4), 可以得到忆阻值与磁通量之间的关系

$$M(t) = \sqrt{2k\phi(t) + M_{\text{int}}^2}. \quad (8)$$

图 1 显示了忆阻值与磁通量之间的关系, 其中, 右边的子图是左图一部分的放大. 可以看出, 忆阻值随着磁通量的增加而逐渐减小. 在低阻阶段, 忆阻值变化率较大, 反之变化率较小. 当忆阻值达到极限时, 它将一直保持这一状态, 除非有反向电压. 这种忆阻值连续变化的特性可用于存储灰度级信息, 如将忆阻值近似平均分为 256 段, 其中每一段可用于表示一个灰度值, 子图中的 “0”~“12” 显示其中的 13 段. 这一特点使 MRRAM 有望作为多值存储器, 即用一个存储单元存储多位二值数据 (一位灰度级信息).

2.2 具有对称 I - V 特性的忆阻器

相对多值存储, 二值存储可用相对简化的忆阻器模型, 用 V 和 I 分别表示忆阻器两端的电压和流过的电流, 该类忆阻器具有的高度非线性的、对称的且有明显编程阈值的 I - V 曲线, 可以用下式近似 [14]:

$$I = k \sin(aV), \quad (9)$$

图 1 忆阻值与磁通量之间的关系, 右子图是左图的部分放大

Figure 1 Relationship between the memristance and flux of a memristor, with the sub-figure on the right showing an expanded view of part of the left

其中 k 和 a 是状态依赖常数, 用于表征忆阻器的状态, 其值由制作工艺决定, 具体地, k 值与器件面积成正比, 可以通过改变电路的尺寸来控制; a 值是所用材料的函数. 本文使用实际器件测得的参数值来描述该忆阻器的性质^[14]. 忆阻器的 I - V 特性曲线如图 2 所示, 详细描述如下:

1) 开关特性. 忆阻器可以在高电导状态和低电导状态间切换, 其中高电导称为“开”(由 $(k_{\text{on}}, a_{\text{on}})$ 表征); 低电导称为“关”(由 $(k_{\text{off}}, a_{\text{off}})$ 表征). 如图 2 所示, 变化明显的曲线表示“开”, 其中 $(k_{\text{on}}, a_{\text{on}}) = (10^{-8}, 3)$; 近似水平的曲线表示“关”, $(k_{\text{off}}, a_{\text{off}}) = (10^{-11}, 3)$.

2) 损坏和开关阈值. V_{D-} 和 V_{D+} 为器件损坏电压阈值. 正常使用时, 电压 V 的范围应满足 $V_{D-} \leq V \leq V_{D+}$. V_{off} 和 V_{on} 是开关断开和闭合的阈值: $V_{D-} < V < V_{\text{off}}$, 器件处于“关”状态; $V_{\text{on}} < V < V_{D+}$, 则处于“开”状态. 图 2 中, 电压幅度 2 V, -2 V, 4 V, -4 V 分别表示 $V_{\text{on}}, V_{\text{off}}, V_{D+}, V_{D-}$, 开关比率 $k_{\text{on}}/k_{\text{off}} = 1000$. 对于二值信息存储, 电压 3 V 和 -3 V 分别用于写“1”和“0”.

基于以上特性, 本文提出的二值 MRRAM 通过将忆阻器设置于“开”状态来存储逻辑“1”, 设置于“关”状态来存储逻辑“0”.

3 基于忆阻器的 RRAM (MRRAM)

3.1 MRRAM 系统的电路实现框图

图 3 为一个简单的 MRRAM 电路实现框图, 它类似于 SRAM, 能够与现代计算机系统相兼容. 不同的是 MRRAM 基于忆阻器的自动记忆能力, 用忆阻器替代基本 RS 触发器存储信息具有非易失性.

该 MRRAM 电路包括存储阵列、地址译码器以及读/写控制电路. 存储阵列由忆阻器存储单元组成, 在译码器和读/写控制电路的控制下, 进行读写操作. 地址译码器分为行地址译码器和列地址译码器. 行地址译码器将输入地址代码的几位译成某一条行线的输出高、低电平信号, 从存储阵列中选择一行存储单元. 列地址译码器将地址代码的其余位译成某条列线上的高、低电平信号, 从所选的一行

图 2 忆阻器的 $I-V$ 特性

Figure 2 Current-voltage characteristics of the memristor

图 3 1 KB 存储单元的 MRAM 电路框图

Figure 3 Circuit diagram for MRRAM with 1 KB memory units

图 4 二值 MRAM 存储器单元

Figure 4 Binary MRRAM memory unit circuit

存储单元中选择一个单元 (或多个单元), 选中的单元通过读/写控制电路与 I/O 端接通, 实现读/写操作.

读/写控制电路控制存储器的工作状态. 当读/写控制信号 $R/\overline{W} = 1$ 时, 执行读操作, 将所选存储单元中的数据送到 I/O 端上; 当 $R/\overline{W} = 0$ 时, 电路执行写操作, 加在 I/O 端上的数据被写入所选的存储单元中. 另有一个片选输入端 $\overline{CS}$ 与读/写控制电路相连接. 当 $\overline{CS} = 0$ 时 MRRAM 正常工作; 当 $\overline{CS} = 1$ 所有的 I/O 端口为高阻态, 不能对 MRRAM 进行读/写操作.

3.2 MRAM 存储单元电路

图 4 显示了一个二值 MRRAM 存储单元电路及读写辅助/控制电路. 存储单元由一个忆阻器 (M) 和晶体管 T_1 , T_2 , T_3 组成 (矩形虚线框), 其中忆阻器 M 代替传统 SRAM 存储单元中的基本 RS 触发器作为基本存储元件用于存储一位二值 (多值) 代码 (椭圆虚线框). 读写辅助/控制电路是共用的, 这

图 5 MRRAM 存储单元写操作序列图

Figure 5 Sequence diagram for a write operation in the MRRAM memory unit circuit.

图 6 MRRAM 存储单元读操作的序列图

Figure 6 Sequence diagram for a read operation in the MRRAM memory unit circuit.

里给出是为了更清晰地说明存储单元的读写操作, 主要包括受控开关 (S_1 和 S_2), 级联电阻 R_0 , 读写缓冲放大器 A_1 , A_2 和与门等. T_1 和 T_2 作为模拟开关, 控制存储单元与开关 S_1 和分压器 (由级联电阻 R_0 和忆阻器 M 组成) 之间的连接. T_1 和 T_2 的状态由行线的状态 X_i 决定: 1) 当 $X_i = 1$ 时, T_1 和 T_2 导通, 存储单元可与 S_1 和分压器相连; 2) 当 $X_i = 0$ 时, T_1 和 T_2 断开. T_3 控制着分压器的连接, 即读操作的进行, 其状态由 $\overline{CS}$ 和 $R/\overline{W}$ 决定: 1) 当 $\overline{CS} = 0$, $R/\overline{W} = 1$ 时, T_3 导通, 忆阻器存储的状态可由分压器读出; 2) 当 $\overline{CS} = 0$, $R/\overline{W} = 0$ 时, 电路进行写操作, T_3 截止, 不能读取; 3) $\overline{CS} = 1$ 时, 电路不进行读和写操作, T_3 截止. 开关 T_4 和 T_5 与缓冲放大器 (A_1 , A_2) 连接, 其状态由列状态 Y_j (列地址译码器的输出) 控制: 1) 当 $Y_j = 1$ 时, T_4 和 T_5 导通, 数据可以从 I/O 端口加载到数据线上, 或者通过数据线被送到 I/O 端口; 2) 当 $Y_j = 0$ 时, T_4 和 T_5 断开, 没有数据在数据线和 I/O 端口之间传送.

3.3 存储单元电路的读/写功能

为了更直观地说明二值 MRRAM 存储单元的工作机理, 给出其读/写操作的序列图, 如图 5 和 6. Q_1 , Q_2 和 Q_3 分别表示输入信号, 分压器的输出以及单元输出信号. 其中, 以斜线和反斜线填充的部分, 表示高阻或者未知状态.

存储单元写操作: 首先假设一个存储单元 (i, j) 被选中, 即 $X_i = 1$, $Y_j = 1$, 这时 T_1 , T_2 , T_4 和 T_5 导通. 当 $\overline{CS} = 0$, $R/\overline{W} = 0$ 时, A_1 导通, A_2 断开. 来自于 I/O 端口的数据通过 A_1 , T_4 传入开关 S_1 , 根据接收到的输入信号 Q_1 , S_1 控制一个写电压脉冲 (V_{W0} 或者 V_{W1}) 施加到忆阻器 M 上. 即, 若输入信号 Q_1 为逻辑 “1”, 那么写电压 V_{W1} 通过 T_1 施加到忆阻器 M 的顶部并且驱动该忆阻器置高电导状态 (“开”). 输入信号结束或者读/写信号停止后, 开关 S_1 断开, 忆阻器的电导将保持这一状态不变, 实现数据的存储. 电路 (图 4) 中一些主要信号的状态序列图如图 5 所示.

存储单元读操作. 假设一个存储单元 (i, j) 被选中, 即 $X_i = 1$, $Y_j = 1$, 那么 T_1 , T_2 , T_4 和 T_5 导通. 当 $\overline{CS} = 0$, $R/\overline{W} = 1$ 时, A_2 和 T_3 导通, A_1 断开. 电压分压器的输出 V_{out} (图 4 中的 Q_2) 由忆

阻器电导状态控制, 同时 V_{out} 决定开关 S_2 的输出电压, 用 Q_3 表示. 若忆阻器存储的数据为“1”, 即, 忆阻器为高电导状态, V_{out} 比读阈值电压 V_T 低 (如图 9 所示), 并利用开关 S_2 使 V_1 与数据线 B_j 相连. 最终, 存储的数据被转换为输出信号 Q_3 , 并通过 T_5 和 A_2 传送到 I/O 端口实现数据的读取. 这里假设: 理想情况下, 读电压 V_R 低于写的阈值电压 (V_{off} 和 V_{on}) 不会改变设置的忆阻值. 对应地, 电路 (图 4) 中一些主要信号的状态序列图如图 6 所示.

3.4 多值存储器探讨

除二值信息存储外, 基于忆阻器的 RRAM 还可以利用忆阻器阻值的连续变化特性存储灰度级信息. 为了实现多值存储器, 需要对上述 MRRAM 做一些改进. 一种多值 MRRAM (改进的 MRRAM) 存储单元的电路实现框图如图 7 所示, 其读/写原理类似于图 4 所示的 MRRAM, 存储器框图如图 3 所示.

这种多值 MRRAM 存储单元可以以不同的忆阻值来存储模拟值. 但由于目前的计算机主要为数字计算机, 为了更好地兼容, 这里添加一个 8 位的串行 D/A 转换器与数据线相连接, 以便将 8 位的二进制输入数据转换为 1 位的多值代码进行存储 (注意, 多值 MRRAM 与二值 MRRAM 都是 8 位存储器). 该 D/A 转换器的输出控制增益可变大放大器 (A_3) 的增益, 将 V_W 放大到不同的幅度, 施加到忆阻器上, 并将其设置为所需的忆阻值状态. 同时一个 8 位的串行 A/D 转换器直接连接分压器的输出 V_{out} , 将每个模拟输出 V_{out} 转换为 8 位的二进制数据, 并传送给数字显示器 (DDU) 显示.

应当指出, 可以通过施加不同幅度相同持续时间的电压 (如上所述) 得到不同的忆阻值, 同时, 由于忆阻值由通过它的磁通量决定, 则通过施加相同幅度不同持续时间的电压, 可以得到同样的效果. 在对多值 MRRAM 的计算机仿真中, 使用了这两种方法并且得到了相同的结果. 综合考虑, 在第 4 节介绍多值存储器仿真时, 只给出使用第 2 种方法的结果.

3.5 MRRAM 与传统 SRAM 对比分析

SRAM 存储单元是在静态触发器的基础上附加门控管构成的. 图 8 为一个 6 管 (6T) SRAM 存储单元电路, $T_1 \sim T_6$ 构成存储单元 (外虚线框内), 其中 $T_1 \sim T_4$ 组成的基本 RS 触发器 (内虚线框内) 用于记忆一位二值代码. T_5 和 T_6 是门控管, 作为模拟开关控制触发的 Q 和 $\bar{Q}$ 与位线 B_j 和 $\bar{B}_j$ 之间的连接. 其他部分为读写辅助/控制电路, 其操作与 MRRAM 类似, 不再详述.

二值 MRRAM 存储单元 (图 4 外虚线框内) 为 3T1M (3 个晶体管 1 个忆阻器) 结构, SRAM 存储单元 (图 8 外虚线框内) 为 6T 结构, 目前晶体管尺寸趋近于亚微米级 (100 nm), 而忆阻器的尺寸是纳米级 (约 10 nm), 一个忆阻器约为 1/10 晶体管的大小, 因此二值 MRRAM 的存储单元面积约为 SRAM 的 0.518. 小规模 MRRAM 较 SRAM 的优势并不明显, 因为需要更多的辅助/控制电路, 来完成存取操作, 但规模越大, MRRAM 的优势越突出, 辅助/控制电路可以在外围路由选择电路的控制下为所有存储单元共用, 不影响电路的复杂度. 假设 MRRAM 的存储单元数为 N , 需要的器件规模为 $3.1N$ (假设晶体管尺寸为 1), 而 SRAM 存储单元的器件规模为 $6N$. 可见, 与具有相同存储单元数的传统 SRAM 相比, 二值 MRRAM 可以减少约一半的器件, 提高近一倍的集成度.

多值 MRRAM 也为 3T1M 结构, 考虑到与现代计算系统的兼容性, 需要添加 D/A 和 A/D 转换器, 同样对于小规模存储器, 电路复杂性较 SRAM 高, 但规模越大, 优势越明显 (集成度约为 SRAM 的二倍). 同时, 忆阻器具有连续可变的电阻状态, 可用于记忆灰度级信息, 单个多值 MRRAM 存储单

图 7 多值 MRRAM 存储器单元

Figure 7 Multilevel MRRAM memory unit circuit

图 8 六管 NMOS SRAM 存储单元

Figure 8 Six-NMOS SRAM memory unit circuit

元可以记忆一位 M 进制代码 ($M=2^N$), 相当于记忆 N 位的二进制代码, 可以提高存储密度 N 倍. 例如, 多值 MRRAM 记忆 256 进制的灰度级信息, 即用一个存储单元就可以存储原来用 8 个 SRAM 单元存储的信息, 提高了 8 倍的存储密度. 因此, 多值 MRRAM 可以在减小电路面积的同时, 大大提高存储密度, 与传统的 SRAM 相比, 具有更高的存储效率.

进一步, 基于忆阻器的记忆能力, MRRAM 是非易失性的, 这一点是 SRAM 无法比拟的. 利用忆阻存储器, 有望实现更快更节能的即开型计算机, 即重启计算机后, 它将立即恢复到关闭时的状态, 无需等待漫长的重新加载过程. 此外, 随着计算机科学技术的发展, 针对忆阻存储阵列的外围电路和处理器将会出现. 基于忆阻器的存储器设计可以不考虑 D/A 和 A/D 转换器等辅助电路, 只考虑存储体部分, 同时存储单元的规模有望进一步缩小 (如 1M 型), 则忆阻存储器存储密度的提高更为显著, 可达 100 Gb/cm^2 (10 nm 级的忆阻器) (6T SRAM 的密度为 0.17 Gb/cm^2), 同时考虑到忆阻器可以进行堆叠, 存储密度可达 1 Pb/cm^3 , 再加上忆阻存储器的多值存储能力, 存储密度将再增加 8 倍、16 倍等.

4 计算机仿真和数值分析

本节对提出的二值 MRRAM 和多值 MRRAM 电路进行计算机仿真, 目的是检查忆阻器是否能够准确地写入和读出. 因为具有所述特点的物理模型尚不能得到, 仿真中所使用的都是忆阻器的数学模型. 此外, 考虑了实际电路中噪声的存在, 二值和多值存储器仿真中的输出电压 V_{out} 值会有适当的波动.

4.1 二值 MRRAM 仿真

MRRAM 中的忆阻器可以切换到高阻和低阻两种状态, 所以分压器的输出电压 V_{out} 有两类可以区分的值. 向 MRRAM 中写入大量的“1”和“0”并读出, 对应的输出电压 V_{out} 都满足这一性质. 图 9 显示了一百个这样的结果, 其中纵轴为分压器的输出电压 V_{out} , 横轴显示一百个“1”和“0”二进制位. 图中上面虚线为读“0”操作的输出电压 $V_{\text{out}0}$, 下面曲线为读“1”操作的输出电压 $V_{\text{out}1}$, 中间水平线

图 9 MRRAM 分压器的二值输出电压 V_{out} , 上面曲线为 V_{out0} , 下面曲线为 V_{out1} , 中间水平线为 V_T

Figure 9 Binary output V_{out} of the voltage divider for MRRAM: the top, bottom, and middle curves depict V_{out0} , V_{out1} , and V_T , respectively

图 10 ‘Memristor’ 对应的 MRRAM 分压器的输出电压 V_{out} , 每个字母由 8 位 ASCII 码表示

Figure 10 V_{out} of binary MRRAM showing the word ‘Memristor’, where each letter is represented by an 8-bit ASCII code

表示阈值电压 V_T (0.3 V). 在本实验中, 级联电阻为 $R_0 = 5.0 \times 10^5 \Omega$, 测量的忆阻值为 $M_{off} = 7.4 \times 10^7 \Omega$ 和 $M_{on} = 7.4 \times 10^4 \Omega$.

进一步以 ASCII 字符为例更清楚地显示 MRRAM 的二值信息存储情况. 作为输入信号, 一个以 8 位 ASCII 码表示的单词 ‘Memristor’ 被写入 MRRAM 中并被读出, 仿真结果如图 10 所示. 同样的, 有关阿拉伯数字 ‘20080501’ 的仿真结果如图 11 所示. 两幅图中, 纵轴都为分压器的输出电压 V_{out} , 横轴表示 ASCII 码, 每 8 位代表 1 个 ASCII 码.

MRRAM 不仅可以准确地存储和恢复二值数据 (如以上仿真结果), 还可以用于二值图像处理. 以图像存储为例, 4 个典型的二值图像被写入到 MRRAM 中并读出. 为了更直观地显示结果, 将分压器的输出电压 V_{out} 转换为不同的像素值, 并依照原始图像的规格组合成 10 行 10 列的图像, 仿真结果如图 12 所示.

图 11 数字 ‘20080501’ 对应的 MRRAM 分压器的输出电压 V_{out} , 每个数字由 8 位 ASCII 码表示

Figure 11 V_{out} of the binary MRRAM showing the Arabic numbers ‘20080501’, where each number is represented by an 8-bit ASCII code

图 12 MRRAM 存储 4 个典型二值图像的仿真结果

Figure 12 Binary MRRAM used for storing four binary images. (a) Original binary image; (b) binary image output

4.2 多值 MRRAM 仿真

本实验将忆阻值分成 256 段, 以存储 256 级灰度值. 鉴于忆阻值的变化率不同, 设置前 249 段忆阻值的减少量为 $77\ \Omega$, 后 7 段的为 $95\ \Omega$. 测得最大忆阻值为 $19980\ \Omega$, 最小为 $124\ \Omega$.

一些更为详细的对应信息包括: 灰度值、ASCII 码 (及其扩展码)、ASCII 字符、忆阻值的范围、存储的忆阻值 (在中值附近) 以及实际读出的忆阻值总结于表 1 中, 可见, 多值 MRRAM 可以以不同的忆阻值来存储灰度值. 需要注意的是, 由于考虑了实际电路噪声的影响, 储存的和实际读出的忆阻值间会有一些误差, 但这些误差在允许范围内, 将在接下来的部分中详细分析.

短语 ‘Memristor-based RRAM.’ 被写入多值 MRRAM 中并被读出, 如图 13 所示, 每个字母都由 1 位灰度级数值表示, 而每一个灰度级值又代表了 8 位 ASCII 码. 为了更直观地显示多值存储功能, 仿真结果为分压器的输出而不是 A/D 转换器的输出. 从仿真实验可以看出, 该多值存储器方案可以节省

表 1 忆阻值和灰度值之间的对应关系

Table 1 Correspondence between memristances and gray-scale values

Gray scale value (0 – 255)	ASCII code (Binary)	ASCII character	Range of memristance (Ω)	Stored memristance (Ω)	Actual read memristance (Ω)
0	00000000	NUL	(19980–19903]	19933	19943
1	00000001	SOH	(19903–19826]	19869	19858
2	00000010	STX	(19826–19749]	19792	19794
3	00000011	ETX	(19749–19672]	19718	19720
4	00000100	EOT	(19672–19595]	19642	19639
5	00000101	ENQ	(19595–19518]	19554	19554
6	00000110	ACK	(19518–19441]	19475	19492
7	00000111	BEL	(19441–19364]	19402	19392
...	...	...	...	...	...
251	11111011	✓	(599–504]	553	538
252	11111100	<i>n</i>	(504–409]	453	466
253	11111101	<i>z</i>	(409–314]	354	370
254	11111110	■	(314–219]	273	269
255	11111111		(219–124]	164	155

图 13 短语 ‘Memristor-based RRAM.’ 对应的多值 MRRAM 的分压器输出电压 V_{out} , 每个字母都由

1 位灰度级数值表示

Figure 13 V_{out} of the multilevel MRRAM showing the phrase ‘Memristor-based RRAM.’, where each letter is represented by 1-bit gray-sale code

大量的存储空间, 大大提高存储密度.

多值 MRRAM 也可以用于灰度图像处理. 将一幅灰度级图像存储于该 MRRAM 中并读出. 原始灰度图像如图 14(a) 所示, 以特殊的读程序模拟 A/D 转换器, 将每位 V_{out} 值转换为 8 位二进制数据, 进而确定对应的像素值, 并通过 DDU 显示, 输出按照原图规格重新组建, 如图 14(b) 所示. 进一步观察了该图像第 256 行 (中间行) 对应的分压器输出 V_{out} , 如图 14(c) 所示, 可以看出 512 个灰度级像素值的变化情况.

图 14 多值 MRRAM 用于灰度图像存储

Figure 14 Multilevel MRRAM used for gray-scale image storage. (a) Original gray image; (b) output image; (c) V_{out} of the 256th row of the image

仿真结果验证了多值 MRRAM 存储灰度图像的有效性, 也为灰度图像处理提供了新的方案. 目前, 在主流的数字计算机系统中存储和处理灰度图像时, 每一个灰度值一般以 16 位二进制数据存储, 如果要对图像进行处理, 可能需要对 16 个存储单元进行访问和重写才能处理一个像素值. 多值 MRRAM 利用忆阻器的连续可变电阻和断电自动存储能力, 可以在一个存储单元中存储一个灰度级信息, 大大节省了存储空间. 在图像处理时, 每一个像素值的处理只需要对一个存储单元进行操作, 减少了访问次数, 提高了操作效率, 也节省了能源. 当然, 和所有电路一样, MRRAM 中的噪声也可能对图像的存储和处理造成影响, 且主要源于在对存储单元进行写或者读操作时, 噪声对忆阻值的改变. 如果电路噪声过大, 图像会出现模糊和变形等. 因此, 在接下来的有效性分析中, 重点分析了电路的噪声容限问题. 其中对多值 MRRAM 的容错性分析以 256 级灰度信息为对象进行, 分析结果验证了方案的有效性, 详细如下.

4.3 有效性分析

影响忆阻存储器存储效果的因素主要有: 1) 忆阻器的物理参数, 器件的特性, 忆阻值的两个极值大小, 高、低阻值之比以及初始忆阻值等; 2) 忆阻值的分段. 忆阻值分段越多, 对器件和操作条件的要求越高; 3) 读电压对忆阻值的影响; 4) 存储器电路中的任何信号包括噪声, 都可能导致存储的忆阻值发生变化.

基于以上因素分析二值 MRRAM 和多值 MRRAM 的有效性以及方案的噪声容限.

1) 两种 MRRAM 中所用忆阻器分别为相同的模型, 相同的初始值, 其他参数的选择也是基于已报道的实际器件和典型数学模型.

图 15 多值 MRRAM 的有效性分析

Figure 15 Results of effectiveness analysis for multilevel MRRAM. (a) $V_{\text{diff1}} = V_{\text{out1}} - V_{\text{out3}}$; (b) $V_{\text{diff2}} = V_{\text{out3}} - V_{\text{out2}}$; (c) $V_{\text{diff3}} = V_{\text{out1}} - V_{\text{out4}}$; (d) $V_{\text{diff4}} = V_{\text{out4}} - V_{\text{out2}}$

2) 对于二值 MRRAM, 通过分别施加 -3 V , 3 V 的偏压, 可以比较容易地得到忆阻器的高、低阻值. 对于多值 MRRAM, 有 256 级灰度值需要存储, 要严格控制对应的写电压大小. 本文实验基于软件仿真实现, 写电压为 1.0 V , 其持续时间通过程序严格控制, 最终得到 256 段合适的忆阻值.

3) 在二值 MRRAM 中, 忆阻器具有明显的编程阈值, 读电压 (0.5 V) 低于写电压阈值, 因而不会影响存储的忆阻值. 然而, 在多值 MRRAM 中, 典型的忆阻器理论模型没有明显的写电压阈值, 因此读电压会改变原本的忆阻值. 已知正电压会使忆阻值减小而负电压使其增加. 为了消除读电压对忆阻值的影响, 本实验选用一个前半阶段为负, 后半阶段为正 (信息在正半段读) 的读电压. 假设负电压先使存储的忆阻值增加 ΔM , 那么正电压将减少相同的忆阻值 ΔM , 结果使读出的忆阻值即为写入的忆阻值.

4) 噪声信号是影响 MRRAM 的主要因素. 对于二值 MRRAM, 写“0”和写“1”的电压分别为 -3 V 和 3 V , V_{out0} 和 V_{out1} 约为 0.497 V 和 0.064 V , 噪声容限约为 0.433 V . 模拟实际电路中的噪声影响, 在对应的写和读操作中, 添加部分随机噪声: 写噪声范围是 $[-0.5\text{ V}, 0.5\text{ V}]$, 读噪声范围是 $[-0.1\text{ V}, 0.1\text{ V}]$. 仿真结果 (如图 9 至图 12) 显示噪声信号没有改变存储结果, 证明该方案的有效性.

对于多值 MRRAM, 因为忆阻器是典型的理论模型, 其两极限阻值和其他器件参数都比较小, 为了保证其正常工作, 所加的写电压很小 1.0 V , 且持续时间由程序严格控制, 在 MATLAB 软件仿真中, 达到 4 位小数点. 读电压的大小为 0.1 V , 分压器输出电压的最大和最小值分别为 0.0995 V 和 0.0554 V , 两个相邻级别的输出电压之差为 0.17 mV . 同样地, 在本文实验中添加适当的写和读噪声, 使存储的忆阻值和读出的忆阻值 (由分压器输出电压表示) 分别具有约 12% 和 25% 的偏离. 下面的数值计算分析了该方案的有效性.

M_{max} 和 M_{min} 分别为表示一个灰度值的最大和最小忆阻值. M_w 和 M_r 分别为存储的忆阻值和实际读出的忆阻值. 则 V_{out1} , V_{out2} , V_{out3} 和 V_{out4} 分别表示 4 种忆阻值对应的分压器输出. 易知 $V_{\text{out}} = M/(M + R_1) \times V_r$, 其中 M 为忆阻值, R_1 为一个串联电阻 ($100\ \Omega$), V_r 为读电压, 并且有 $V_{\text{out1}} > V_{\text{out3}} \geq V_{\text{out2}}$. 若 $V_{\text{out1}} - V_{\text{out4}} > 0$, $V_{\text{out4}} - V_{\text{out2}} \geq 0$, 则实际读出的忆阻值 M_r 的范围在 $(M_{\text{max}}, M_{\text{min}}]$ 内, 这表明灰度值能够被准确地写入和读出. 数值计算结果如图 15 所示, 其中 (a) $V_{\text{diff1}} = V_{\text{out1}} - V_{\text{out3}}$; (b) $V_{\text{diff2}} = V_{\text{out3}} - V_{\text{out2}}$; (c) $V_{\text{diff3}} = V_{\text{out1}} - V_{\text{out4}}$; (d) $V_{\text{diff4}} = V_{\text{out4}} - V_{\text{out2}}$. 结果可见, 对于所有的 256 个灰度值都有 $V_{\text{diff1}} > 0$, $V_{\text{diff2}} \geq 0$, $V_{\text{diff3}} > 0$ 和 $V_{\text{diff4}} \geq 0$, 证明实验操作的正确性.

5 结论与讨论

本文提出了一种基于忆阻器的 RRAM (MRRAM) 实现方案, 其中用忆阻器作为基本的存储元件. 分别介绍了所用的两种忆阻器的电阻连续可变性质和开关特性. MRRAM 的结构类似于 SRAM, 但用忆阻器替代了 SRAM 的基本 RS 触发器. 利用 D/A 和 A/D 转换器等改进 MRRAM 以实现多值存储器, 并采用特殊的方法来进行读写操作. MRRAM 电路的计算机仿真和数值分析表明, 忆阻器能够以不同的忆阻值存储不同的输入信息进而实现二值和多值信息的存储, 同时也为图像处理 (特别是灰度图像处理) 提出了新的方案.

提出的方案表明忆阻器与 CMOS 电路紧密集成的可行性, 同时, 基于忆阻器的纳米级尺寸特性, MRRAM 的集成度将进一步提高, 特别是多值 MRRAM 将具有更高的存储密度和存储性能. 基于忆阻器的记忆能力, MRRAM 具有非易失性, 将为新一代非易失性存储技术的发展提供理论和实验依据. MRRAM 的设计考虑了与现代主流计算设备的兼容性, 可望在忆阻器商业化生产后, 应用于实际生产中. 目前, 忆阻器的研究和研制处于初级阶段, 相关技术还不成熟, 但随着研究的深入, 忆阻器的性能将进一步提高和完善, 包括存取时间, 耐久性等, 忆阻存储器有望成为最具潜力的下一代存储技术. 此外, 本设计也显示了使用多值忆阻器作为神经突触的大规模人工神经网络实现的可行性, 可以利用忆阻器的 Ohm 定律 $V = IR$, 直接实现权值相乘.

参考文献

- 1 Chua L O. Memristor - the missing circuit element. *IEEE Trans Circuit Theory*, 1971, 18: 507-519
- 2 Tour J M, Tao H. Electronics: The fourth element. *Nature*, 2008, 453: 42-43
- 3 Strukov D B, Snider G S, Stewart D R, et al. The missing memristor found. *Nature*, 2008, 453: 80-83
- 4 Williams R S. How we found the missing Memristor. *IEEE Spectrum*, 2008, 45: 28-35
- 5 Chen Y, Wang X. Compact modeling and corner analysis of spintronic Memristor. In: *IEEE/ACM International Symposium on Nanoscale Architectures*, New York, 2009. 7-12
- 6 Pershin Y V, Ventra M D. Spin memristive systems: spin memory effects in semiconductor spintronic. *Phys Rev B*, 2008, 78: 3309-3312
- 7 Gergel-Hackett N, Hamadani B, Dunlap B, et al. A flexible solution-processed memristor. *IEEE Electron Device Lett*, 2009, 30: 706-708
- 8 Brzezinski A, Lee J T, Slinker J D, et al. A light-emitting memristor. *Organic Electron*, 2008, 11: 150-153
- 9 Driscoll T, Kim H T, Chae B G, et al. Phase-transition driven memristive system. *Appl Phys Lett*, 2009, 95: 043503
- 10 Huai Y. Spin-transfer torque MRAM (STT-MRAM): challenges and prospects. *AAPPS Bull*, 2008, 18: 33-40
- 11 Biolek Z, Biolek D, Biolková V. SPICE model of memristor with nonlinear dopant drift. *Radioengineering*, 2009, 18: 210-214
- 12 Zhang X L, Huang Z C, Yu J B. Memristor model for SPICE. *IEICE Trans Electron*, 2010, E93C: 355-360
- 13 Robinett W, Pickett M, Borghetti J, et al. A memristor-based nonvolatile latch circuit. *Nanotechnology*, 2010, 21: 235203
- 14 Vontobel P O, Robinett W, Kuekes P J, et al. Writing to and reading from a nano-scale crossbar memory based on memristors. *Nanotechnology*, 2009, 20: 425204
- 15 Laiho M, Lehtonen E. Arithmetic operations within memristor-based analog memory. In: *Proceedings of the 12th International Workshop on Cellular Nanoscale Networks and Their Applications*, Berkeley, 2010. 1-4
- 16 Manem H, Rose G S, He X, et al. Design considerations for variation tolerant multilevel CMOS/nano memristor memory. In: *Great Lakes Symposium on VLSI*, Rhode Island, 2010. 287-292
- 17 Eshraghian K, Cho K R, Kavehei O, et al. Memristor MOS content addressable memory (MCAM): hybrid architecture for future high performance search engines. *IEEE Trans VLSI Syst*, 2010, 99: 1-11

- 18 Kim H, Sah M P, Yang C, et al. Memristor-based multilevel memory. In: Proceedings of the 12th International Workshop on Cellular Nanoscale Networks and Their Applications, Berkeley, 2010. 1–6
- 19 Medeiros-Ribeiro G, Williams R S. Memristor-CMOS hybrid integrated circuits for reconfigurable logic. *Nano Lett*, 2009, 9: 3640–3645
- 20 Jo S H, Chang T, Ebong I, et al. Nanoscale memristor device as synapse in neuromorphic systems. *Nano Lett*, 2010, 10: 1297–1301
- 21 Afifi A, Ayatollahi A, Raissi F, et al. Efficient hybrid CMOS-nano circuit design for spiking neurons and memristive synapses with STDP. *IEICE Trans Fund*, 2010, E93-A: 1670–1677
- 22 Muthuswamy B. Memristor based chaotic circuits. *IETE Tech Rev*, 2009, 26: 417–429
- 23 Zhong Q S, Yu Y B, Yu J B. Fuzzy modeling and impulsive control of a memristor-based chaotic system. *Chin Phys Lett*, 2010, 27: 020501
- 24 Jo S H, Kim K H, Lu W. Programmable resistance switching in nanoscale two-terminal devices. *Nano Lett*, 2009, 9: 496–500
- 25 Shin S, Kim K, Kang S M. Memristor-based fine resolution programmable resistance and its applications. In: Proceedings of International Conference on Communications, Circuits and Systems, Milpitas, 2009. 948–951
- 26 Raja T, Mourad S. Digital logic implementation in memristor-based crossbars. In: Proceedings of International Conference on Communications, Circuits and Systems, Milpitas, 2009. 939–943
- 27 Programmable Electronics using Memristor Crossbars. July 2009. <http://knol.google.com/k/anonymous/programmable-electronics-using/23zgknsxnl-chu/2>
- 28 Hu X F, Duan S K, Wang L D, et al. Memristive crossbar array with applications in image processing. *Sci China Inf Sci*, 2012, 55: 461–472
- 29 Yang J J, Zhang M X, Strachan J P, et al. High switching endurance in TaO_xmemristive devices. *Appl Phys Lett*, 2010, 97: 232102

Memristor-based RRAM with applications

DUAN ShuKai^{1,2}, HU XiaoFang¹, WANG LiDan^{1*}, LI ChuanDong³ & MAZUMDER Pinaki²

¹ School of Electronics and Information Engineering, Southwest University, Chongqing 400715, China;

² Department of Electrical Engineering and Computer Science, University of Michigan, Ann Arbor, MI 48109, USA;

³ College of Computer, Chongqing University, Chongqing 400044, China

*E-mail: ldwang@swu.edu.cn

Abstract Recently acclaimed the fourth fundamental circuit element, the memristor was theoretically predicted by Leon Chua in 1971, although its single device electronic implementation eluded the attention of integrated circuit designers for the past three decades and was first reported in 2008 by the Hewlett-Packard (HP) Laboratory researchers while developing crossbar-based ultra high-density nonvolatile memories. Memristor-based hybrid nanoscale CMOS technology is expected not only to impact the flash memory industries profoundly, but also to revolutionize digital and neuromorphic computing. The memristor exhibits a dynamical resistance state that depends on its excitation history and which can be exploited to build transistor-less nonvolatile semiconductor memory (NVSM), commonly known as resistive RAM (RRAM). This paper addresses an implementation scheme for memristor-based resistive random access memory (MRRAM), a nano-scale binary memory that is compatible with modern computer systems. Its structure is similar to that of static random access memory (SRAM), but with the memristor replacing the underlying RS flip-flop. By improving the MRRAM, we propose a multilevel memory with greater data density, which stores multiple bit information in gray-scale form in a memory unit.

Reported computer simulations and numerical analyses verify the effectiveness of the proposed scheme in storing ASCII characters and gray-scale images in binary format.

Keywords memristor, RRAM, circuit design, binary information memory, multilevel information memory, computer simulation

DUAN ShuKai was born in 1973. He received the Ph.D. degree in computer application technology from Chongqing University, Chongqing in 2006. Currently, his research interest covers intelligent information processing, artificial neural network, chaos, nonlinear circuit theory and application, memristor and memristive system. He serves as IEEE member, IEEE CIS member, standing committee member of National Information and Electronic Graduate Education Society of China.

HU XiaoFang was born in 1984. She received the B.S. degree in electronics from Southwest University, Chongqing in 2009. Currently, she is a graduate student in School of Electronic and Information Engineering, Southwest University, Chongqing, China. Her research interests include the design and analysis of chaotic systems based on memristor and computer simulation.

WANG LiDan was born in 1976. She received the Ph.D. degree in computer software and theory from Chongqing University, Chongqing in 2008. Currently, she is an Associate Professor with School of Electronics & Information Engineering, Southwest University, Chongqing. Her research interests include the nonlinear system and chaotic circuit, artificial neural networks and FPGA technology, Memristor and Memristive systems. She serves as an IEEE member.

LI ChuanDong was born in 1969. He received the Ph.D. degree in computer software and theory from Chongqing University, Chongqing in 2005. Currently, he is a Professor at College of Computer Science, Chongqing University, Chongqing. His current research interest covers iterative learning control of time-delay systems, neural networks, chaos control and synchronization, and impulsive dynamical systems. He serves as a research fellow in Department of Manufacturing Engineering and Engineering Management, City University of Hong Kong, Hong Kong.