三维集成阻变存储器阵列的电-热模型

卢年端^{①②††}, 宗旨威^{①②††}, 李泠^{①②*}, 刘琦^{①②}, 裘德龙^{①②}, 姬濯宇^{①②}, 刘明^{①②}

① 中国科学院微电子研究所, 微电子器件与集成技术重点实验室, 北京 100029;

② 江苏先进生物与化学制造协同创新中心, 南京 210009

*联系人, E-mail: lingli@ime.ac.cn

††同等贡献

收稿日期: 2016-04-15; 接受日期: 2016-05-24; 网络出版日期: 2016-07-18

中国科学院微电子器件与集成技术重点实验室课题基金、国家自然科学基金(编号: 61574166, 61306117, 61322408, 61221004, 61334007, 61274091)和中国工程物理研究院微系统与太赫兹科学技术基金(编号: CAEPMT201504)资助项目

摘要 随着三维集成阻变存储器(Resistive Random Access Memory, RRAM)集成度的不断提高, 由焦耳热引起的热效应将会严重影响器件的稳定性、可靠性及寿命. 因此, 三维集成RRAM将面临最大的挑战是如何解决器件的热效应问题, 而这种热效应现象伴随着器件特征尺寸的下降, 热量分布对于RRAM器件的影响(如能耗、热稳定性等)变得尤为突出. 特别是随着存储单元密度的不断提升, 相邻单元之间的距离不断减小, 邻近单元的热串扰将严重制约三维集成RRAM的发展和应用. 本文基于电-热类比方法, 建立了一种新的三维集成阻变存储器阵列的电-热紧凑模型; 模型的准确性通过ANSYS物理场仿真软件进行了验证. 该模型能够在Cadence中同时进行阵列电学特性和热学特性的仿真; 本文提出的紧凑模型可以用于预测三维集成RRAM阵列中的热分布状况及分析热串扰.

关键词 三维集成阻变存储器, 紧凑模型, 电-热类比

PACS: 66.70.Df, 66.30.Xj, 81.70.Pg

阻变存储器(RRAM)以材料的电阻可在高低阻态间实现可逆转换为基础^[1-3]. 阻变存储器由于结构简单, 与常规互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺兼容性好、写操作电流小、功耗低、与逻辑工艺兼容并具有三维(3D)堆叠海量存储的能力等优点, 受到了工业界和学术界的广泛关注^[4-8]. 为满足具有更大的数据存储密度和更快的获取信息能力, 当前国际上对于RRAM未来发展方向定位是: 超高密度存储. 而3D集成技术是实现

超高密度存储的必然选择.

国内外报道的3D集成架构的阻变存储器(如无源交叉阵列), 在操作过程中, 相邻交叉点的阻值都容易产生串扰现象(Crosstalk)^[9-11]. 电串扰和热串扰. 串扰现象直接引起的后果是使器件发生误读. 这种误读现象产生的原因主要有两个方面: 一是在低阻态端产生漏电通道而使电流不经过高阻态端; 二是由于器件在电流通过时产生热量, 当热效应大于一定临界值时, 相应的阻变存储单元及邻近的阻变存储单元将发生

引用格式: 卢年端, 宗旨威, 李泠, 等. 三维集成阻变存储器阵列的电-热模型. 中国科学: 物理学 力学 天文学, 2016, 46: 107312
Lu N D, Zong Z W, Li L, et al. A new analytical electro-thermal model in 3D resistive switching memory arrays (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107312, doi: [10.1360/SSPMA2016-00208](https://doi.org/10.1360/SSPMA2016-00208)

失效现象.

器件模型的发展与器件特性的发展相辅相成, 好的模型能够极大地促进器件的使用和发展. 为解决串扰现象以及加快阻变存储器进入实际应用, 大量关于RRAM器件模型的研究不断涌现^[12-15]. 但是, 目前现有的阻变存储器的器件模型研究基本都是基于平面结构的. 由于三维集成的阻变存储器器件结构与平面结构相比非常复杂, 直接面向RRAM三维结构的器件模型相对匮乏. 本文将基于“直接方法”发展出一种新的解析的电-热紧凑模型来研究三维集成阻变存储器的特性.

1 模型

图1所示为三维集成的RRAM阵列示意图, 阵列的基本单元为1D1R结构(D表示Diode, R表示RRAM). 图中红色部分为RRAM器件单元, 蓝色部分为二极管, 灰色部分为字线(Word Line)和位线(Bit Line). 每个RRAM单元包含6个方向的外界温度输入.

RRAM器件的温度可由下面的公式计算:

$$T_{\text{RRAM}} = \int_{t_0}^{t_1} \frac{W_j - W_d}{CV_{\text{volume}}} dt, \quad (1)$$

其中, W_j 是器件工作时产生的焦耳热功率, W_d 是器件的散热功率, C 是单位体积的热容, V_{volume} 是器件发热区域的体积.

散热功率 W_d 如下式所示:

$$W_d = \frac{\partial Q}{\partial t} = -A \sum k \nabla T_{\text{RRAM}}, \quad (2)$$

其中, A 是热传导的横截面积, k 是材料热导率,

∇T_{RRAM} 是发热区域的温度变化梯度. 通过简化处理, 可以得到三维空间下的器件温度梯度表达式

$$\begin{aligned} \nabla T_{\text{RRAM}} &= \frac{\partial T_{\text{RRAM}}}{\partial x} + \frac{\partial T_{\text{RRAM}}}{\partial y} + \frac{\partial T_{\text{RRAM}}}{\partial z} \\ &= \frac{T_{\text{RRAM}} - 300}{d_{\text{RRAM}}}, \end{aligned} \quad (3)$$

其中, d_{RRAM} 为 T_{RRAM} 降低到环境温度时所需的器件半径, 这里环境温度假设为室温300 K, 通过结合公式(1)–(3), 可以得到RRAM器件温度随时间变化的瞬态表达式

$$T_{\text{RRAM}}(t) = \frac{d_{\text{RRAM}} W_j}{Ak} \left[1 - \left(\frac{-kA}{d_{\text{RRAM}} CV_{\text{volume}}} t \right) \right] + 300. \quad (4)$$

通过对公式(4)进行求解, 并利用RC等效电路模型类比RRAM器件在施加工作电压后的行为, 可以获得相应接口的温度值. 其中RC的时间常数为

$$\tau = RC = \frac{d_{\text{RRAM}} CV_{\text{volume}}}{kA}. \quad (5)$$

由于每个单元有一个温度输出接口, 该接口将通过外部温度的输入和内部自身的工作产热来计算输出温度, 该温度可以通过连线反馈到一个温度输入接口, 这样就可以建立一个温度反馈系统. 通常在系统仿真的初始状态会施加一个初始输入温度和强制外部环境热源, 仿真开始后等效热学网络通过系统初始条件和反馈不断进行循环计算最终输出一个瞬态的温度收敛值, 不同时间点下的温度瞬态值就组成了三维RRAM器件阵列的暂态温度变化. 由于金属连线和氧化物层的热传导系数相差很大, 所以6个方向的温度输入可以通过下式获得, 即一个等效的外部环境温度

图1 (网络版彩图)(a) 三维RRAM阵列结构示意图; (b) 单个RRAM单元的6个方向的温度接口示意图
Figure 1 (Color online) (a) Schematic of 3D RRAM array; (b) six directions of temperature input.

$$T_{\text{ambient}} = (1 - \lambda) \times \frac{T_{\text{back}} + T_{\text{forward}} + T_{\text{left}} + T_{\text{right}}}{4} + \lambda \frac{T_{\text{top}} + T_{\text{bottom}}}{2}, \quad (6)$$

其中, λ 为温度权重因子, 用来表示器件通过上下2个方向接收来自金属连线的传热和通过水平4个方向接收来自周围氧化物层的传热的一个比例系数. 等效的外部环境温度计算出来后, 就可以带到公式(1)中, 最终计算出每个器件的温度值.

本文的目标是获得三维RRAM阵列的温度分布, 所以该模型需要在计算单个器件的工作温度时考虑热阻热容以及器件之间的相互传热, 建立一个完整的热学模型. 一般地, 模型在EDA软件模拟过程中, 能同时对电学量(电流和电压)以及热学量(温度和热量)进行计算, 因此需要用到热电类比技术. 由于与一维的热流物理行为相近, 对于RC等效电路, 相关的参数可以通过下式计算获得:

$$\begin{cases} R_i \approx R_{\text{thi}} = \frac{d_i}{\kappa A}, \\ C_i \approx C_{\text{thi}} = cd_i A, \end{cases} \quad (7)$$

其中, A 为热传导横截面积, d 为厚度, k 和 c 分别为热导率和热容. 最终, 通过使用相应的参数(如表1), 可以获得等效金属线和氧化物层的RC等效值.

2 三维RRAM阵列模型仿真

在完成RRAM器件建模后, 通过使用Cadence软件中的Spectre模块, 将模型公式用Verilog-A编译成实体模块, 每个模块有6个温度输入接口、一个温度输出接口, 以及两个电压输入接口. 三层器件之间通过金属热阻相互连接, 除了三维阵列中心的RRAM器件没有和外界温度源连接之外, 其他器件都至少有一个温度输入是与外部温度源相连接. 图2给出了一个3×3×3的三维RRAM阵列仿真电路示意图.

表1 RRAM阵列材料特性参数

Table 1 Model parameters

材料	$k(\text{W}/(\text{m} \cdot \text{K}))$	$c(\text{J}/(\text{m}^3 \cdot \text{K}))$	$d(\text{nm})$	$A(\mu\text{m}^2)$
氧化物层 (HfO ₂)	1.1	1.161×10^6	20	200
Cu	40	3.404×10^6	20	100

图2 三维RRAM阵列仿真电路示意图

Figure 2 Circuit diagram of 3D RRAM array.

图3所示为单个RRAM器件在施加编程电压后(写入-读取-擦除-读取), 器件电压、电流及温度随编程操作的变化关系.

3 模型验证

在成功实现了对三维RRAM阵列的温度进行仿真

图3 (网络版彩图)(a) RRAM器件电流、电压随编程操作的关系; (b) 三层阵列仿真温度暂态曲线

Figure 3 (Color online) (a) Pulse voltage, current curve during programming; (b) simulated transient temperature curve in 3D RRAM array.

之后, 需要用数据来验证模型是否能够正确地模拟器件工作时的温度变化情况. 但是, 目前有关三维结构的RRAM器件温度研究的文章较少, 而具体的三维结构的RRAM器件温度随外部电压变化的实验数据更是鲜有报道. 因此, 利用ANSYS物理场仿真软件, 对三维结构的RRAM阵列进行建模. 输入相应的几何尺寸、热学参数等, 利用ANSYS软件对模型进行精确地数值仿真. 在Cadence系统中, 令阵列外部的器件与环境热源相连. 在ANSYS系统中, 通过在阵列外部施加很强的热对流来模拟这种情况. 由于ANSYS可以生成瞬态的温度云图, 并且进行动态演示. 因此我们将模型在Cadence中的仿真结果与ANSYS中的温度云图进行对比, 来验证模型的准确性. 图4-6所示为3种不同工作模式下的阵列温度分布及模型曲线对比(图4-6中红色圆圈点线表示Cadence中的仿真结果, 蓝色方框点线表示ANSYS仿真结果). 从图4-6中可知, 模型在一定程度上可以正确模拟器件在施工作电压后的暂态温度变化, 但是两种仿真存在一定的误差, 其原因为: 一是氧化物层和金属导线的热阻热容连接方式. 在实际的热传导中, 热量的传导不是简单的沿着一个单独的方向进行, 实际上根据器件与氧化物层和金属导线之间的连接方式的不同, 热量的传递方向会变得复杂,

图4 单个RRAM单元操作下温度云图及结果对比
Figure 4 RRAM array simulation results in ANSYS, only a single RRAM cell is applied by pulse voltage.

图5 RRAM 2×2单元操作温度云图及结果对比
Figure 5 RRAM array simulation results in ANSYS, here two rows RRAM cells are applied by pulse voltage.

图6 三维RRAM 3×3单元操作温度云图及结果对比
Figure 6 RRAM 3×3 array simulation results in ANSYS, here two rows in 3 layers RRAM cells are applied by pulse voltages.

本文为了简单化, 将器件之间的热量传递方式定义为以一个方向为主的方式, 从而产生误差; 二是热学边界条件的确定. 本文中由于每个器件之间的温度输入端口较多, 当器件仿真的数量增加后, 连线的复杂度会大大增加, 所以在少量的器件仿真过程中, 外界边界条件对系统的仿真结果影响很大, 而ANSYS系统中只能通过设定强对流的方式来模拟器件阵列最外侧温度等于室温这一情况, 从而导致其不能起到完全的相等效果, 所以两个仿真条件在边界条件上的差异也

会引起一定程度的误差.

4 结论

在阻变存储器导电细丝机制基础上, 利用热电类比技术开发了针对三维阻变存储器阵列的热-电紧凑模型; 建立了三维阻变存储器阵列的热阻热容网络, 并在Cadence中进行了阵列电学特性和热学特性的仿真; 通过ANSYS物理场仿真软件验证了模型在阵列工作时的温度暂态曲线的准确性.

参考文献

- 1 Zhang K W, Long S B, Liu Q, et al. Progress in rectifying-based RRAM passive crossbar array (in Chinese). *Sci Sin Tech*, 2011, 41: 403–411 [张康玮, 龙世兵, 刘琦, 等. 基于整流特性的RRAM无源交叉阵列研究进展. *中国科学: 技术科学*, 2011, 41: 403–411]
- 2 Ye C, Zhan C, Deng T F, et al. Resistive switching characteristics of Titanium doping HfO_2 memory cell under different annealing treatment (in Chinese). *Sci Sin Tech*, 2015, 45: 1289–1296 [叶葱, 詹超, 邓腾飞, 等. 不同退火气氛下钛掺杂氧化铪阻变存储器的性能研究. *中国科学: 技术科学*, 2015, 45: 1289–1296]
- 3 Cario L, Vaju C, Corraze B, et al. Electric-field-induced resistive switching in a family of mott insulators: Towards a new class of RRAM memories. *Adv Mater*, 2010, 22: 5193–5197
- 4 Waser R, Dittmann R, Staikov G, et al. Redox-based resistive switching memories-nanoionic mechanisms, prospects, and challenges. *Adv Mater*, 2009, 21: 2632–2663
- 5 Miao F, Strachan J P, Yang J J, et al. Anatomy of a nanoscale conduction channel reveals the mechanism of a high-performance memristor. *Adv Mater*, 2011, 23: 5633–5640
- 6 Liu Q, Sun J, Lv H, et al. Real-time observation on dynamic growth/dissolution of conductive filaments in oxide-electrolyte-based ReRAM. *Adv Mater*, 2012, 24: 1844–1849
- 7 Shang J, Liu G, Yang H, et al. Thermally stable transparent resistive random access memory based on all-oxide heterostructures. *Adv Funct Mater*, 2014, 24: 2171–2179
- 8 Pan F, Gao S, Chen C, et al. Recent progress in resistive random access memories: Materials, switching mechanisms, and performance. *Mater Sci Eng-R-Rep*, 2014, 83: 1–59
- 9 Baek I G, Kim D C, Lee M J, et al. Multi-layer cross-point binary oxide resistive memory (O_xRRAM) for post-NAND storage application. In: *Proceedings of International Electron Devices Meeting*. Washington: IEEE, 2005, 750–753
- 10 Lu N, Sun P, Li L, et al. Thermal effect on endurance performance of 3-dimensional RRAM crossbar array. *Chin Phys B*, 2016, 25: 056501
- 11 Sun P, Lu N, Li L, et al. Thermal crosstalk in 3-dimensional RRAM crossbar array. *Sci Rep*, 2015, 5: 13504
- 12 Noh J, Jo M, Kang C Y, et al. Development of a semiempirical compact model for DC/AC cell operation of HfO_x -based ReRAMs. *IEEE Electron Device Lett*, 2013, 34: 1133–1135
- 13 Huang P, Liu X Y, Chen B, et al. A physics-based compact model of metal-oxide-based RRAM DC and AC operations. *IEEE Trans Electron Devices*, 2013, 60: 4090–4097
- 14 Li H, Huang P, Gao B, et al. A SPICE model of resistive random access memory for large-scale memory array simulation. *IEEE Electron Device Lett*, 2014, 35: 211–213
- 15 Larcher L, Puglisi F M, Pavan P, et al. A compact model of program window in HfO_x RRAM devices for conductive filament characteristics analysis. *IEEE Trans Electron Devices*, 2014, 61: 2668–2673

A new analytical electro-thermal model in 3D resistive switching memory arrays

LU NianDuan^{1,2††}, ZONG ZhiWei^{1,2††}, LI Ling^{1,2*}, LIU Qi^{1,2}, QIU DeLong^{1,2},
JI ZhuoYu^{1,2} & LIU Ming^{1,2}

¹Key Laboratory of Microelectronics Devices and Integrated Technology, Institute
of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

²Jiangsu National Synergetic Innovation Center for Advanced Materials (SICAM), Nanjing 210009, China

Resistive switching memory (RRAM) with three-dimensional (3D) integration is one of the most effective methods to satisfy the requirement of ultra-high density and ultra-large data storage. With the increase of the integration density of 3D RRAM, Joule heating effect and thermal crosstalk of the RRAM device will seriously affect the stability, reliability and life of RRAM device. Therefore, the biggest challenge for 3D RRAM is how to solve the problem of the thermal effect. Otherwise, the thermal effect will be particularly prominent as the feature size of RRAM device is ceaselessly decreased. Especially with the improving of the storage cell densities and hence the decreasing of the distance between adjacent cells, the thermal crosstalk from the adjacent cells will seriously restrict the development and application of 3D integrated RRAM. In this work, we present a new electro-thermal compact model for 3D RRAM arrays. The proposed model is based on the electro-thermal analogy which can couple thermal network to its electrical schematic. The comparison between the compact model simulation results and numerical simulation shows a good accuracy. This proposed model can be used to predict temperature distribution and analyze thermal crosstalk in 3D RRAM arrays. Our work will provide a reliable technical support for the late circuit design and practical application, and lay the foundation for the realization of the high-density 3D integration RRAM.

3D RRAM, compact model, electro-thermal analogy

PACS: 66.70.Df, 66.30.Xj, 81.70.Pg

doi: [10.1360/SSPMA2016-00208](https://doi.org/10.1360/SSPMA2016-00208)