面向高性能GaN基功率电子的器件物理研究

黄森^①, 杨树^②, 唐智凯^②, 化梦媛^②, 王鑫华^①, 魏珂^①, 包琦龙^①, 刘新宇^①, 陈敬^{②*}

① 中国科学院微电子研究所, 中国科学院微电子器件与集成技术重点实验室, 北京 100029;

② 香港科技大学电子及计算机工程学系, 香港 999077

*联系人, E-mail: eekjchen@ust.hk

收稿日期: 2016-04-25; 接受日期: 2016-05-25; 网络出版日期: 2016-07-21

中国科学院微电子器件与集成技术重点实验室课题基金、国家自然科学基金(编号: 61474138, 61534007, 61527816, 61404163)、香港研究资助局优配研究项目(编号: 611512, 16207115)和香港创新科技基金项目(编号: ITS/192/I4FP)资助

摘要 氮化镓(GaN)功率电子器件具有高击穿电压、高工作频率、高电流输出能力以及耐高温等优点, 有望成为下一代高效电源管理系统芯片的最佳候选之一. 本文从界面态起源、极化能带工程以及可靠性机理等角度分析了GaN基功率电子器件所面临的器件物理挑战, 包括栅极阈值不稳定性、高压动态导通电阻退化、高阈值栅技术和栅介质长期可靠性等关键科学问题和技术瓶颈. 分析指出(Al)GaN表面的无序氧化可能是GaN基器件表/界面态的主要来源, 并有针对性地介绍了界面氮化插入层、极性等离子增强原子层沉积AlN薄膜(Plasma-Enhanced Atomic Layer Deposited AlN, PEALD-AlN)钝化、F离子注入与高温栅槽刻蚀增强型技术, 以及低压化学气相沉积SiN_x(Low-Pressure Chemical Vapor Deposited SiN_x, LPCVD-SiN_x)和O₃-Al₂O₃高绝缘栅介质等提高GaN基增强型器件性能的新型工艺技术. 系统分析了国际有关高性能GaN功率电子器件研究的最新进展, 及未来面临的机遇和挑战.

关键词 氮化镓, 功率电子器件, 界面态, 动态导通电阻, 增强型, 栅介质, 可靠性

PACS: 73.40.Qv, 81.05.Ea, 81.65.Rv, 85.30.Tv

相对于传统Si和GaAs等半导体材料, 新型宽禁带半导体材料氮化镓(GaN)具有禁带宽度大(~3.4 eV)、临界击穿电场高(>3 MV/cm)、电子漂移饱和速度高(~2.5×10⁷ cm/s)、导热率高以及化学稳定性好等特点^[1]. 尤其是GaN本身非常强的自发(Spontaneous Polarization)和压电极化(Piezoelectric Polarization)效应, 能在AlGaN/GaN异质结中诱导出高达10¹³ cm⁻²的二维电子气(2-D Electron Gas, 2DEG), 它的迁移率能达到2200 cm²/V s以上^[2]. 这种优异的2DEG输运性能使基

于AlGaN/GaN异质结构材料体系研制的GaN基功率电子器件(Power Electronic Devices)具有电流密度大、导通电阻低、工作频率高、器件体积小以及高温工作等特点, 有望成为下一代高效功率电子技术的强有力竞争者^[3-10].

基于AlGaN/GaN外延结构制备的增强型(Enhancement-Mode)金属-绝缘体-半导体高电子迁移率晶体管(Metal-Insulator-Semiconductor High-Electron-Mobility Transistors, MIS-HEMTs)和P-(Al)GaN/AlGaN/GaN

引用格式: 黄森, 杨树, 唐智凯, 等. 面向高性能GaN基功率电子的器件物理研究. 中国科学: 物理学 力学 天文学, 2016, 46: 107307
Huang S, Yang S, Tang Z K, et al. Device physics towards high performance gan-based power electronics (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107307, doi: 10.1360/SSPMA2016-00220

异质结场效应晶体管(Heterojunction Field Effect Transistors, HFETs)是目前GaN基功率电子器件的两种主要结构,如图1(a)和(b)所示. 经过近十年的发展, GaN基功率器件性能得到了显著提升, 然而依然面临着一些影响其稳定性和可靠性的挑战, 阻碍了其在实际电源转换装置和系统中的迅速推广应用. 主要包括: (1) 栅介质/(Al)GaN间的界面态引起的阈值不稳定性; (2) 钝化介质/(Al)GaN间界面态, 以及GaN缓冲层中深能级陷阱导致的高场电流坍塌和动态导电阻退化; (3) 增强型能带工程与栅沟道散射机制; (4) 栅介质缺陷控制与失效机理.

本文第1部分着重探讨GaN基功率电子器件栅介质与AlGaN/GaN间界面态的物理来源及其对阈值稳定性的影响机制, 并介绍采用界面氮化插入层技术(Nitridation Interfacial-Layer, NIL)抑制界面态的研究成果. 第2部分针对传统等离子体增强化学气相沉积SiN_x (Plasma-Enhanced Chemical-Vapor-Deposited SiN_x, PECVD-SiN_x)钝化所带来的(Al)GaN势垒层表面损伤缺陷和工艺氧化等问题, 介绍采用两种PEALD-AlN和

高温LPCVD-SiN_x钝化技术如何抑制界面态导致的高压电流坍塌. 第3部分从能带和极化工程出发, 介绍如何采用氟离子注入(Fluorine Plasma Ion Implantation)和低损伤栅槽刻蚀技术实现增强型GaN栅结构, 以及如何抑制相关损伤对沟道2DEG的散射. 第4部分从长期可靠性角度分析LPCVD-SiN_x和ALD-Al₂O₃两种绝缘栅介质中的缺陷和固定电荷问题, 揭示其失效机理和抑制技术. 最后总结研制高性能GaN基功率电子器件的器件物理问题, 并展望其未来发展趋势.

1 栅介质/(Al)GaN界面态物理与调控

由于AlGaN/GaN HEMT较大的栅极漏电, 国际上普遍在栅肖特基与(Al)GaN间插入一层高绝缘栅介质制备成MIS-HEMTs (如图1(a)所示), 以满足GaN基功率电子器件低漏电、高击穿电压的应用要求. 凭借良好的绝缘性能和高介电常数, 原子层沉积(Atomic Layer Deposited, ALD)方法制备的Al₂O₃成为目前GaN基MIS-HEMTs中广泛采用的栅介质^[11-13].

ALD-Al₂O₃栅介质的引入显著抑制栅极正反向漏电, 然而也同时带来了界面态问题^[14]. 鉴于GaN自身的宽禁带特性, ALD-Al₂O₃与(Al)GaN间的界面态分布很广, 特别是位于导带以下1 eV的深能级, 其电子发射时间常数在几百秒甚至更长时间^[15], 在栅极开关转换过程中, 这些深能级的缓慢放电会导致严重的栅极阈值不稳定性(V_{TH} -Instability), 如图2所示.

从图2(a)看出, 当Al₂O₃/GaN/AlGaN/GaN MIS二极管的正向扫描电压超过0 V时, 器件出现比较明显的回滞(V_{TH} -Hysteresis, 正向栅压在+5 V时达到0.9 V), 该现象在相应的肖特基二极管中未观察到. 这说明Al₂O₃/GaN界面存在发射时间较长的界面态, 当正向栅压达到一定值时, 这些界面态开始被AlGaN/GaN异质结内部迁移过来的电子填充. 在反向扫描过程中它们来不及释放, 从而产生了回滞^[15]. 类似现象在Al₂O₃/GaN/AlGaN/GaN MIS-HEMTs也被证实, 如图2(b)所示. 在转移特性来回扫描中发现, 当 $V_{GS,max}$ 超过+1 V时开始出现回滞, 并随 $V_{GS,max}$ 增大逐渐变大. 利用准静态C-V技术, 捕捉到以上深界面态的充放电过程. 基于C-V测试分析, 得出Al₂O₃/GaN界面态密度在一定能级范围内达到 $1.4 \times 10^{12} \text{ cm}^{-2}$.

Hinkle等人^[16]发现在含有Ga元素的III-V半导体材

图1 (网络版彩图)AlGaN/GaN MIS/MOS-HEMT (a)和P-(Al)GaN/AlGaN/GaN HFET (b)增强型器件的结构示意图
Figure 1 (Color online) Device structure for enhancement-mode AlGaN/GaN MIS/MOS-HEMT (a) and P-(Al)GaN/AlGaN/GaN HFET (b).

图2 (网络版彩图)(a) AlGaIn/GaN肖特基二极管和 $\text{Al}_2\text{O}_3/\text{GaN}/\text{AlGaIn}/\text{GaN}$ MIS二极管在不同正向最大栅压扫描条件下的高频 C - V 曲线; (b) $\text{Al}_2\text{O}_3/\text{GaN}/\text{AlGaIn}/\text{GaN}$ MIS-HEMTs和相应HEMTs在不同 $V_{GS,max}$ 的转移特性曲线^[15]

Figure 2 (Color online) (a) High-frequency C - V characteristics of AlGaIn/GaN Schottky and $\text{Al}_2\text{O}_3/\text{GaN}/\text{AlGaIn}/\text{GaN}$ MIS diode with different maximum forward bias; (b) I_D - V_{GS} transfer characteristics of $\text{Al}_2\text{O}_3/\text{GaN}/\text{AlGaIn}/\text{GaN}$ MIS-HEMTs and the corresponding HEMTs (inset) measured with increasing $V_{GS,max}$ ^[15].

料表面, 低晶体质量的含有三价 Ga^{3+} 氧化物的自然氧化层是其表面费米钉扎(Fermi-Level Pinning)的主要原因, 它们会在III-V族MOSFETs产生高密度的界面态(D_{it}). 来自剑桥大学的Robertson^[17]认为GaAs nFETs中oxide/III-V界面的Ga和As悬挂键, 是阻碍费米能级移动的主要因素. 可以推测, 在纤锌矿结构Ga面GaIn中(目前GaIn基功率电子常见材料结构), 自然氧化所导致的表面Ga—O键可能是表面/界面态的来源之一. 另外, 由于高温退火工艺(如欧姆退火)导致的近表面氮空位也是诱发界面态不可忽视的来源之一^[18]. 为了有效降低表面态, 首先必须去除GaIn表面的无定形态自然氧化层, 然后补偿修复N空位, 紧接着淀积一层介质保护被处理过的表面.

鉴于PEALD装置中的远程等离子体(Remote Plasma)表面损伤小的特点, 香港科技大学研发出一种原位低损伤GaIn表面处理技术(Remote Plasma Pretreatment, RPP), 如图3所示. 先采用 NH_3/Ar 远程等离子体去除其表面的自然氧化层, 然后进行 N_2 等离子体处理补偿近表面的N空位, 紧接着淀积一层ALD- Al_2O_3 介质^[10].

X射线光电子能谱(X-ray Photoelectron Spectroscopy, XPS)表征证实 $\text{NH}_3/\text{Ar}/\text{N}_2$ 原位处理不仅能有效去除GaIn表面的Ga—O键, 尤其是充分的氮化处理能防止氧化物栅介质淀积造成的表面再氧化^[10].

值得一提的是, 这种低损伤原位处理技术在ALD- Al_2O_3 和GaIn界面产生了一层近似单晶的氮化插入层

图3 (网络版彩图)ALD淀积 Al_2O_3 前采用 $\text{NH}_3/\text{Ar}/\text{N}_2$ 远程等离子体处理GaIn表面的过程示意图^[10]

Figure 3 (Color online) ALD schematics of $\text{NH}_3/\text{Ar}/\text{N}_2$ RPP and Al_2O_3 deposition ^[10].

NIL (~ 0.7 nm), 如图4所示. 图4(a)显示, 如不经过RPP处理, $\text{Al}_2\text{O}_3/\text{GaN}$ 界面比较粗糙并呈现无定形态. 经过处理后, 界面晶体排布变得有序化, 形成了一薄层AlN, 显著改善了界面特性, 如图4(b)所示.

图5对比了经过和未经NIL界面氮化处理的 Al_2O_3 MIS-HEMTs的直流特性. 若以 $I_D=1 \mu\text{A}/\text{mm}$ 为阈值评判标准, NIL界面氮化技术将器件的回滞(ΔV_{th})从1.5 V降低到0.09 V, 亚阈摆幅(Subthreshold Swing, SS)也有大幅改善, 从199降为64 mV/dec. NIL技术对 $\text{Al}_2\text{O}_3/\text{III-N}$ 界面态的抑制也被高温变频 C - V 表征所证实, 它可将导带下 $E_C-0.3$ — $E_C-0.78$ eV范围内的界面态密度降低到 $2.0 \times 10^{12} \text{ cm}^{-2}/\text{eV}$. 这是目前采用高温 C - V 技术所能探测

图4 未经(a)和经过(b)NH₃/Ar/N₂远程等离子体处理的Al₂O₃/III-N界面TEM截面图^[10]

Figure 4 Cross-sectional TEM micrographs of the Al₂O₃/III-N gate stacks without (a) and with (b) NH₃/Ar/N₂ RPP [10].

到的比较低的界面态水平^[14].

尽管界面氮化插入层技术在降低GaN基功率电子器件界面态取得显著进展,然而相对于Si/SiO₂系统,介质层/III-V界面态密度仍然偏高.同为氧化成键,Si与高温本征氧化层SiO₂间的界面态密度是最低的(10¹¹ cm⁻²/eV),而关于GaN的高质量本征氧化层较难获得.因此需要从GaN材料独特的强极化特性(与Si的最显著区别),以及界面晶体结构等微观结构入手深入探讨GaN基器件界面态起源与调控机制.

2 高压电流坍塌机理与抑制

依靠应变产生的压电极化和III族氮化物本身的自发极化,AlGaIn/GaN异质结界面会诱导出高密度的2DEG,然而同时也带来了不可忽视的表面态.在器件关态(OFF-State)高压偏置下,构成栅极漏电流的电子在栅边缘高场作用下极易隧穿到AlGaIn势垒层的表面态上^[19],直接导致栅漏之间沟道中2DEG的耗尽.然而在器件开启过程中,这些表面态捕获的电子来不及释放,其下面的2DEG无法及时恢复,产生了所谓的电流坍塌效应(也叫DC-RF频散).

为了抑制GaN基功率器件的表面态缓慢放电造成的电流坍塌,目前的主导技术是采用PECVD生长技术在HFETs/MIS-HEMTs表面沉积一层较厚的SiN_x钝化层(~200 nm),以钝化深能级表面态^[20].PECVD-SiN_x钝化技术在GaN基微波功率放大器(Power Amplifier)中非常有效(工作电压低于100 V),然而对于工作电压高于100 V的功率开关器件,在没有复杂场板辅助的情况下PECVD-SiN_x仍无法有效抑制动态电阻的急剧增加^[21].主要原因可能是PECVD中等离子体是直接耦合到GaN样品上会造成不可避免的表面损伤,同时SiN_x与GaN晶格失配较大(~7.9%,如表1所示),直接影响钝化层的晶体质量和缺陷密度,这些界面态和体缺陷在高压下会造成严重的电流坍塌.另外PECVD-SiN_x钝化对侧壁覆盖能力较差,特别是对栅漏边缘高场区域.因此需要研发高压钝化技术,满足GaN基功率电子高压下低动态导通电阻的要求.

图5 (网络版彩图)经过(a)和未经过(b)NH₃/Ar/N₂远程等离子体处理的Al₂O₃ MIS-HEMTs的直流转移和输出特性曲线^[10].器件尺寸: 栅长 L_G /栅宽 W_G /栅漏间距 L_{GD} =2/100/10 μ m

Figure 5 (Color online) DC transfer (left) and output (right) characteristics of Al₂O₃ MIS-HEMTs with (a) and without (b) RPP. Device dimensions: $L_G/W_G/L_{GD}$ =2/100/10 μ m [10].

表 1 Si_3N_4 与AlN钝化介质的基本特性参数**Table 1** Basic parameters of Si_3N_4 and AlN passivation dielectric

钝化介质	Si_3N_4	AlN
禁带宽度 (eV)	5.1	6.2
热导率 (mW/(K m))	1	200
击穿电场 (MV/cm)	3	6
与GaN间晶格失配	-7.9%	-2.4%

2.1 极性PEALD-AlN钝化

同为III族氮化物的AlN材料不仅具有比GaN更高的禁带宽度和击穿电场、更好的热导率,更重要的是它与GaN间的晶格失配低于PECVD- SiN_x /GaN间的失配(如表1所示),因而有可能在GaN基器件表面制备出高质量的钝化层. Hwang等人^[22]和Selvaraj等人^[23]采用分子束外延(Molecular Beam Epitaxy, MBE)和金属有机化学气相沉积(Metal-Organic Chemical Vapor Deposition, MOCVD)方法外延AlN来钝化GaN基器件表面,获得了比较好的电流坍塌抑制能力. 然而这两种技术都是在高于600°C温度下实现,与现有工艺存在兼容性和成本高等问题.

2012年, Huang等人^[24]采用RPP和PEALD沉积技术,在300°C低温下在AlGaIn/GaN异质结构上生长出高质量的AlN薄膜,如图6所示. 得益于RPP的低损伤处理, PEALD-AlN/AlGaIn间呈现出非常明锐的界面,且

图 6 在AlGaIn/GaN异质结上采用PEALD技术生长的10 nm AlN薄膜截面TEM形貌^[24]

Figure 6 High-resolution TEM cross-sectional view of the interface between a 10 nm ALD-AlN and the AlGaIn/GaN HEMT sample ^[24].

接近界面的4 nm AlN具有近似单晶的良好形貌. 由于AlN与AlGaIn间张应力, 厚于4 nm的区域出现局域多晶化倾向, 于是采用4 nm PEALD-AlN来钝化GaN基HEMTs.

在从高压关态到低压开态的转换测量中, 4 nm PEALD-AlN钝化显示出比传统PECVD- SiN_x 钝化优秀的电流坍塌抑制能力^[24], 如图7所示. 在从栅压 $V_{\text{GS}}=-3$ V, $V_{\text{DS}}=200$ V向 $V_{\text{GS}}=0$ V, $V_{\text{DS}}=1$ V转换测量中, PEALD-AlN钝化的电流降低很少, 说明其能有效抑制GaN基功率电子器件在高压下导通电阻的变大.

结合准静态C- f 测试和能带仿真, 发现2 nm PEALD-AlN薄膜能在其(Al)GaN间诱导出高达 3.2×10^{13} e/cm²的正电荷^[25,26], 如图8(a)所示. 这种高密度的正电荷已经接近于AlN (4 nm)/GaN异质结间自发和压电极化电荷总和(6.1×10^{13} e/cm²)^[27]. 由此推测采用低温PEALD技术生长的PEALD-AlN具有极化特性, 它在AlGaIn/GaN异质结构表面诱导产生的高密度正电荷能强烈补偿捕获电子的深能级表面态(如图8(b)所示), 抑制了这些充电表面态对栅漏接入区(Gate-Drain Access Region)沟道中2DEG的耗尽, 防止了高压电流坍塌. 需要指出的是, 接近GaN导带底的浅界面态可能还未被这些极化电荷有效补偿, 但是由于它们充放电时间较短, 对GaN基功率电子器件的动态导通电阻影响较小^[28].

极性PEALD-AlN钝化技术允许一定量界面态的存在, 避开了GaN基器件的界面态处理难题. 为了获得更好的抗湿性和便于植入场板技术(Field Plate), GaN基器件的钝化层厚度一般高于50 nm. 于是采用AlN (接触层)/ SiN_x 复合钝化层结构, 利用较厚的 SiN_x 表面覆盖层保护4 nm厚的PEALD-AlN, 进一步提高了AlN钝化的可靠性^[29]. 基于该复合钝化结构, 在Si基GaN同时研制出600 V耗尽型和增强型GaN功率电子器件^[30,31], 同时在Si基GaN上实现了E/D (增强型/耗尽型)器件单片集成, 如图9所示. 对耗尽型器件, 动态导通电阻(Dynamic R_{ON})经过600 V关态电应力之后仅仅上升了1倍, 对增强型器件更小(如图10所示).

2.2 高温LPCVD- SiN_x 钝化

传统工艺使用PECVD- SiN_x 介质作为GaN表面的钝化层, 但由于其耐高温能力、致密性、元素化学比、元素纯度等方面限制了介质的工艺兼容性和表面保护的有效性, 界面态问题一直没有根本解决. 互补

图 7 (网络版彩图)(a) 未钝化; (b) RPP处理但未钝化; (c) PECVD-Si_x钝化; (d) PEALD-AlN钝化AlGaIn/GaN HEMTs从不同关态漏压(0–200 V)到开态的转换测试^[24]. 器件单次从关态到开态的转换时间为70 ms, 且在关态下漏压从0 V扫描至200 V的时间为46 s

Figure 7 (Color online) Transient output characteristics of AlGaIn/GaN HEMTs with $L_{GD}=5\ \mu\text{m}$. (a) Unpassivated; (b) with RPP but w/o passivation; (c) PECVD-Si_x passivation; (d) PEALD-AlN passivation. The switching from the OFF to the ON state ($V_{GS}=0\ \text{V}$) is a single event with a switching time of 70 ms, and the accumulative OFF-state sweeping time to $V_{DS}=200\ \text{V}$ is 46 s ^[24].

图 8 (网络版彩图)(a) 栅介质为Al₂O₃/AlN (13/2 nm)的AlGaIn/GaN MIS二极管的高频C-V (1–100 kHz)、准静态C-V (1 Hz)和模拟C-V曲线, 扫描方向从负到正; (b) PEALD-AlN钝化AlGaIn/GaN HEMTs中界面电荷分布示意图^[25,26]

Figure 8 (Color online) (a) High-frequency (1–100 kHz), quasi-static (1 Hz), and simulated C-V curves of the MIS diode with Al₂O₃/AlN (13/2 nm) stack as the insulator. The sweeping direction is from negative to positive bias; (b) interface charge distribution in PEALD-AlN-passivated AlGaIn/GaN HEMT ^[25,26].

金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺中LPCVD高温生长(>600°C)的Si_xN_x介质具有致密性好、击穿电压高、热稳定性良好, 尤其是无等离子体表面损伤等特点, 在GaN基功率电子器件的高温钝化中有一定的优势. 实验发现, 在AlGaIn/GaN表面780°C生长的120 nm LPCVD-Si_xN_x

经过欧姆高温退火 (850°C, 50 s) 未出现应力导致的裂纹^[32].

基于以上特点, 将高温LPCVD-Si_xN_x引入到GaN基HEMT器件的一次钝化工艺, 即在所有工艺之前先对AlGaIn/GaN异质结外延片钝化保护, 从而有效防止后期工艺特别是高温退火造成AlGaIn/GaN异质结表面态的

图9 (网络版彩图) Si基GaN上E/D单片集成SiNx/AlGaIn/GaN MIS-HEMTs的结构示意图^[31]

Figure 9 (Color online) Schematic cross section of monolithically integrated E/D-mode SiNx/AlGaIn/GaN MIS-HEMTs ^[31].

图10 (网络版彩图) 600 V E/D-mode SiNx/AlGaIn/GaN MIS-HEMTs的动态导通电阻的变化曲线. 器件尺寸: 栅源间距 $L_{GS}=1\ \mu\text{m}$, 栅宽 W_G /栅长 $L_G=10\ \mu\text{m}/1\ \mu\text{m}$, 栅漏间距 $L_{GD}=15\ \mu\text{m}$ ^[31]

Figure 10 (Color online) Ratio between dynamic R_{ON} and static R_{ON} measured at high-voltage low-speed drain bias switching. Device dimensions are $L_{GS}=1\ \mu\text{m}$, $W_G/L_G=10\ \mu\text{m}/1\ \mu\text{m}$, and $L_{GD}=15\ \mu\text{m}$ ^[31].

增加. 由于300°C低温生长的PECVD-SiNx在高温欧姆退火(>800°C)过程中会开裂, PECVD-SiNx钝化GaN基HEMT的钝化只能在欧姆退火后进行. 于是未被钝化保护的(Al)GaN表面在退火过程中会形成一层大约6 nm厚的氧化层以及相似厚度的N空位层, 如图11(c)所示. 而有LPCVD-SiNx一次的样品, 界面只有不到2 nm的界面氧化层, 证实LPCVD-SiNx能有效防止AlGaIn/GaN异质结表面的工艺沾污、氮空位形成以及再氧化.

图12对比了PECVD-SiNx和LPCVD-SiNx两种钝化AlGaIn/GaN HEMTs的电流坍塌特性. 在瞬态偏置点($V_{GS}=-5\ \text{V}$, $V_{DS}=50\ \text{V}$)的脉冲 I - V 测试条件下, 电流坍

塌从PECVD样品的16.3%降为LPCVD的5.5%, 说明LPCVD-SiNx/AlGaIn界面态要低于PECVD样品, 其中一个主要的可能是界面氧化^[32].

尽管LPCVD-SiNx钝化能防止GaN基功率器件表面的氧化加重, 但其生长系统中缺乏等离子体, 无法实现与PEALD-AlN类似的RPP原位处理, 所以经过湿法处理(如RCA清洗)后AlGaIn/GaN异质结外延片表面面临再氧化的风险, 仍存在一定量的界面态. 因此, 相对于前述PEALD-AlN钝化, 在高于100 V开关电压下, LPCVD-SiNx钝化GaN基功率电子器件仍表现出很大的电流坍塌^[33], 如图13所示.

因此, 研发基于LPCVD-SiNx钝化的原位低损伤表面处理技术, 在SiNx生长之前对(Al)GaN表面进行去氧化层和氮化处理, 是抑制GaN基功率电子器件高压电流坍塌的另一有效方法.

3 增强型技术与缺陷损伤控制

增强型(Enhancement-Mode, 也称Normally-Off)是功率电子器件安全工作的关键要求, 即在高压工作时, 器件即使失去栅控的状态下也是安全的, 不会导致系统的烧毁. 这就要求器件的阈值要在0 V以上. 目前, 国际上围绕GaN基功率电子器件的增强型结构主要有以下4种:

(1) 基于栅槽刻蚀(Gate Recess)技术的MIS-HEMT或Hybrid MOS-HEMT结构^[6,8]. 该技术主要通过减薄AlGaIn势垒层以削弱其极化强度, 从而耗尽栅下的2DEG. 由于栅槽刻蚀不可避免导致较大的栅肖特基接触漏电, 所以一般采用MIS (MOS)-HEMT结构, 该结构不仅能有效抑制栅极漏电, 而且也能提高器件的阈值电压. Sharp公司将AlGaIn势垒层完全刻蚀后形成MOS-HEMT结构, 成功将器件阈值推动到+3 V以上. 刻蚀损伤、可控性和残留物的处理是该技术面临的主要挑战;

(2) P-(Al)GaN盖帽层结构^[9]. 该技术利用P-N结形成的空间电荷区扩展耗尽栅下的2DEG, 该技术能将器件阈值推进到+1.5 V, 但一般不会超过2 V, 主要局限是P-N结的正向开启导致栅极正向漏电增大;

(3) F离子注入技术形成MIS-HEMT结构^[3,4,34]. 该技术通过在AlGaIn势垒层中注入带负电的F离子, 以耗尽沟道中的2DEG, 如图14所示. 结合MIS-HEMT技

图 11 (网络版彩图)PECVD/LPCVD-SiN_x钝化与AlGaIn/GaN HEMTs界面的TEM-EDX元素分布对比。(a)和(f) 截面像;(b)和(g) N;(c)和(h) O;(d)和(i) Al;(e)和(j) Ga^[32]

Figure 11 (Color online) Element distribution of SiN_x/AlGaIn interfaces analyzed by TEM-EDX mapping. PECVD/LPCVD-SiN_x. (a) and (f) Cross-sectional view; (b) and (g) nitrogen; (c) and (h) oxygen; (d) and (i) aluminum; (e) and (j) gallium^[32].

图 12 (网络版彩图)PECVD-SiN_x (a)和LPCVD-SiN_x (b)钝化AlGaIn/GaN HEMTs的电流坍塌特性对比^[32]

Figure 12 (Color online) Pulsed I_D - V_{DS} characteristics of PECVD-SiN_x (a) and LPCVD-SiN_x (b) passivated AlGaIn/GaN HEMTs, measured at different quiescent bias^[32].

术, 该技术也能将阈值推进到+3 V以上. 然而F离子注入深度较难控制, 它在AlGaIn/GaN异质结附近的拖尾可能会造成2DEG输运性能的降低;

(4) 增强型Si-MOSFET与GaIn-HEMT级联结构^[6,8]. 该技术避开了GaIn增强型难点, 采用低压Si-MOSFET实现增强型, 而利用耗尽型GaIn-HEMT实现高耐压, 然后通过键合技术整合成增强型功率电子器件. 然而芯片间的键合封装不可避免会引入寄生电感等, 制约了GaIn基功率电子器件的高频动态性能.

3.1 氟离子注入增强型方法及可靠性

分子动力学模拟证实, 间隙位置是F离子在Al-GaIn/GaN异质结构中比较稳定的位置, 如图15所示.

可以判断, 除非旁边有III族阳离子空位(如Ga空位), F在间隙位置I是比较稳定的. 否则, F就会被束缚在Ga空位附近, 正电子湮灭表征显示即使在600°C高温退火72 h, 这种束缚一直保持, 说明F离子在GaIn基器件中的稳定性良好. 实验证实, 采用F离子注入技术制备的增强型器件在高温和高场应力条件下稳定性良好^[4]. 通过持续光电导方法, 可以探测到F离子在AlGaIn/GaN中的束缚能大概是1.85 eV^[4], 说明F离子的激活能很高, 与固定电荷作用是等效的, 该实验进一步证实了F离子在AlGaIn/GaN中的高温稳定性.

基于F离子注入技术, 在Si基GaIn上研制出阈值电压+3.6 V(线性)、静态饱和输出电流430 mA/mm的SiN_x/AlGaIn/GaN MIS-HEMT器件^[31]. 另外, 通过调整F

图 13 (网络版彩图) LPCVD-SiN_x 钝化与 AlN/SiN_x 钝化 AlGaIn/GaN MIS-HEMTs 的动态导电电阻变化对比. 器件尺寸: 栅长 L_G /栅源间距 L_{GS} /栅漏间距 L_{GD} = 1.5/2/15 μm [33]

Figure 13 (Color online) Dynamic R_{ON} of MIS-HEMTs with LPCVD-SiN_x or AlN/SiN_x passivation measured by slow switching test and pulsed I - V test. Device dimensions: $L_G/L_{GS}/L_{GD}$ = 1.5/2/15 μm [33].

离子注入功率, 对 AlGaIn 注入的同时实现对该势垒层的部分刻蚀 [35], 如图 16 所示. 同样采用 AlN/SiN_x 钝化, 制备出高性能 MIS-HEMT 器件阈值达到 +0.6 V (I_D = 10 $\mu\text{A}/\text{mm}$), 饱和输出电流 730 mA/mm, 击穿电压 703 V (I_D = 1 $\mu\text{A}/\text{mm}$).

图 17 对比了采用 F 离子刻蚀和注入制备的增强型 AlGaIn/GaN MIS-HEMT 的阈值电压从室温到 200°C 的变化曲线, 随着 AlGaIn 势垒层厚度的减薄, 器件的高温阈值漂移 (ΔV_{TH}) 逐渐变小. 这是由于随着厚度降低, 越来越多的栅介质/AlGaIn 界面态进入费米能级以下, 它

们一直保持填充状态, 不会导致阈值漂移. 这样只剩下越来越少的浅界面态, 而且这些浅能级的充放电速度较快, 不容易导致 V_{TH} 的移动 [35]. 另一方面, 由于势垒

图 14 耗尽型(a)和 F 离子注入增强型(b) AlGaIn/GaN HEMTs 的截面和能带变化示意图. 增强型是通过在 AlGaIn 势垒层中注入带负电的 F⁻ 离子实现 [4]

Figure 14 Cross section and the conduction band profiles of standard normally-on (a) and normally-off (b) AlGaIn/GaN HEMTs. The normally-off HEMT features F⁻ ions incorporated in the AlGaIn barrier by plasma ion implantation [4].

图 15 (a) 沿(0001)晶向俯视氟离子在 AlGaIn/GaN 异质结构中的 3 种可能位置; (b) 氟离子从位置 I, S(III) 和 S(V) 移动到最近的间隙位置 I 所克服的势能. Al_{0.25}Ga_{0.75}N 与其下 GaN 晶格匹配, 处于应变状态 [4]

Figure 15 (a) Top view of (0001) GaN with three possible sites that can accommodate fluorine ions; (b) the potential energy profiles from I, S(III) and S(V) sites to their nearest I site of fluorine ion in Al_{0.25}Ga_{0.75}N (open symbols) and GaN (solid symbols). The Al_{0.25}Ga_{0.75}N is strained and lattice matched to GaN [4].

图 16 (网络版彩图)(a) 采用F离子刻蚀和注入制备的增强型AlGaIn/GaN MIS-HEMT的结构示意图; (b) F离子刻蚀和注入前后的栅槽侧扫描形貌对比; (c) F离子刻蚀和注入后栅槽的表面形貌^[35]

Figure 16 (Color online) (a) Cross section of a fabricated E-mode MIS-HEMT; (b) side-wall profile of the gate region after F-implantation (solid line in red) and the outline of gate region before F-implantation; (c) surface morphology of the recessed gate region^[35].

层减薄到只剩下5 nm以下时, 来自栅介质/AlGaIn界面态对2DEG的远程散射越来越严重, 导致沟道迁移率的急剧降低. 因此, 通过优化F注入刻蚀深度, 可以实现增强型和栅沟道迁移率的兼顾.

3.2 低损伤栅槽刻蚀增强型技术

栅槽刻蚀(Gate Recess)是最早用来实现GaN基增强型器件的方法^[36]. 该技术通常采用Cl基等离子体(如

BCl_3 , Cl_2)干法刻蚀方法, 部分或者完全去除栅极区域的AlGaIn势垒层以削弱其极化效应, 然后淀积一层高绝缘栅介质形成MIS或MOS-HEMT结构. 干法刻蚀不可避免会造成AlGaIn表面和势垒层的晶格缺陷, 而且 AlCl_3 和 GaCl_x 等表面刻蚀生成物在常温下解吸速率较慢, 它们的残留可能会导致介质/(Al)GaN界面的更加恶化.

为了降低栅槽刻蚀对AlGaIn势垒层晶格的损伤, 提高刻蚀残留物的原位清洁, 提高栅槽刻蚀温度被证实是一种比较有效的方法^[37]. 图18对比了传统常温和高温刻蚀AlGaIn/GaN异质结构的栅槽形貌, 可以看出高温下栅槽底部形貌变得比较光滑, 其粗糙度从常温刻蚀的2.01降低到0.91 nm, 而且掩膜介质(PECVD- SiO_2)的表面也变得光滑, 这对高压下栅脚边缘尖峰电场的平坦化有利. XPS表征发现, 刻蚀过程中的Cl基刻蚀残留物在高温下得以有效抑制^[37].

基于高温刻蚀和臭氧辅助ALD- Al_2O_3 栅介质技术, 研制出阈值为+1.6 V、脉冲饱和输出电流达到1.13 A/mm的增强型 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MIS-HEMT器件(如图19所示), 而且器件在直流回扫表征条件下回滞较小(漏压1 V时回滞为0.11 V). 基于对栅长44 μm的宽栅HEMT的场效应迁移率分析得出高温刻蚀栅沟道的2DEG迁移率为650 $\text{cm}^2/\text{V s}$, 明显高于常温刻蚀条件下的191 $\text{cm}^2/\text{V s}$, 反映刻蚀缺陷对栅下2DEG的散射效应被削弱, 说明高温刻蚀能降低等离子体对AlGaIn势垒层乃至2DEG输运沟道的缺陷损伤^[38].

图 17 (网络版彩图)(a) 不同势垒层厚度, 以及采用和不采用F离子GaIn MIS-HEMT的阈值电压随温度变化曲线; (b) 2DEG沟道夹断条件下不同厚度势垒层在F注入条件下的能带仿真^[35]

Figure 17 (Color online) (a) T -dependence of threshold voltage of GaN MIS-HEMTs with various barrier thickness and with/without Fluorine F-implantation; (b) simulated band diagram of MIS-HEMT structure in this letter (red) at pinch-off situation, compared with MIS-HEMTs with thicker barrier layer^[35].

图 18 (网络版彩图)常温(20°C) (a)和高温(180°C) (b)栅槽刻蚀的栅槽AFM形貌对比^[37]

Figure 18 (Color online) AFM trench profile of gate window recessed at 20°C (a) and 180°C (b), respectively [37].

图 19 (网络版彩图) $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{AlN}/\text{GaN}$ MIS-HEMTs的直流输出(a)和转移特性曲线(b) (漏压1和10 V)^[37]

Figure 19 (Color online) DC I - V characteristics of normally-off $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{AlN}/\text{GaN}$ MIS-HEMTs. (a) DC output characteristics; (b) DC transfer characteristics measured at $V_{DS}=1$ and 10 V [37].

除了高温刻蚀,研究者同时研发出更低损伤的数字式刻蚀方法^[39,40],通过干法氧化AlGaIn势垒层和湿法腐蚀该氧化层循环进行,每个循环腐蚀的势垒层厚度低于1 nm,因此该技术在降低损伤缺陷的同时能实现刻蚀厚度的精确控制。为了提高该方法的效率,近期也发展了一种ICP (Inductively-Coupled Plasma)快速刻蚀和数字慢速刻蚀相结合的方法^[41]。

与表面钝化类似,栅槽刻蚀型MIS-HEMT同样面临界面态抑制难题。通过提高刻蚀温度和数字刻蚀相结合,能进一步降低刻蚀缺陷。刻蚀之后的损伤修复,以及淀积栅介质之前对刻蚀表面的处理,也是当前研究的热点之一。

4 栅介质可靠性与失效机理

4.1 ALD- Al_2O_3 栅介质技术及可靠性

前述提到,利用原子层沉积(ALD)技术制备 Al_2O_3 是目前GaN基MIS-HEMTs中广泛采用的栅介质。但是研究发现,由于ALD装置中TMA (Trimethylaluminum, Al源)和 H_2O 源的不充分反应,采用热模式ALD生长的 Al_2O_3 介质中有大量的Al-Al和Al-O-H等缺陷^[42],它们被认为是栅氧介质中正固定电荷的来源,正电荷的存在会导致阈值电压的负向移动,阻碍了增强型的形成。近期研究发现,采用活性较强的 O_3 取代 H_2O 作为ALD中的O源,不仅能使TMA能被充分反应,而且能避免

采用等离子O₂源(等离子模式生长)所引入的表面轰击损伤等问题^[43].

图20给出了采用O₃作为氧源制备的15 nm ALD-Al₂O₃栅介质的截面形貌^[43]. 相对于图4中采用H₂O源制备的样品, O₃-Al₂O₃的晶体排布明显改善, 侧面证明O₃与TMA的充分反应. 图21是采用O₃-Al₂O₃栅介质在GaN缓冲层上(AlGaN势垒层过刻蚀)制备的MIS二极管*I-V*特性. 栅介质显示出良好的绝缘性能, 在偏压低于+10 V时漏电保持在 2×10^{-7} A/cm²以下, 介质硬击穿

图20 增强型Ni/Al₂O₃/AlGaN/AlN/GaN MIS-HEMTs栅极的高分辨TEM截面图^[43]

Figure 20 High-resolution TEM of the gate of the normally-off Ni/Al₂O₃/AlGaN/AlN/GaN MIS-HEMTs ^[43].

图21 Ni/Al₂O₃/GaN MIS二极管的*I-V*特性^[43]

Figure 21 *I-V* characterizations of large-area Ni/Al₂O₃/AlGaN/GaN MIS diodes with the AlGaN barrier over recessed ^[43].

电场约为8.5 MV/cm. 根据隧穿模型拟合得出Al₂O₃/GaN导带带阶约为2 eV, 这种高带阶能有效抑制GaN基功率电子器件的正向栅极漏电.

O₃-Al₂O₃也显示出良好的经时绝缘击穿(Time-Dependent dielectric-Breakdown, TDDB)特性. 根据韦伯统计, 在外加电场为5.8 MV/cm时失效时间为9800 s(以63%失效率计算)^[43]. 尽管如此, 由于O₃具有较强的氧化性, 如果直接将O₃-Al₂O₃淀积到(Al)GaN势垒层上, 仍然会导致很高的界面态, 因此发展类似NIL插入层技术是降低基于O₃-Al₂O₃栅介质GaN MIS-HEMT的有效途径之一.

4.2 LPCVD-SiN_x栅介质技术及可靠性

高温LPCVD技术不仅可以用来制备高质量的钝化介质, 也是制备高绝缘氮化物栅介质(如SiN_x)的良好方法^[33,44-47]. 如图22所示, LPCVD-SiN_x与GaN间的导带带阶为2.75 eV, 而且自身的击穿场强达到13 MV/cm^[47], 显著高于PECVD-SiN_x栅介质, 因此LPCVD-SiN_x栅介质适合制备高压GaN基MIS-HEMT器件, 可进一步扩展栅极的安全阈值范围.

基于高频和准静态*C-V*技术, 发现LPCVD-SiN_x与(Al)GaN存在一定的频散效应, 如图23所示^[44]. 这也是LPCVD-SiN_x相对于PEALD-AlN钝化高压电流坍塌严重的主要因素^[33].

基于变温*I-V*表征, 发现在中低偏压范围内, LPC-

图22 (网络版彩图)Ni/LPCVD-SiN_x/GaN MIS二极管的*I-V*特性, 20 nm LPCVD-SiN_x的生长温度为650°C^[47]

Figure 22 (Color online) DC *I-V* characteristics and FN model of large-area large-area Ni/LPCVD-SiN_x/GaN MIS diodes, the growth temperature for the 20 nm LPCVD-SiN_x is 650°C ^[47].

图 23 (网络版彩图)LPCVD-Si_x/AlGaIn/GaN MIS 二极管的高频和准静态C-V特性^[44]

Figure 23 (Color online) f-dependent C-V and G/ω-V characteristics of a LPCVD-Si_x/AlGaIn/GaN MIS diode ^[44].

VD-Si_x 介质漏电是由介质中浅能级辅助的 Poole-Frenkel (PF) 发射电流主导, 而在更高的电压范围, FN 隧穿处于支配作用^[45], 如图 24 所示. 通过 PF 模型拟合得出 LPCVD-Si_x 介质中存在 $E_C=0.27$ eV 的施主型能级, 其物理来源需要进一步研究.

尽管如此, LPCVD-Si_x 栅介质表现出良好的高场 TDDDB 特性, 如图 25 所示. 经韦伯分布统计, 其韦伯斜率 β 值达到 2.4, 说明其 TDDDB 特征时间的一致性较好. 以 10 年寿命为计量标准, 63% 失效率对应可承受栅压是 9.8 V, 进一步证明了 LPCVD-Si_x 介质在 GaN 基功率

图 24 (网络版彩图)室温和 200°C 时 LPCVD-Si_x/AlGaIn/GaN MIS 二极管的正向 I-V 特性及模拟曲线^[45]

Figure 24 (Color online) Comparisons of gate leakage current models with experiment data at room temperature and 200°C. FN tunneling and PF emission components were shown ^[45].

图 25 (网络版彩图)(a) LPCVD-Si_x/AlGaIn/GaN MIS 二极管 TDDDB 特征时间 t_{BD} 随栅压分布; (b) 在较宽的电场应力下, 基于复合 TDDDB 模型的寿命预测(以 63% 失效率计算)^[45]

Figure 25 (Color online) (a) Weibull plot of the electric field-dependent t_{BD} distribution; (b) lifetime prediction of the 63% failure level using combined TDDDB models over a wide range of field ^[45].

电子中的良好长期可靠性. 同时在 100°C 和 200°C 进一步确认了其良好的高温可靠性.

5 结论

本文重点从界面态起源、极化能带工程以及可靠性机理等角度分析了 GaN 基功率电子器件所面临的器件物理挑战. 揭示了 GaN 基 MIS/MOS-HEMT 器件阈值不稳定性的物理机制, 并介绍了采用界面氮化插入层(NIL)方法降低界面态的原理和实验佐证; 分析了由 (Al)GaN 表面态引起的 GaN 基 HEMT 电流坍塌的原因, 并分别介绍采用极性 PEALD-AlN 钝化和高温 LPCVD-Si_x 钝化抑制电流坍塌的成果以及存在的挑战; 揭示了采用 F 离子注入和高温栅槽刻蚀制备 GaN 基增强型器件的形成机制和研究进展, 探讨了进一步提高两种技术可控性和抑制损伤的途径. 最后系统研究了 O₃-Al₂O₃ 和 LPCVD-Si_x 栅介质的电学和热学长期可靠性和失效机理.

本文同时系统分析了国际有关高性能 GaN 功率电子器件研究的最新进展, 探讨如何从极化效应, 界面晶体结构, 以及抑制注入和刻蚀损伤等科学问题角度提高 GaN 基功率电子器件的性能和可靠性.

参考文献

- 1 Ishida M, Ueda T, Tanaka T, et al. GaN on Si technologies for power switching devices. *IEEE Trans Electron Device*, 2013, 60: 3053–3059
- 2 Ambacher O, Smart J, Shealy J R, et al. Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and

- Ga-face AlGaIn/GaN heterostructures. *J Appl Phys*, 1999, 85: 3222–3233
- 3 Chen K J, Zhou C. Enhancement-mode AlGaIn/GaN HEMT and MIS-HEMT technology. *Phys Status Solidi A*, 2011, 208: 434–438
- 4 Chen K J, Yuan L, Wang M J, et al. Physics of fluorine plasma ion implantation for GaN normally-off HEMT technology. In: Proceedings of International Electron Devices Meeting. Washington: IEEE, 2011
- 5 Baliga B J. Gallium nitride devices for power electronic applications. *Semicond Sci Tech*, 2013, 28: 074011
- 6 Nishikawa K. GaN for automotive applications. In: Proceedings of Bipolar/BiCMOS Circuits and Technology Meeting. Bordeaux: IEEE, 2013. 143–150
- 7 Zhou Q, Chen W J, Zhang B. GaN-on-Si power semiconductor technology (in Chinese). *J Power Electron Tech*, 2012, 12: 22–33 [周琦, 陈万军, 张波. 硅基GaN功率半导体技术. 电力电子技术, 2012, 12: 22–33]
- 8 Jones E A, Wang F, Ozpineci B. Application-based review of GaN HFETs. In: Proceedings of Workshop on Wide Bandgap Power Devices and Applications. Knoxville: IEEE, 2014
- 9 Ueda T. Recent advances and future prospects on GaN-based power devices. In: Proceedings of International Power Electronics Conference. Hiroshima: IEEE, 2014
- 10 Chen K J, Yang S, Tang Z, et al. Surface nitridation for improved dielectric/III-nitride interfaces in GaN MIS-HEMTs. *Phys Status Solidi A*, 2015, 212: 1059–1065
- 11 Hashizume T, Ootomo S, Hasegawa H. Suppression of current collapse in insulated gate AlGaIn/GaN heterostructure field-effect transistors using ultrathin Al₂O₃ dielectric. *Appl Phys Lett*, 2003, 83: 2952–2954
- 12 Ye P D, Yang B, Ng K K, et al. GaN metal-oxide-semiconductor high-electron-mobility-transistor with atomic layer deposited Al₂O₃ as gate dielectric. *Appl Phys Lett*, 2005, 86: 063501
- 13 Liu Z H, Ng G I, Arulkumaran S, et al. Temperature-dependent forward gate current transport in atomic-layer-deposited Al₂O₃/AlGaIn/GaN metal-insulator-semiconductor high electron mobility transistor. *Appl Phys Lett*, 2011, 98: 163501
- 14 Yang S, Tang Z, Wong K Y, et al. Mapping of interface traps in high-performance Al₂O₃/AlGaIn/GaN MIS-heterostructures using frequency- and temperature-dependent *C-V* techniques. In: Proceedings of International Electron Devices Meeting. Washington: IEEE, 2013
- 15 Huang S, Yang S, Roberts J, et al. Threshold voltage instability in Al₂O₃/GaN/AlGaIn/GaN metal-insulator-semiconductor high-electron mobility transistors. *Jpn J Appl Phys*, 2011, 50: 110202
- 16 Hinkle C L, Mилоjevic M, Brennan B, et al. Detection of Ga suboxides and their impact on III-V passivation and Fermi-level pinning. *Appl Phys Lett*, 2009, 94: 162101
- 17 Robertson J. Model of interface states at III-V oxide interfaces. *Appl Phys Lett*, 2009, 94: 152104
- 18 Hashizume T, Hasegawa H. Effects of nitrogen deficiency on electronic properties of AlGaIn surfaces subjected to thermal and plasma processes. *Appl Surface Sci*, 2004, 234: 387–394
- 19 Vetry R, Zhang N Q, Keller S, et al. The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs. *IEEE Trans Electron Device*, 2001, 48: 560–566
- 20 Koley G, Tilak V, Eastman L F, et al. Slow transients observed in AlGaIn HFETs: Effects of SiN_x passivation and UV illumination. *IEEE Trans Electron Device*, 2003, 50: 886–893
- 21 Chu R, Corrion A, Chen M, et al. 1200 V normally off GaN-on-Si field-effect transistors with low dynamic on-resistance. *IEEE Electron Device Lett*, 2011, 32: 632–634
- 22 Hwang J, Schaff W J, Green B M, et al. Effects of a molecular beam epitaxy grown AlN passivation layer on AlGaIn/GaN heterojunction field effect transistors. *Solid-State Electron*, 2004, 48: 363–366
- 23 Selvaraj S L, Ito T, Terada Y, et al. AlN/AlGaIn/GaN metal-insulator-semiconductor high-electron-mobility transistor on 4 in. silicon substrate for high breakdown characteristics. *Appl Phys Lett*, 2007, 90: 173506
- 24 Huang S, Jiang Q, Yang S, et al. Effective passivation of AlGaIn/GaN HEMTs by ALD-grown AlN thin film. *IEEE Electron Device Lett*, 2012, 33: 516–518
- 25 Huang S, Jiang Q, Yang S, et al. Mechanism of PEALD-grown AlN passivation for AlGaIn/GaN HEMTs: Compensation of interface traps by polarization charges. *IEEE Electron Device Lett*, 2013, 34: 193–195
- 26 Chen K J, Huang S. AlN passivation by plasma-enhanced atomic layer deposition for GaN-based power switches and power amplifiers. *Semicond Sci Tech*, 2013, 28: 074015
- 27 Cao Y, Jena D. High-mobility window for two-dimensional electron gases at ultrathin AlN/GaN heterojunctions. *Appl Phys Lett*, 2007, 90: 182112
- 28 Tang Z, Huang S, Tang X, et al. Influence of AlN passivation on dynamic on-resistance and electric field distribution in high-voltage AlGaIn/GaN-on-Si HEMTs. *IEEE Trans Electron Device*, 2014, 61: 2785–2792

- 29 Tang Z, Huang S, Jiang Q, et al. High-voltage (600 V) low-leakage low-current-collapse AlGaIn/GaN HEMTs with AlN/SiN_x passivation. *IEEE Electron Device Lett*, 2013, 34: 366–368
- 30 Tang Z, Jiang Q, Lu Y, et al. 600 V normally off SiN_x/AlGaIn/GaN MIS-HEMT with large gate swing and low current collapse. *IEEE Electron Device Lett*, 2013, 34: 1373–1375
- 31 Tang Z, Jiang Q, Huang S, et al. Monolithically integrated 600 V E/D-Mode SiN_x/AlGaIn/GaN MIS-HEMTs and their applications in low-standby-power start-up circuit for switched-mode power supplies. In: *Proceedings of International Electron Devices Meeting*. Washington: IEEE, 2013
- 32 Wang X H, Huang S, Zheng Y K, et al. Robust SiN_x/AlGaIn interface in GaN HEMTs passivated by thick LPCVD-Grown SiN_x layer. *IEEE Electron Device Lett*, 2015, 36: 666–668
- 33 Hua M Y, Lu Y Y, Liu S H, et al. Compatibility of AlN/SiN_x passivation with LPCVD-SiN_x Gate dielectric in GaN-Based MIS-HEMT. *IEEE Electron Device Lett*, 2016, 37: 265–268
- 34 Cai Y, Zhou Y, Lau K M, et al. Control of threshold voltage of AlGaIn/GaN HEMTs by fluoride-based plasma treatment: From depletion mode to enhancement mode. *IEEE Trans Electron Device*, 2006, 53: 2207–2215
- 35 Liu C, Yang S, Liu S, et al. Thermally stable enhancement-mode GaN metal-insulator-semiconductor high-electron-mobility transistor with partially recessed fluorine-implanted barrier. *IEEE Electron Device Lett*, 2015, 36: 318–320
- 36 Saito W, Takada Y, Kuraguchi M, et al. Recessed-gate structure approach toward normally off high-voltage AlGaIn/GaN HEMT for power electronics applications. *IEEE Trans Electron Device*, 2006, 53: 356–362
- 37 Huang S, Jiang Q, Wei K, et al. High-temperature low-damage gate recess technique and ozone-assisted ALD-grown Al₂O₃ gate dielectric for high-performance normally-off GaN MIS-HEMTs. In: *Proceedings of International Electron Devices Meeting*. San Francisco: IEEE, 2014
- 38 Huang S, Liu X Y, Zhang J H, et al. High RF performance enhancement-mode Al₂O₃/AlGaIn/GaN MIS-HEMTs fabricated with high-temperature gate-recess technique. *IEEE Electron Device Lett*, 2015, 36: 754–756
- 39 Wang Y, Wang M, Xie B, et al. High-performance normally-off Al₂O₃/GaN MOSFET using a wet etching-based gate recess technique. *IEEE Electron Device Lett*, 2013, 34: 1370–1372
- 40 Liu S H, Yang S, Tang Z, et al. Al₂O₃/AlN/GaN MOS-channel-HEMTs with an AlN interfacial layer. *IEEE Electron Device Lett*, 2014, 35: 723–725
- 41 Zhou Q, Chen B, Jin Y, et al. High-performance enhancement-mode Al₂O₃/AlGaIn/GaN-on-Si MISFETs with 626 MW/cm² figure of merit. *IEEE Trans Electron Device*, 2014, 62: 776–781
- 42 Shin B, Weber J R, Long R D, et al. Origin and passivation of fixed charge in atomic layer deposited aluminum oxide gate insulators on chemically treated InGaAs substrates. *Appl Phys Lett*, 2010, 96: 152908
- 43 Huang S, Liu X, Wei K, et al. O₃-sourced atomic layer deposition of high quality Al₂O₃ gate dielectric for normally-off GaN metal-insulator-semiconductor high-electron-mobility transistors. *Appl Phys Lett*, 2015, 106: 033507
- 44 Hua M, Liu C, Yang S, et al. GaN-based metal-insulator-semiconductor high-electron-mobility transistors using low-pressure chemical vapor deposition SiN_x as gate dielectric. *IEEE Electron Device Lett*, 2015, 36: 448–450
- 45 Hua M, Liu C, Yang S, et al. Characterization of leakage and reliability of SiN_x gate dielectric by low-pressure chemical vapor deposition for GaN-based MIS-HEMTs. *IEEE Trans Electron Device*, 2015, 62: 3215–3222
- 46 Zhang Z, Yu G, Zhang X, et al. Studies on high-voltage GaN-on-Si MIS-HEMTs using LPCVD Si₃N₄ as gate dielectric and passivation layer. *IEEE Trans Electron Device*, 2016, 63: 731–738
- 47 Liu Z, Huang S, Bao Q, et al. Investigation of the interface between LPCVD-SiN_x gate dielectric and III-nitride for AlGaIn/GaN MIS-HEMTs. *J Vac Sci Tech B*, 2016, 34: 041202

Device physics towards high performance GaN-based power electronics

HUANG Sen¹, YANG Shu², TANG ZhiKai², HUA MengYuan², WANG XinHua¹,
WEI Ke¹, BAO QiLong¹, LIU XinYu¹ & CHEN Jing^{2*}

¹ Key Laboratory of Microelectronic Devices & Integrated Technology, Institute
of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

² Department of Electronic and Computer Engineering, the Hong Kong University of Science
and Technology, Hong Kong 999077, China

Gallium-nitride-based power electronic devices, with the inherent high breakdown voltage, high working frequency, high output current density and high temperature operating capability, are promising candidates for next-generation high-efficiency and compact power management systems. In this work, the scientific and technical challenges towards high-performance GaN power devices, including threshold voltage instability, dynamic ON-resistance degradation, enhancement-mode gate techniques and long-term reliability of gate dielectrics, are investigated based on in-depth analysis of the physical origin of interface states and high-voltage current collapse. Oxidation of (Al) GaN surface are suggested to be the primary cause for the surface/interface states in GaN-based power devices. State-of-the-art device technologies, including nitridation-interfacial-layer to suppress dielectric/(Al) GaN interface oxidation, polarized PEALD-AlN passivation for compensation of deep interface states, E-mode techniques of fluorine plasma ion implantation and high-temperature low-damage gate-recess, high-breakdown-strength LPCVD-SiN_x and O₃-sourced ALD-Al₂O₃ gate dielectrics are introduced for fabrication of high performance and reliability GaN-based power electronic devices.

gallium nitride, power devices, interface states, dynamic ON-resistance, enhancement-mode, gate dielectric, reliability

PACS: 73.40.Qv, 81.05.Ea, 81.65.Rv, 85.30.Tv

doi: [10.1360/SSPMA2016-00220](https://doi.org/10.1360/SSPMA2016-00220)