论 文

基于自热修正的 SOI NMOSFETs 热载流子注入效应寿命预测方法

冯慧, 安霞*, 杨东, 谭斐, 黄良喜, 武唯康, 张兴, 黄如*

北京大学微电子研究所, 北京 100871

* 通信作者. E-mail: anxia@ime.pku.edu.cn, ruhuang@pku.edu.cn

收稿日期: 2013-06-04; 接受日期: 2013-10-28

国家重点基础研究发展计划 (973)(批准号: 2011CBA00601)、国家自然科学基金 (批准号: 60836004, 60806033, 60925015) 和国家科技重大专项 (02 专项) 资助

摘要 自热效应 SHE(self-heating effect) 是 SOI MOSFETs 可靠性研究的关键问题之一. 在热载流子注入 HCI(hot carrier injection) 应力下会导致自热效应加剧, 低估器件工作寿命, 使得寿命预测不准. 本文提出了一种基于直流 HCI 应力下的 $0.18\ \mu\text{m}$ PD-SOI NMOSFETs 可靠性寿命预测方法. 通过栅电阻法提取沟道中因自热效应产生的温度, 采用自热修正后的衬底电流/漏电流比率模型预测 PD-SOI NMOSFETs 在正常工作电压下的寿命值, 预测结果与未消除自热影响预测出的寿命值存在较大差异, 说明自热修正在寿命预测中不可忽略, 否则会低估器件的工作寿命.

关键词 自热效应 热载流子注入效应 热电阻 SOI 寿命预测

1 引言

随着集成电路技术的不断进步, 器件特征尺寸不断减小, CMOS (complementary metal oxide semiconductor) 技术面临着巨大的挑战^[1]. 而 SOI(silicon on insulator) 技术由于具有寄生电容小、集成密度高、可以避免闩锁效应以及良好的电学特性等优点, 成为了超深亚微米工艺中极具潜力的技术. 但是, 由于 SOI 器件存在较厚的隐埋氧化层, 而且其热导率较低 (比硅小两个量级), 导通电流在沟道中产生的焦耳热无法有效散出, 导致器件沟道温度上升, 高于环境温度, 使 SOI 器件存在严重的自热效应^[2].

采用脉冲测试法测试表明自热效应的响应时间较长, 一般在几十纳秒量级, 因此对 SOI 器件输入不同频率的输入信号, 自热效应的影响也会不同^[3]. 在现代半导体技术中, 数字集成电路的输入信号频率通常较高, 在数字集成电路中自热效应的影响较小. 但是, 模拟集成电路由于输入信号的频率较低, 自热效应的影响通常不能忽略. 在直流 HCI(hot carrier injection) 应力条件下自热效应会更加显著, 自热导致的沟道温度上升引起的可靠性问题也会更加严重. 如果不考虑自热的影响, 当由应力电压下得到的寿命值回推到正常工作电压时, 将会过低估计器件的工作寿命, 导致寿命预测不准确. 因此, 我们需要对预测得到的器件寿命进行自热修正.

引用格式: 冯慧, 安霞, 杨东, 等. 基于自热修正的 SOI NMOSFETs 热载流子注入效应寿命预测方法. 中国科学: 信息科学, 2014, 44: 912-919, doi: 10.1360/112013-86

图 1 (a) SOI 器件结构; (b) 版图

Figure 1 (a) SOI device structure; (b) SOI device layout

Maeda 等^[4]曾针对 SOI 器件在体端浮置工作条件下的 HCI 效应寿命预测提出了新的寿命预测方法, 由于体端浮置下无法得到衬底电流 $I_{\text{sub-floating}}$, 模拟验证可以用相同尺寸且体端接地的 SOI 器件的对应值 $I_{\text{sub-gnd}}/I_{\text{d-gnd}}$ 代替 $I_{\text{sub-floating}}/I_{\text{d-floating}}$, 采用衬底/漏电流比率模型预测寿命, 但该预测模型没有考虑自热对寿命的影响. Rouxd 等^[5]利用阿伦尼斯 (Arrhenius) 模型对应力下测得的寿命进行了自热修正, 建立起 Takeda 寿命预测模型, 并用线性外推法预测在正常工作电压下寿命. 然而, Hu 等^[6]特别针对 HCI 效应提出衬底电流/漏电流比率模型, 若考虑其自热修正是否对寿命预测结果有影响, 不仅需要对应力下测得的器件寿命值进行自热修正, 同时还要关注自热对衬底和漏电流的影响. 至今未有人提出基于该模型的 SOI 器件自热修正的寿命预测方法, 因此本文进行了深入的研究.

本文提出了一种基于直流 HCI 应力下的 SOI MOSFET (metal-oxide-semiconductor field-effect transistor) 可靠性寿命预测方法, 通过栅电阻法定量提取因自热效应产生的温度, 利用自热修正后的衬底电流与漏端电流比率模型预测出 SOI MOSFET 在正常工作电压下的可靠性寿命值.

2 实验样品和方法

实验样品为某公司研发的 $0.18\ \mu\text{m}$ 工艺部分耗尽 (PD) SOI 器件, 器件尺寸为 $5/0.18\ \mu\text{m}$, 前栅氧厚度、Si 膜厚度和埋氧化层厚度分别为 4, 300 和 400 nm, 本实验中采用的器件均为 n 型 SOI 器件. 器件的结构图如图 1 所示, 在栅条的两端分别引出接触孔, 通过监控栅电阻的变化提取器件的自热温度.

在栅电阻的监控中, 如图 1 所示偏置在栅两端的电压 V_{gs1} 和 V_{gs2} 基本保持不变 (其中 $V_{\text{gs1}} = V_{\text{gs}} + \Delta V_{\text{gs}}$, $V_{\text{gs2}} = V_{\text{gs}} - \Delta V_{\text{gs}}$, V_{gs} 远大于 ΔV_{gs} , 我们取值 $\Delta V_{\text{gs}} = 10\ \text{mV}$).

图 2 比较了 $5/0.18\ \mu\text{m}$ SOI 器件在 3 种典型 HCI 应力偏置下漏电流的退化. 由图可以看出, 在应力偏置为 $V_{\text{gs}} = V_{\text{ds}} = V_{\text{stress}}$ 下漏电流 ΔI_{d} 退化最为严重, 因此该偏置为该尺寸 HCI 应力偏置的最坏条件. 我们选取线性区最大跨导值 $G_{m_{\text{max}}}$ 随时间的变化量 $\Delta G_{m_{\text{max}}}$ 作为衡量器件特性退化的标准, 并规定 $\Delta G_{m_{\text{max}}}/G_{m_{\text{max}}} = 10\%$ 对应的失效时间为器件在该应力条件下的寿命值.

Hu 等^[6]针对 HCI 效应提出了衬底电流/漏电流比率寿命预测模型, 模型方程式如下:

$$\tau \cdot (I_{\text{d}}/W) \propto A \cdot (I_{\text{sub}}/I_{\text{d}})^m, \quad (1)$$

图 2 不同 HCI 应力偏置条件下漏电流的退化

Figure 2 Drain current degradation versus gate voltage at different bias conditions

其中 τ 为器件在应力 $V_{ds} = V_{stress}$ 下的寿命, W 为器件的沟道宽度, I_d 和 I_{sub} 为该应力条件下的漏电流和衬底电流, 通常取其初始值或平均值 (本实验中取初始值), A , m 为拟合参数, 一般取决于工艺参数. 上述模型是基于漏端电离模型而提出的, 研究表明 [3], 对体硅 CMOS 器件和 SOI 器件而言, HCI 效应的决定性因素均为漏电流和漏端电场的大小. 因此, 在体端接地的情况下, 该模型可直接用于 SOI 器件的寿命预测.

为了将考虑自热效应的寿命预测统一到模型公式 (1) 中, 我们需要分别对 τ , I_d 和 I_{sub} 根据提取的自热温度进行修正, 修正后的衬底电流/漏电流比率寿命预测模型如下:

$$\tau_{non-sh} \cdot (I_{d,non-sh}/W) \propto A' \cdot (I_{sub,non-sh}/I_{d,non-sh})^{m'}, \quad (2)$$

其中 τ_{non-sh} 为去除自热影响后的寿命, $I_{d,non-sh}$, $I_{sub,non-sh}$ 为消除自热影响后的漏电流和衬底电流. W 为器件的沟道宽度, A' , m' 为拟合参数.

3 结果与分析

3.1 基于栅电阻法提取自热温度

对于如图 1 所示的五端 SOI MOSFET 器件, 在栅两端分别引出接触孔, 测试栅电阻时分别接上电压 V_{gs1} 和 V_{gs2} . 为了排除栅上应力电压过大产生的隧穿电流对栅两端检测电流 I_{gs1} 和 I_{gs2} 的影响, 我们在栅两端选取的电压 V_{gs1} 和 V_{gs2} 分别为

$$V_{gs1} = V_{gs} + \Delta V_{gs}, \quad (3)$$

$$V_{gs2} = V_{gs} - \Delta V_{gs}, \quad (4)$$

其中 V_{gs} 为栅上所加的应力偏压 (V_{gs} 远大于 ΔV_{gs}), ΔV_{gs} 分别取 $\Delta V_{gs1}=10$ mV, $\Delta V_{gs2}=20$ mV, 测得栅电流 I_{gs1_i} 和 I_{gs2_i} ($i=1,2$), 假设在不同的 ΔV_{gs} 条件下产生的隧穿电流基本相同, 于是得到在一定的

图 3 栅电阻随环境温度变化曲线

Figure 3 Gate resistance measured for various silicon temperatures

图 4 不同偏置条件下随环境温度变化提取出的自热温度

Figure 4 Self-heating temperature measured for various silicon temperatures at different bias conditions

应力偏压 V_{gs} 条件下所测得的栅电阻为

$$R_g = 4\Delta V_{gs1} / [(I_{gs12} - I_{gs11}) + (I_{gs22} - I_{gs21})]. \quad (5)$$

图 3 给出了基于栅电阻法提取的沟长为 $0.18 \mu\text{m}$ SOI NMOSFET 的栅电阻随环境温度 (实验中为测试台上所加温度) 变化的曲线, 比较了应力偏压为 0, 0.8, 2.6, 2.8, 3.0 V 下因自热效应的不同所导致的栅电阻变化. 在应力偏压很小时, 栅电阻变化很小, 自热效应不明显. 随着应力偏压的增大, 栅电阻变化显著, 自热效应严重.

从图 3 可以看出, 在不同偏置条件下栅电阻与温度成线性关系, 斜率基本相同, 说明在不同的偏置条件下温度变化对栅电阻的影响一致. 定义电阻与温度间的线性变化系数, 以便得到不同应力条件下的自热温度.

当栅漏偏置为零时, 沟道中无电流通路, 随着环境温度变化栅电阻也会变化, 定义电阻温度系数为

$$\alpha = \frac{\Delta R/R}{\Delta T} = \frac{(R_g(T_{\text{high_ref}}) - R_g(T_{\text{ref}}))/R_g(T_{\text{ref}})}{T_{\text{high_ref}} - T_{\text{ref}}} (V_{ds} = V_{gs} = 0), \quad (6)$$

式中, T_{ref} 为参考环境温度, $R_g(T_{\text{ref}})$ 为参考环境温度下测得的栅电阻, $T_{\text{high_ref}}$ 为大于 T_{ref} 的环境温度, $R_g(T_{\text{high_ref}})$ 为在 $T_{\text{high_ref}}$ 下测得的栅电阻.

根据电阻温度系数, 我们可以提取不同应力条件下的自热温度

$$T_{\text{sh}} = \frac{\Delta R/R}{\alpha} = \frac{(R_g(T_{\text{on}}) - R_g(T_{\text{off}}))/R_g(T_{\text{off}})}{\alpha} (V_{ds} = V_{gs} > 0), \quad (7)$$

式中, $R_g(T_{\text{off}}) = R_g(T_{\text{ref}})$ 为在 $V_{ds} = V_{gs} = 0$ 下测得的栅电阻, $R_g(T_{\text{on}})$ 为在 $V_{ds} = V_{gs} > 0$ 下测得的栅电阻.

图 4 给出了在应力偏置为 2.6, 2.8 和 3.0 V 下随环境温度变化提取出的自热温度. 可以看出, 在不同环境温度下, 相同偏置条件下产生的自热温度基本相同, 说明自热温度的大小只与外加应力偏置条件相关, 应力偏置越大, 自热温度也就越大.

图 5 Arrhenius 温度与寿命图

Figure 5 Arrhenius plot with lifetime for 10% of the G_{m_max} Forward shift in $V_g = V_d$ HCI stress versus $1/(k \times T_{channel})$

图 6 应力下自热修正前后的测试寿命值比较

Figure 6 Comparison between lifetime prediction without SH correction and lifetime prediction with SH correction

3.2 应力下测试寿命与电流自热修正模型建立

SOI 器件在应力偏置条件下的自热效应产生自热温度会加速器件的性能退化, 同时也会低估器件在实际应用中的正常工作寿命. HCI 效应造成的器件特性退化用器件寿命 τ 表征, 器件的寿命值以最大跨导值 G_{m_max} 退化 10% 时为器件失效点. 采用加速寿命试验去外推正常工作电压情况下的寿命, 并建立相应的自热修正的寿命模型. 同时考虑到自热效应对器件衬底电流 I_{sub} 和漏电流 I_{ds} 的影响, 也需针对器件衬底电流和漏电流建立相应的自热修正模型.

Arrhenius 模型能够很好地描述器件寿命值与温度间的关系, 如下式所示.

$$\tau = A_0 \exp(E_a/kT), \quad (8)$$

其中 τ 为寿命, E_a 为激活能, k 为波尔兹曼常数, T 为绝对温度, A_0 为系数.

基于公式 (8) 我们可以建立起用于消除自热温度影响的寿命模型如下:

$$\frac{\tau_{non_sh}}{\tau_{sh}} \Rightarrow \tau_{non_sh} = \tau_{sh} \times \exp \left[\frac{E_a}{k} \left(\frac{1}{T_{wafer}} - \frac{1}{T_{channel}} \right) \right], \quad (9)$$

其中 τ_{non_sh} 为去除自热影响后的寿命, τ_{sh} 为存在自热影响的寿命 (即应力下测得的寿命), E_a 为激活能, k 为波尔兹曼常数, T_{wafer} 为环境温度, $T_{channel}$ 为环境温度 T_{wafer} 与提取的自热温度 T_{sh} 之和.

图 5 为在不同的 HCI 应力偏置下 Arrhenius 图, 从图中可以看出, 不同的应力偏压下所得到的激活能都有所不同. 把不同偏压下的 E_a 值和所提取出的自热温度代入公式 (8) 中, 可以得到消除自热温度影响后的器件寿命值 [5]. 图 6 为室温时在应力偏压为 2.6, 2.8 和 3.0 V 下消除自热影响前后的寿命值. 可以看出, 消除自热影响后的寿命明显大于未消除自热影响的寿命值, 基于两种寿命值的差异可以有效地在衬底电流/漏电流比率模型下进行消除自热影响的寿命预测.

图 7 给出了测得的漏电流 I_{ds} 与碰撞电离率 M 随沟道温度变化图, 其中碰撞电离率 M 为衬底电流 I_{sub} 与漏电流 I_{ds} 之比. 从图中可以看出, 随着沟道温度的上升, 沟道中载流子迁移率降低, 导致漏电流 I_{ds} 下降, 同时沟道温度上升也将使得载流子碰撞电离率 M 增大 [7].

如图 7 所示, 在不同的偏置条件下, 温度与漏电流、碰撞电离率分别呈现出线性关系和半对数线性关系, 曲线的线性关系度一致, 于是基于对自热温度的修正的表达式可以表示为如下 [7].

图 7 测得漏电流及碰撞电离率与沟道温度的关系

Figure 7 Drain current and impact ionization rate versus channel temperature

$$I_{d,non_sh} = I_{d,sh} - \beta T_{sh}, \quad (10)$$

$$\log M_{non_sh} = \log M_{sh} - \gamma T_{sh}, \quad (11)$$

式中 I_{d,non_sh} , M_{non_sh} 为消除自热影响后的漏电流和碰撞电离率, $I_{d,sh}$, M_{sh} 为未消除自热影响的漏电流和碰撞电离率, T_{sh} 为提取的自热温度, β , γ 分别为各式系数, 通过图 7 线性关系拟合得到, 数值分别约为 $\beta = -7.80 \times 10^{-6}$ 和 $\gamma = 1.9 \times 10^{-3}$. 通过上述公式, 结合前面提取出的自热温度可以用于漏电流 I_{ds} 和碰撞电离率 M 的自热修正.

3.3 基于自热修正的 HCI 效应寿命预测及比较

对于体接触的 SOI NMOSFET 器件而言, 我们采用自热修正后的衬底电流/漏电流比率模型预测寿命, 模型方程式如下:

$$\tau_{non_sh} \cdot (I_{d,non_sh}/W) \propto A' (I_{sub,non_sh}/I_{d,non_sh})^{m'}. \quad (12)$$

将应力电压为 2.6, 2.8 和 3.0 V 时测得的器件寿命和电流进行自热修正后的值代入 $\tau_{non_sh} \cdot (I_{d,non_sh}/W)$ 和 $I_{sub,non_sh}/I_{d,non_sh}$ 中, 在双对数坐标下进行拟合得到参数 A' , m' 值, 如图 8 所示.

图 8 为室温条件下不同的应力偏置对应的消除自热前后衬底电流/漏电流比率与寿命的关系图. 在得到模型参数 $A' = 10^{-3.486}$, $m' = -3.96$ 的情况下, 将 $V_{gs} = V_{ds} = 1.8$ V 条件下采样得到的衬底电流 $I_{sub}(4.29 \times 10^{-7} \text{ A})$ 和漏电流 $I_d(2.91 \times 10^{-3} \text{ A})$ 进行自热修正, 并将修正后的电流值其代入模型公式中, 预测出器件在 1.8 V 正常工作电压下的寿命值约为 1.71×10^9 s. 同时基于未消除自热修正的衬底电流/漏电流比率模型预测出器件在 1.8 V 电压下的寿命值约为 8.96×10^8 s, 两者寿命有较大差异. 由此可见, 自热效应对器件寿命预测影响很大, 基于自热效应对应力下测试寿命和电流修正在利用衬底电流/漏电流比率模型进行寿命预测中不可忽略, 否则会严重低估器件的正常工作寿命.

4 结论

本文提出了一种基于直流 HCI 应力下的 0.18 μm PD-SOI NMOSFET 可靠性寿命预测方法, 通过栅电阻测试法定量提取出沟道中因自热产生上升的温度, 以最大跨导值退化 10% 作为器件失效判据,

图 8 不同应力条件下消除自热前后衬底电流/漏电流比率与寿命的关系

Figure 8 Lifetime versus impact ionization rate. the rectangle symbol is lifetime with SH contribution. the circle symbol is lifetime removing SH contribution

基于 Arrhenius 模型和观测到的电流与温度间的线性模型消除因自热导致的测试寿命及衬底、漏电流的退化量, 分析并提取衬底电流/漏端电流比率模型参数 A , m 值, 预测出 SOI MOSFET 器件在正常工作电压下的寿命 (以热载流子注入效应单一失效机制而言), 其结果与未消除自热影响预测出的寿命值存在很大的差异, 说明自热修正在寿命预测中不可忽略, 这对超深亚微米工艺 SOI 器件寿命准确预测提供了依据.

参考文献

- 1 Huang R, Wu H M, Kang J F, et al. Challenges of 22 nm and beyond CMOS technology. *Sci China Ser F-Inf Sci*, 2009, 52: 1491–1533
- 2 Sun Z M, Liu L T, Li Z J. Self-heating effect in SOI MOSFETs. In: *Proceedings of 5th International Conference on Solid-State and Integrated Circuit Technology*, Beijing, 1998. 572–574
- 3 Jin W, Fung S K, Liu W D, et al. Self-heating characterization for SOI MOSFET based on AC output conductance. In: *Proceedings of International Electron Devices Meeting*, Washington, 1999. 175–178
- 4 Maeda S, Yamaguchi Y, Kim I J, et al. A method for the prediction of hot-carrier lifetime in floating SOI NMOSFETs. *IEEE Trans Electron Dev*, 1997, 44: 2200–2206
- 5 Roux J M, Federspiel X, Roy D, et al. HCI lifetime correction based on self-heating characterization for SOI technology. *IEEE Trans Device Mat Re*, 2007, 7: 217–224
- 6 Hu C M, Tam S C, Hsu F C, et al. Hot-electron-induced MOSFET degradation—model, monitor, and improvement. *IEEE J Solid-St Circ*, 1985, 32: 297–305
- 7 Su P, Goto K I, Sugii T, et al. Enhanced substrate current in SOI MOSFETs. *IEEE Electr Device L*, 2002, 23: 282–284

Research on HCI lifetime prediction methodology based on self-heating removal for SOI NMOSFETs

FENG Hui, AN Xia*, YANG Dong, TAN Fei, HUANG LiangXi, WU WeiKang, ZHANG Xing
& HUANG Ru*

Institute of Microelectronics, Peking University, Beijing 100871, China

*E-mail: anxia@ime.pku.edu.cn, ruhuang@pku.edu.cn

Abstract Self-heating effect (SHE) is one of the key concerns for the reliability issues of SOI MOSFETs. The unavoidable SHE during HCI test may underestimate the device's performance and lead to the inaccurate lifetime prediction. In this paper, a new method is proposed to accurately predict the lifetime of 0.18 μm PD-SOI NMOS device based on DC HCI stress. The temperature increase (T_{sh}) caused by SHE is quantitatively extracted by gate resistance measurement. Then, the degradation part due to SHE is removed to accurately extrapolate lifetime of PD-SOI NMOSFET device using substrate/drain current ratio model. As a result, the extrapolated lifetime of 0.18 μm SOI NMOS illustrates a significant difference by 63.5% whether considering removal of SHE or not, indicating that the impact of SHE on the reliability issue of SOI device can not be ignored, otherwise leading to the inaccurate lifetime prediction.

Keywords self-heating effect (SHE), hot carrier injection (HCI), thermal resistance, SOI, lifetime prediction

FENG Hui received the B.E. degree in Microelectronics and solid state electronics from Harbin Institute of Technology, Harbin, in 2011. Currently, she is a master student at Peking University. Her research interests mainly focus on reliability of novel MOS devices.

HUANG Ru received the Ph.D. degree in microelectronics from Peking University, Beijing, China, in 1997. She is currently a Professor and the Director of the Institute of Microelectronics, Peking University, Beijing, China. Her research interests include nanoscaled CMOS devices, flash memory devices and new devices for RF and harsh environment applications. She was the General Cochair of the 11th International Conferences on Solid-State and Integrated Circuit Technology (ICSICT), a committee member of IEDM 2010-2011, and a committee member of many other international conferences and symposia.

AN Xia was born in Shandong, China, in 1978. She received the Ph.D. degree in Microelectronics from Peking University, Beijing, China, in 2006. Since then, she has been with the Department of Microelectronics, Peking University, where she is currently an associate Professor. Her research interests mainly focus on nanoscale novel MOS devices, including device physics, simulation and process, and the radiation characteristics of nanoscale MOS devices.