原子晶体非易失存储

刘春森, 周鹏*, 张卫

复旦大学微电子学院, 专用集成电路和系统国家重点实验室, 上海 200433

*联系人, E-mail: pengzhou@fudan.edu.cn

收稿日期: 2016-04-03; 接受日期: 2016-05-26; 网络出版日期: 2016-08-12

国家自然科学基金资助项目(编号: 61376093)

摘要 多功能低功耗芯片中存储、计算与通讯功能各模块的占用面积、数据交换速率等因素已经成为集成电路发展的瓶颈问题. 可满足大数据核内传输速率的未来系统架构中高密度高性能存储技术需具备超低功耗、超小器件尺寸以及快速写入及非易失特性. 未来存储技术包括采用新原理器件例如操控电子跃迁或离子移动代替电子输运、使用新材料以降低热量产生以及新型三维堆叠工艺提高密度. 本综述聚焦于新材料特别是二维原子晶体在非易失存储技术中的应用. 具有高电子迁移率、极限超薄沟道、超低界面态的二维原子晶体新材料因为其本征厚度约0.6–1.2 nm并具有丰富的能带结构为未来存储技术提供了优秀的解决方案, 对器件进一步微缩提高集成度、提高稳定性和扩大应用场景以及开发新型存储器有着巨大潜力, 是解决当今存储器功耗和集成度的崭新途径.

关键词 原子晶体, 二维原子晶体, 非易失存储器, 闪存, 阻变存储器

PACS: 32.90.+a, 51.50.+v, 63.22.Gh, 63.22.Np, 68.37.-d

1 引言

1.1 存储技术在集成电路发展中的困境

集成电路中器件的功耗增加已经成为电子学应用的最大瓶颈. 集成度的提高之所以既能够带来性能的提高又能带来功耗的降低, 是因为晶体管的微缩是按照1974年Dennard提出的等比例缩小原则^[1,2]进行的. 按照等比例缩小原则, 相比于上一代, 晶体管的横向尺寸(W_g, L_g)、晶体管结深、氧化层厚度和电源电压压缩 K^{-1} ($K>1$), 衬底掺杂浓度提高 K 倍, 这会使芯片集成度提高 K^2 倍, 延时减小 K^{-1} , 功耗减小 K^{-2} . 随着集

成电路按摩尔定律快速向前推进, 尺寸缩小带来的器件漏电流增加、静态功耗增大都限制晶体管实际性能提高. 可满足大数据核内传输速率的未来系统架构中高密度高性能存储技术需要具备超低功耗、超小器件尺寸以及快速写入及非易失特性. 然而由于传统体材料间的分界面存在断裂的化学键形成的表面态成为俘获或者释放电子的重要来源, 使器件的性能越来越程度地依赖于材料的表面特性. 具有高电子迁移率、极限超薄沟道、超低界面态的二维原子晶体新材料因为其本征厚度约0.6–1.2 nm并具有丰富的能带结构为未来存储技术提供了优秀的解决方案. 利用

引用格式: 刘春森, 周鹏, 张卫. 原子晶体非易失存储. 中国科学: 物理学 力学 天文学, 2016, 46: 107308
Liu C S, Zhou P, Zhang W. Non-volatile memory based on atomic crystals (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107308, doi: 10.1360/SSPMA2016-00206

传统材料与新兴二维半导体材料结合分别实现电荷式、电阻式非易失存储技术并获得优异性能,是新材料在后摩尔时代获得存储应用的重要技术路径。

1.2 二维原子晶体的兴起

二维原子晶体是一种原子级别的层状晶体材料。二维原子晶体在二维面内存在强有力的化学键键合,而层与层之间则没有化学键的存在,依靠范德华力(The Van der Waals' Force)堆叠在一起。图1(a)和(b)分别是二维原子晶体的层状结构示意图以及单层材料的原子力显微镜图(Atomic Force Microscope, AFM)^[3]。因此二维原子晶体可以依靠机械剥离^[4]的简单方法获得单层的原子级别晶体材料,而且有完美的界面特性(具有原子级的平坦度)。图1(c)和(d)分别是机械剥离

图 1 (网络版彩图)二维原子晶体。(a) 过渡金属二硫化物的层状原子结构图; (b) 单层二维原子晶体的AFM图^[3]; (c) 块状的二维原子晶体; (d) 机械剥离法获得单层的二维原子晶体; (e) 含有二维原子晶体的旋涂液; (f) 通过CVD方法生长的二维原子晶体

Figure 1 (Color online) Two-dimensional atomic crystals. (a) The platelike structure of the two-dimensional materials; (b) the AFM image of a single layer two-dimensional materials^[3]; (c) the bulk crystal of two-dimensional materials; (d) the mechanical exfoliation method; (e) two-dimensional materials solution; (f) two-dimensional materials grown by CVD.

法所用的二维原子晶体的块状体材料和剥离时所采用的胶带。除了机械剥离法,二维原子晶体也可以通过溶液旋涂(图1(e))或者化学气相沉积(Cheical Vapor Deposition, CVD)的方法(图1(f))获得。二维原子晶体是一个完整的材料体系,有导体、半导体和绝缘体,可以用于构建电子器件的各部分。

最早引起人们注意的是2004年由Novoselov^[4]发现的石墨烯(Graphene)。石墨烯既是二维导体材料也是狄拉克半金属^[5],电子能带结构中存在狄拉克锥,能量在动量空间的狄拉克点处是线性变化的,在室温下其迁移率超过 $15000 \text{ cm}^2/\text{Vs}$ ^[6]。而且由于其二维特性,石墨烯的功函数可以通过电学或化学的方法调控^[7-16],从而与其他二维原子晶体形成理想的接触,提供超过 10^9 A/cm^2 的电荷注入^[17,18]。石墨烯原子级的厚度,除了提供尺寸上微缩的优势外,还能最小化线间电容,从而消除线间串扰,图2(c)是基于石墨烯为电极实现的非易失存储器^[19]。石墨烯优异的机械强度^[20]、热传导^[21]、

图 2 (网络版彩图)基于二维原子晶体的电子器件。(a)和(b)分别为以单层MoS₂为沟道的场效应晶体管的光学图片和器件结构图; (c) 非易失存储器; (d) 隧穿场效应晶体管; (e) 光电探测器; (f) 柔性场效应晶体管

Figure 2 (Color online) Electronic devices based on two-dimensional atomic crystals. (a) and (b) The optical and schematic image of the device which uses single layer MoS₂ as channel material; (c) non-volatile memory; (d) tunneling field effect transistors; (e) photodetector; (f) flexible field effect transistors.

透明和柔性特性,更是大大地增加了基于石墨烯为功能材料的电路的应用场景,如光电探测、柔性电路等.

绝缘体二维原子晶体的代表是hBN (Hexagonal Boron Nitride). hBN有6 eV的直接带隙禁带宽度,对应215 nm的吸收光谱,可以用于制备紧凑型激光器^[22]. 其二维特性使hBN可以作为良好的二维电子器件的保护层或者介质层. 2010年Dean等人^[23]分别在氧化硅衬底和hBN衬底上制备了石墨烯电子器件,实验数据表明在以hBN为衬底的电子器件由于提供了原子级的平坦的界面以及没有电子陷阱存在于界面处,石墨烯器件的性能提高了将近1个数量级. 2012年Britnell等人^[24]制备了以hBN为介质层的MIM (Metal-Insulator-Metal) 结构器件,测试hBN的抗击穿能力,发现即使介质层只有原子级的厚度,仍然有很高的击穿电压,仅仅4层(厚度约为1.3 nm)hBN,施加电压达到3 V时才击穿,击穿场强高达23 MV/cm,比氧化硅的电场承受能力强2.3倍. 2015年Ji^[25]将通过化学气相外延(Cheical Vapor Deposition, CVD)生长的hBN (3 nm)和传统的高介电常数材料HfO₂进行对比研究,由于hBN没有电子陷阱和应力引起的漏电问题, hBN电学开启更为稳定.

二维原子晶体的另一大家族是过渡金属二硫化物(Transition Metal Dichalcogenides, TMDCs), 其化学式有MX₂的形式, 其中M代表来自IV (Ti, Zr, Hf等), V (V, Nb, Ta等), VI (Mo, W等)族的过渡金属元素, X代表硫族元素(S, Se, Te). TMDCs有原子级别的层状结构, 层内通式为X-M-X, 原子M和原子X之间有强有力的化学键键合, 层间则依靠范德华力连接, 因此像石墨烯一样可以通过机械剥离的方法获得单层晶体, 且有极好的界面特性. TMDCs有大量的半导体材料, 很多有可观的禁带宽度(1–2 eV), 而且带宽受到材料层数的调控. 如MoS₂从体材料到单层, 禁带宽度从1.2 eV过渡到1.8 eV^[26], MoSe₂则从1.58 eV (单层)过渡到了1.41 eV (体材料)^[27]. 而且这些层状材料在层数减为单层时, 甚至会由间接带隙半导体变为直接带隙半导体, 从而使其可以在光电探测领域应用, 图2(e)便是基于MoS₂和石墨烯的光电探测器^[28]. 如MoS₂^[26], MoSe₂^[27], WS₂^[29], WSe₂^[29]等, 已经在实验上通过角分辨光电子能谱(Angle-Resolved Photoemission Spectroscopy, ARPES)、光致发光(Photoluminescence, PL)等手段证实了这种奇异的特性. 由于TMDCs的二维特性(原子级的平坦度), 即使材料薄至单层, 仍然有

优异的电学性质, 是已知的具有电学性质的最薄的材料. 如MoS₂, 单层电子迁移率超过200 cm²/V s且电流开关比达到10⁸, 关态电流低至10⁻¹³ A, 其优异的输运特性非常适合做逻辑器件, 具有极低的功耗, 图2(a)和(b)是该器件的结构图^[30]. WSe₂则在采用不同的金属接触的情况下, 可以分别实现电子^[31]和空穴^[32]的高迁移率(超过200 cm²/V s), 可用于形成互补逻辑. TMDCs的二维特性, 使二维原子晶体也可以用于其他新型电子器件的制造, 如隧穿晶体管(Tunneling Field Effect Transistor, TFET)和隧穿二极管^[33,34]. 2015年Sarkar等人^[33]以MoS₂作为沟道材料构建了一个垂直结构的隧穿晶体管, 结构示意图如图2(d)所示, 124.4 mV的栅压变化使沟道电流提升了4个数量级(平均亚阈值摆幅: 31.1 mV/dec), 这一值远低于基于热电子注入的场效应晶体管的理论极限值: 60 mV/dec. 2016年Nourbakhsh等人^[34]用WSe₂和MoS₂构建了异质结隧穿二极管, 观测到了显著的微分负阻现象, 证明了基于二维原子晶体的异质结电子隧穿的可能性. 2013年Chang等人^[35]以MoS₂为沟道材料在柔性衬底上构建的场效应晶体管在应力下仍不影响其性能, 图2(f)为器件结构示意图.

二维原子晶体在电子器件中的成功应用, 证明了其在电子器件纵向尺寸微缩、低功耗和广阔的应用场景上有巨大的潜力.

1.3 原子晶体给存储器带来的新方向

存储器(Memory)在现代集成电路中有着重要的地位. 逻辑芯片的工作能力强烈地依赖存储器的性能, 单比特擦/写皮焦功耗、4F²器件尺寸以及操作时间1 ns内及非易失特性是未来系统架构中对存储技术提出的技术需求. 同时, 随着单位面积散热、核内数据传输速率的需求随摩尔定律延展不断接近现有架构物理极限, 后摩尔的晶体管技术和存储技术变得越来越重要. 二维原子晶体的优异电学性质, 为存储器的出路指出了新的方向. 二维原子晶体原子级平坦的表面, 天然地适合存储器技术需求. 同时二维原子晶体原子级的尺寸可以在微缩上提供无限的可能, 最大限度地减少线间串扰等问题. 利用二维原子晶体实现阻变存储及利用原子晶体半导体新材料作为沟道实现电荷存储被认为是可能的未来后摩尔存储技术. 2013年Choi等人^[36]分别用MoS₂, hBN, 石墨烯作为沟道材料、隧穿层和电荷俘获层, 构建了一个闪存(Flash), 同

年, Bertolazzi等人^[19]用石墨烯作为电极, MoS_2 作为沟道, 多层石墨烯作为电荷俘获层构建了闪存, 证明了构建基于纯二维原子晶体的闪存的可能性以及其带来的优越性. Chai等人^[37]将碳纳米管(Carbon NanoTube, CNT)和无定形碳(a-C)结合, 构建了CNT/a-C/CNT交叉点阵结构的阻变存储器(Resistive Random Access Memory, RRAM), 交叉点面积仅有 $1.2\text{ nm} \times 1.2\text{ nm}$, 证明了原子晶体在存储器微缩上的无限可能.

二维原子晶体从2004年石墨烯发轫^[4], 一直到今天, 前人的无数工作探索证明了其优异的电学性质以及在各种电子器件上的应用潜力.

其中将二维原子晶体应用到非易失存储技术中越来越受到研究人员的重视, 本文对基于原子晶体在存储器上的应用进行综述, 探索后摩尔时代可满足未来系统架构核内数据存储与传输的候选存储技术.

2 闪存

2.1 闪存的现状

随着移动设备、可穿戴设备和物联网的兴起, 预计可移动设备、固态硬盘(Solid State Disk, SSD)等新兴设备将占据闪存(NAND Flash)份额的63%. 新兴设备的快速迭代发展, 对闪存的集成度和功耗提出了新的挑战. 存储单元间的串扰问题(Cell-to-Cell Interference), GIDL (Gate Induced Drain Leakage)和DIBL (Drain Induced Barrier Lowering)引起的载流子热注入干扰, 介质持续微缩的困难(k 值越高, 禁带越窄)等问题, 以及器件漏电引起的功耗问题成了制造高性能闪存的核心问题. 通过采用低阻栅金属、Air-gap和DPT/QPT (Double Patterning Technology, Quadruple Patterning Technology)等技术, 闪存如今已经走到了 1 y nm 技术节点. 在 1 y nm 的极限技术节点上, 单个存储单元俘获的电荷数量已经接近个位数了, 依靠如此少的电荷实现“0”态和“1”态的翻转, 使器件对寄生的电荷陷阱极其敏感. 为满足人们对新兴设备日益增长的需求, 迫切地需要新的技术和材料来实现低功耗高集成度的闪存.

闪存集成电路中器件的功耗增加已经成为其发展的上限瓶颈. 为了解决这一问题, 许多解决方案被提出了, 主要集中在改善结构和采用新材料上. 如3D VNAND技术, 不在 X 和 Y 方向上进行微缩, 而是在 Z 方

向上进行堆叠, 用三维的堆叠工艺取代传统的平面工艺; 或是采用新的高迁移率沟道材料; 又或是利用二维原子晶体原子级超薄沟道和原子级平坦表面来提高栅控制能力降低功耗和减小表面电荷陷阱提升稳定性. 其中二维原子晶体由于其具有原子级别的厚度的同时仍有着优异的电学性质, 引起学术界和产业界极大的研究兴趣.

闪存的基本单元是一个基于金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)的变体, 在栅介质层中插入一层重掺杂的多晶硅则变为浮栅闪存(Floating-Gate Flash Memory, FG), 插入绝缘的氮化硅则变为电荷俘获闪存(Charge-Trap Flash Memory, CT), 结构如图3(a)所示. 图3(b)–(d)分别对应了擦除/写入操作前后的转移特性曲线、横向剖面能带图、纵向剖面能带图. 通过施加正的栅电压, 使电子从沟道通过隧穿或者热电子注入等方式进入电荷俘获层(写入操作), 俘获层俘获的电子使器件阈值电压正向漂移, 从而改变器件工作状态. 施加负的栅电压, 电荷则从俘获层隧穿返回沟道(擦除操作), 器件恢复到初始状态. 基于二维原子晶体的闪存主要集中在用二维原子晶体替代沟道、俘获层、电

图3 (网络版彩图)闪存的工作原理(红色代表俘获了电荷). (a) 闪存的结构; (b) 浮栅存储电荷前后阈值的漂移; (c) 器件横向沟道能带结构; (d) 器件纵向能带结构

Figure 3 (Color online) The mechanism of Flash Memory (the state of trapping charges is indicated by red color). (a) The schematic structure of Flash; (b) the threshold shift of Flash after charging/discharging; (c) the lateral band structure of the device; (d) the vertical band structure of the device.

极这3个方向. 二维原子晶体作为沟道, 超薄的沟道和原子级平坦的表面提高了栅控能力, 减小DIBL和GIDL产生的漏电功耗问题; 高的态密度和易于调控的能带结构, 使二维原子晶体作为俘获层可以提高俘获效率, 同时原子级别的厚度减小了器件单元之间的串扰; 作为电极(主要是石墨烯), 其和二维原子晶体间天然的欧姆接触, 可通过掺杂减小方块电阻, 线间串扰极小, 成熟的硅片级生长刻蚀等优点, 使石墨烯作为电极有极大的应用潜力. 二维原子晶体优良的机械强度、透明性、柔性, 也大大的扩展了基于二维原子晶体的存储器的应用场景, 如可穿戴便携设备等.

2.2 二维原子晶体对器件性能的提升

二维原子晶体石墨烯有许多独特的性质, 如材料的二维特性、可以机械剥离获得单层^[4]、超高的机械强度^[20]、良好的热导率和透明度^[21]、具有狄拉克费米子^[5]、室温下有超高的迁移率^[6]、微米尺度下可以观测到弹道输运^[38]、功函数可以通过化学和电学的方法调制等^[7-11,13,15,16,39]. 由于石墨烯在室温下有很高的迁移率, 高达 $15000\text{ cm}^2/\text{V s}$ ^[6], 最初曾被用作沟道材料. 石墨烯作为沟道, 其本身电子态密度很高, 而且单层 $\approx 0.4\text{ nm}$ ^[6], 这使沟道可以在栅电压下感应出大量电荷, 从而增加隧穿几率. 2011年Zhan等人^[40]以石墨烯为沟道材料, 构建了镍的纳米晶颗粒闪存, 在写入脉冲作用下, 器件的阈值漂移达 23.1 V , 远大于工业上要求的 1.5 V . 通过选择恰当的金属栅材料, 阈值漂移甚至是可控的, 如Lee等人^[41]以单层石墨烯为沟道, $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 为功能层, 采用镍(功函数: 4.2 eV)为栅电极时, 相比于低功函数的钛(功函数: 3.3 eV)电极, 其阈值漂移增大了 4.6 V . 然而本征的石墨烯禁带为零, 使基于石墨烯的晶体管的开关比极低, 只有个位数^[42-49]. 为了提高石墨烯的带隙, 人们投入了大量精力进行研究, 发现通过电学调制^[8,9,13,39]、化学掺杂^[7,10-12,15,16]、降低维度^[10,14,50]和引入应力^[51,52]等方法, 能打开带隙(仅能产生几百毫电子伏特), 同时可以调制功函数、改变方块电阻等. 由于石墨烯带隙的原因, 将其用于闪存的沟道, 难以关断, 功耗是一个严重的问题.

相比于用于沟道, 石墨烯用于俘获层是一个更好的选择. 相比于传统的金属材料, 石墨烯是惰性的, 不会像金属原子一样迁移从而有器件稳定性的困扰. 现代集成电路产业中, 浮栅存储器(Floating-Gate Flash

Memory, FG)的写入和擦除电压大约 20 V , 就是因为使用的重掺杂多晶硅浮栅层的态密度过低, 使功耗较高. 用石墨烯作为浮栅层, 超薄特性提高了栅控能力, 大的功函数形成较深的势阱, 大的态密度提供足够的俘获陷阱. 2011年Hong等人^[53]用 $\text{SiO}_2/\text{Graphene}/\text{Al}_2\text{O}_3$ 作为存储器功能层, 在 $\pm 7\text{ V}$ 的读写/擦除电压下, 有 6 V 的窗口, 石墨烯和隧穿层二氧化硅形成深达 3.65 eV 的势阱, 使在写入操作 10^5 s 后, 正向漂移的阈值仅仅减小了 0.25 V , 相对于 6 V 的窗口, 线性拟合预示10年后仅仅损失8%的电荷. Mishra等人^[54]则用 $\text{SiO}_2/\text{rGO}/\text{Al}_2\text{O}_3$ (部分还原的氧化石墨烯, (Reduced Graphene Oxide, rGO)), 同样证明了可观的窗口(9.4 V , $\pm 20\text{ V}$), 同时还测试了高温下信息的存储能力, 150°C 下, 线性拟合表明10年后, 窗口仍有 2.8 V , 这预示着其在严苛环境中应用的潜力. 更为鼓舞人心的是rGO可以通过化学掺杂的方法调控功函数^[16,55], 从而调控存储器的阈值电压, 这对于总是以相同基础单元构成阵列来工作的存储器来说, 是极为重要的. 2014年Han等人^[55]使用 AuCl_3 溶液对rGO进行处理, 处理前后, 紫外光电子能谱(Ultraviolet Photoelectron Spectroscopy, UPS)表明rGO费米能级变化达 0.6 eV , 使存储器窗口可控程度分别达到 2.4 V (p型沟道材料)和 2.1 V (n型沟道材料). 除了在窗口上的优势, 俘获层中存在一层rGO, 还能对器件的保持特性有很大的帮助. Han等人^[56]在2012年还曾做了一组对照实验, 用基于纳米金颗粒的闪存, 其中一个器件在俘获层中除了纳米金颗粒, 还插入了一层rGO, 实验结果表明没有rGO的器件, 在写入 10^5 s 后, 漂移的阈值电压衰减了一半, 而有rGO层的器件则几乎没有衰减. 仅仅增加一层原子级厚度的rGO, 并不会带来栅介质层厚度的增加, 相比于其它通过增加隧穿层和栅控制层的方法, 这并不会带来额外的功耗.

二维原子晶体的另一大家族: 过渡金属二硫化物, 除了有石墨烯一样的二维特性, 有更为多样和可控的带隙, 从体材料到单层, 带隙逐渐增大并且出现由间接带隙到直接带隙的突变的奇异性^[26,27,29,57], 使其在电子器件领域成为有力的潜在候选材料, 近年来也引起了越来越多的关注. 2011年Radisavljevic等人^[30]用单层 MoS_2 作为沟道制备的顶栅场效应晶体管表现出了极为杰出的电学特性, 尤其是在覆盖了高介电常数材料 HfO_2 后, 室温下电子迁移率超过 $200\text{ cm}^2/\text{V s}$, 晶体管电流开关比高达 10^8 , 随后Das等人^[58]采用改善接触电

阻的方法(采用钪, Scandium), 其迁移率更是被证明高达 $700 \text{ cm}^2/\text{V s}$. 随后对 MoS_2 性质的研究表明, 这是一种十分适合作为电子器件的材料. 有极高的机械强度, 有效杨氏模量 ($270 \pm 100 \text{ GPa}$), 强度相当于钢铁^[59], 有极好的柔性, 基于 MoS_2 的柔性晶体管在弯曲曲率半径达 0.75 mm 时, 仍能正常工作^[60]; 可以支持极高的电流密度, 相当于铜的50倍^[61]. 将这一材料用于闪存的制造, 可以预见其对器件的性能将有显著的提升. Zhang 等人^[62]将 MoS_2 用于电荷俘获存储器的制造, 用高介电常数材料 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 作为存储器功能层, 制备了双栅的电荷俘获存储器, 将 MoS_2 和高介电常数材料结合, 最大化提升器件性能, 存储器窗口达到 20 V , 同时可用背栅对沟道材料进行电学调控, 使其窗口可在 $15.6\text{--}21 \text{ V}$ 之间调控.

2.3 全二维体系的新型闪存

随着越来越多的二维原子晶体受到人们的关注, 在制备存储器上, 也具有更多的材料可供选择, 全二维原子晶体体系的存储技术也进入了研究范围. 石墨烯是狄拉克半金属^[5], 可以和其他二维原子晶体形成理想的接触, 提供超过 10^9 A/cm^2 的电流密度^[18], 同时二者都是二维原子晶体, 表面没有悬挂键, 可以最大地压制界面态和界面陷阱的产生. 石墨烯和TMDCs有很高的电子态密度, 表面惰性, 不发生原子迁移, 适合作为俘获层材料. hBN则是杰出绝缘材料的代表, 有 6 eV 的宽禁带^[22], 击穿场强高达 23 MV/cm ^[24], 二维弹性模量 $200\text{--}500 \text{ N/m}$ ^[63], 作为介质层对二维原子晶体器件性能提升显著^[23]. 而且这些二维原子晶体大多都可以通过 CVD 的方法大面积合成^[63–69]. Bertolazzi 等人^[19]用石墨烯作为源漏电极, MoS_2 作为沟道材料, 多层石墨烯作为俘获层, 采用 HfO_2 作为隧穿层和栅控制层介质材料, 图4(a)和(b)分别是闪存的制备流程和结构示意图, 与传统闪存相比, 垂直方向上减小了两层的厚度, 而且开态/关态电流比值达 10^4 , 如图4(c)所示. 相邻存储单元间的耦合会导致器件阈值产生漂移^[70], 而用超薄的石墨烯作为俘获层, 可以最小化单元间的电容耦合, 单层石墨烯作为电极, 则最小化电极间、电极和浮栅层间的耦合. 同时依靠 MoS_2 的优异电学性能, 器件的写入态和擦除态的比值达到了 10^4 , 这对于只要态与态之间相差有1个数量级就能够工作的存储器来说, 这单一一个浮栅晶体管就可以存储2比特(4个态)的信息, 信

图4 (网络版彩图)全二维体系的闪存. (a)–(c)分别为 Bertolazzi 等人^[19]构建的闪存的制备流程、器件结构和信息保持能力测试; (d)和(e)分别为 Choi 等人^[36]构建的闪存的器件结构和保持能力测试

Figure 4 (Color online) Two-dimensional Flash Memory. (a)–(c) The fabrication process, device structure and retention ability measurement of Flash built by Bertolazzi, respectively^[19]; (d), (e) the device structure and retention ability measurement of Flash built by Choi, respectively^[36].

息存储能力提高了4倍. Choi 等人^[36]在2012年, 分别用 MoS_2 , hBN 和石墨烯作为沟道材料、隧穿层和俘获层, 结构如图4(d)所示, hBN 良好的介质特性使器件无论是在写入还是擦除, 持续 1400 s 的沟道电流监控, 几乎没有衰减, 图4(e)所示.

2.4 基于二维原子晶体闪存的机理

对于传统的三层介质层作为存储器功能层的结构, 电荷在介质层的空间分布对器件的擦写速度和信息保持能力都有着重要的影响. 尽管可以通过电学测试, 结合恰当的模型来获得电荷在介质层垂直方向上的分布, 但是这只能获得有效电荷的分布, 空间分布精度也不够, 同时测量环境和测量参数设定都对测量结果影响较大. 2013年 Yao 等人^[71]采用原位电子全息技术对 $\text{SiO}_2/\text{HfO}_2/\text{Al}_2\text{O}_3$ 介质层电荷的空间分布进行了详细地研究, 在施加正的栅压下, 电子在 HfO_2 和 Al_2O_3 的界面处集聚, 正电荷则在 SiO_2 和 HfO_2 的界面集聚, 同

时观测表明电荷最先在晶界处出现. 对于全二维原子晶体体系, Choi等人^[36]巧妙地设计了一组对照实验, 采用同一片石墨烯和hBN做了两个器件, 其中一个器件插入了MoS₂作为俘获层, 测试表明, 有MoS₂俘获层存在20 V的窗口, 而没有俘获层的器件, 则正扫回扫的曲线完全重合. 更进一步地, 分别以MoS₂, hBN和石墨烯作为沟道、隧穿层和俘获层, 其中俘获层石墨烯外接电极, 在石墨烯接地的情况下, 原先15 V的窗口也消失了. 这充分说明了电荷是存储在俘获层中的, 而不是被界面处的界面态或水分子俘获, 这些非可控态产生的窗口按指数衰减.

然而在实际的器件制备过程中, 由于二维材料易受掺杂的特性^[8,55,72], 使其表面常常有其他分子吸附, 从而产生不可控的界面态, 使器件存在回滞^[73-76], 从而导致闪存出现过擦除现象^[77]. 对于将二维材料用于闪存制备, 需要对其界面特性有更多的深入研究.

2.5 新型闪存结构

二维原子晶体的易于掺杂和调控的独特特性, 使基于它的闪存可以有更加新颖的结构. Chen等人^[78]利用MoS₂易于受到化学掺杂^[72]的特性, 采用反应离子刻蚀(Reactive Ion Etching, RIE)对沟道进行轻微刻蚀处理, 在表面掺杂的同时使表面卷曲产生纳米尺度的翘层, 形成电荷俘获点, 图5(a)是其器件结构图, 控制不同的写入脉冲, 图5(b)验证了单个晶体管可以存储3比特(8个态)的信息, 进一步的研究表明, 减小RIE处理的面积, 可以提高写入速度. 仅仅通过RIE处理, 普通的场效应晶体管实现了多值非易失存储器的功能, 极大地简化了器件制备工艺流程. Yu等人^[79]以碳纳米线为沟道, Al₂O₃为栅介质, 用氧气处理过的石墨烯为顶栅电极, 同样具有非易失存储器性能. 将二维原子晶体和铁电材料相结合, 也可以实现闪存的工作模式, 制造工艺上也相对简单. 铁电材料存在自发极化电场, 当

图5 (网络版彩图)闪存新结构. (a)和(b)分别为Chen等人^[78]构建的器件结构和多值存储能力的验证; (c)和(d)分别是Lee等人^[80]制备的铁电存储器的结构和信息保持能力测试; (e)和(f)分别是Lee等人^[81]所制备器件的结构图和电压操作模式的验证

Figure 5 (Color online) New structures of Flash Memory. (a) and (b) The device structure fabricated by Chen and demonstration of multibit data storage, respectively^[78]; (c), (d) the device structure and retention ability measurement of ferroelectric memory built by Lee, respectively^[80]; (e), (f) the device structure fabricated by Lee and demonstration of voltage operation mode, respectively^[81].

施加在铁电材料上面的电压超过矫顽场, 自发极化电场会产生翻转, 极化电场使沟道材料费米能级移动, 不同的极化电场方向对应着沟道分别处于开启或关断两个态, 二维原子晶体超薄的特性使铁电材料形成的极化电场作用效果好, 可以获得更大的开态、关态电流比. 2012年Lee等人^[80]分别用单层和双层MoS₂作为沟道, 用铁电材料P(VDF-TrFE) (Polymer Poly(Vinylidene fluoride-Trifluoroethylene), 聚合物聚(偏氟乙烯-三氟乙烯))作为栅介质, 图5(c)对应为其器件结构图, 由于MoS₂高的迁移率和费米能级易于调控的特点, 开态和关态电流比达到了 5×10^3 , 且在写入或擦除后的1000 s内, 电流几乎没有衰减, 图5(d)是以单层和双层MoS₂为沟道的信息存储能力的检验. 2015年Lee等人^[81]基于黑磷为沟道(Black Phosphorus, BP)制备了P型的存储器, 用MoS₂为沟道制备了N型存储器, 并将二者串联, 构建了一个反相器结构的存储器(图5(e)), 将通过读取电流信号(模拟)转换为读取电压信号(数字). 与传统的三层介质层相比, 基于铁电材料的存储器结构和制造工艺更加简单, 存储信息的保持能力更好, 但是动态特性不够理想. 图5(f)是器件电压操作模式的验证.

2.6 新材料带来的器件的柔性特征

考虑到硅基电路固有的材料性质限制, 以及移动显示器/通讯设备/计算设备等产品需求的上涨. 采用具有透明性和一定机械强度的替代材料来制造柔性电路是解决这一矛盾的关键. 二维原子晶体优异的机械强度和具有柔性透明的特点, 将其和柔性衬底结合, 则可以制造出柔性的闪存, 满足于可穿戴设备等需要柔性透明电子器件的信息存储要求. 2012年Han等人^[56]以柔性材料PET (Poly(Ethylene Terephthalate), 聚对苯二甲酸乙二醇酯)为衬底, 纳米金颗粒和rGO为俘获层, Al₂O₃为栅控制层, 构建的浮栅存储器, 将器件重复弯曲至曲率半径为15 mm, 器件阈值没有显著变化. Kim等人^[82]以石墨烯为沟道, 柔性材料聚萘二甲酸乙二醇酯(Polyethylene Naphthalate, PEN)为衬底, Al₂O₃/HfO_x/Al₂O₃为功能层, 柔性测试表明器件抗压应力的能力强于抗拉应力的能力, 测试曲率半径小至5 mm. Yu等人^[79]基于CNT和氧气处理过的石墨烯栅电极, 同样进行了柔性测试, 弯曲测试次数达到 10^3 , 器件仍能正常工作. 然而就实际而论, 闪存结构中层数过

多, 并不适合应用于柔性电路, 以上这些有益的探索所表现出的性能也并不尽如人意. 对于柔性电路, 根植于CMOS (Complementary Metal Oxide Semiconductor) 交叉结构, 最小面积为 $4F^2$, 功耗可达到单比特皮焦量级的结构更为简单的阻变存储器是更好的选择.

3 阻变存储器

3.1 阻变存储器的现状

随着集成电路的快速发展, 众多新兴设备的兴起, 对存储器的功耗和集成度提出了挑战, 未来信息社会迫切需要低功耗高性能的存储器. 闪存作为非易失存储器的主流代表, 工作寿命、读写速度、高的擦写电压和难以继续微缩等问题, 使研究人员开始寻求其替代技术. 相比于NAND闪存, 阻变存储器在功耗和集成度上都有优势. 早在1970年Chua等人^[83]就提出了阻变存储器的概念, 但是直到2000年左右才得到广泛的研究.

阻变存储器的典型结构是MIM, 如图6(a)和(c)所示, M代表金属或者其他导电的非金属材料, I代表绝缘体, 常用的中间的功能层材料有MgO, TiO_x, ZrO_x, HfO_x, VO_x, NbO_x, TaO_x, CrO_x, MoO_x, WO_x, MnO_x, FeO_x, CoO_x, NiO_x, CuO_x, ZnO_x, AlO_x, GaO_x, SiO_x, SiO_xN_y, GeO_x, SnO₂, BiO_x, SbO_x等^[84]. 图6(b)和(d)是器件的输出特性曲线, 当器件处于高阻态(OFF)时, 向器件端口施加电压, 电压值超过一定阈值时, 器件变为低阻态(ON), 这一过程称为set. 当器件处于低阻态时(通常会限流), 施加一定的reset电压, 可以使器件重新回到高阻态, 这一过程称为reset. 读取器件状态时, 在两端口施加一小的电压(不影响器件状态)进行读取. 进一步的结构还有如图6(e)所示的对称性结构, 可以实现图6(f)中的有一定开启阈值的互补输出曲线, 可以解决由于漏电流导致的读取错误问题^[85]. 不同的材料体系, 阻变存储器的机理不同, 通常是物理效应和化学效应的结合. 在set的过程中, 端口电压在介质层中引起击穿, 产生导电通路(为了降低功耗, 电路通常限流, 使通路很细小), 从而使器件由高阻态切换到低阻态, 进行reset过程时, 器件低阻产生大量的焦耳热, 使导电通路发生断裂, 器件重新回到高阻态, 如以氧空位为主导机理的器件, 在一定温度下, 氧空位的浓度是分布几乎是固定的^[86]. 其他的模型还有: 电子陷阱模型(Charge-Trap Model)^[87],

图 6 (网络版彩图)阻变存储器的工作模式^[85]. (a)和(b)分别为上电极为活性金属的阻变存储器的结构图和 I - V 特性曲线; (c)和(d)分别为下电极为活性金属的阻变存储器的结构图和 I - V 特性曲线; (e)和(f)分别为互补阻变存储器的结构图和 I - V 特性曲线

Figure 6 (Color online) The operation modes of resistive random access memory ^[85]. (a), (b) The device structure and output characteristics of the resistive random memory which using active metal as top electrode material, respectively; (c), (d) the device structure and output characteristics of the resistive random memory which using active metal as bottom electrode material, respectively; (e), (f) the device structure and output characteristics of the complementary resistive random memory, respectively.

基于电子俘获改变势垒高度; 绝缘体-金属体转变模型(Insulator-Metal Transition, IMT)^[88,89], 电子注入导致的类似掺杂的效应, 使绝缘体向金属态转变; 基于材料铁电性的模型^[90], 认为极化电场的方向会影响隧穿电流从而影响阻值.

阻变存储器是两端器件, 相比于闪存的写入/擦除与读取分离的三端操作模式, 阻变存储器只有两个端口, 采用十字阵列(Crosspoint)结构可以显著提高集成度降低制造成本. 由于二者工作机理上的区别, 闪存写入/擦除时间是微秒量级, 写入擦除电压也高达20 V

左右, 而阻变存储器的翻转时间是纳秒量级, 工作电压也可低至1 V, 这使阻变存储器在功耗上也有着显著优势. 然而随着尺寸的微缩, 阻变存储器也同样面临一系列问题. 传统体材料在微缩到一定尺度时, 其界面的不平整性和缺陷, 将显著影响到器件性能, 噪声问题越来越显著, 使器件变得更加不可控. 当前国际上基于氧化物体材料的阻变存储技术在机理研究、性能提高、参数工艺等方面已取得了较大进展, Hynix, HP, Samsung, Sharp, Micron等主要存储器制造商也分别部署了产业化技术发展项目. 然而, 本征性的通道不稳定、参数飘散及选通管选择问题仍然制约着体材料阻变存储在各种应用领域的展开. 基于二维原子晶体的阻变存储是后摩尔的新型二维半导体电路集成的创新技术, 由于其单原子层的物理本质, 对体材料阻变存储遭遇的壁障具有天然免疫性. 电子跃迁或者离子移动被限制在二维原子晶体氧化物与电极界面, 控制了通道的体内随机产生. 面对阻变存储器在小尺寸上遇到的稳定性等瓶颈问题, 原子晶体在小尺寸上仍然保持原子级别的平整度以及没有悬挂键产生电荷陷阱等问题, 提供了原子级平坦界面的解决方案, 因此出现了将二维原子晶体和阻变存储器结合的研究.

3.2 二维原子晶体在阻变存储器中的应用

为了解决小尺寸下MIM结构中绝缘体表面平坦度的问题, 研究人员采用GO (Graphene Oxide)来替代绝缘层. 2009年He等人^[91]构建了Cu/GO/Pt的MIM结构的阻变存储器, 器件表现出了相当低的set (高阻态翻转到低阻态)/reset (低阻态翻转到高阻态)电压, set电压约0.7 V, reset电压低至-0.5 V, set或reset后, 在长达 10^4 s的时间内, 器件阻值相当稳定, 研究人员认为是Cu电极和GO界面处的羟基、羧基等基团的迁移, 导致了GO中 sp^3 键(高阻)和 sp^2 键(低阻)的转换, 从而实现高阻态和低阻态的切换. Jeong等人^[92]用金属Al作为上下电极, GO作为中间介质层, 同样观察到了阻变存储器特性, 器件阻值在 5×10^4 s的监控时间里保持稳定, 但是器件的窗口在反复set/reset中并不是很稳定, 同时研究人员对器件进行了柔性测试, 器件反复弯曲1000次仍正常工作, 弯曲曲率半径直到小至8 mm, 器件失效. Jeong等人通过透射电子显微镜(Transmission Electron Microscopy, TEM)和本征X射线光电子能谱(*In situ* X-ray Photoemission Spectroscopy,

XPS)测试,表明器件的工作机理是顶电极界面处GO的氧化还原反应,随着金属Al的淀积,XPS显示碳氧键峰的强度逐渐减小,表明金属Al和GO发生了还原反应,氧原子从GO中转移到了Al处,GO中的 sp^2 键增多, sp^3 键减少,变成rGO低阻态,随后的TEM测试,也观察到了GO层厚度的变化,器件在set的过程中,氧原子则被重新注入GO层,形成GO高阻态. Hong等人^[93]研究了不同厚度的GO对器件可靠性的影响,当厚度太薄时,会影响器件的可靠性. 2011年Wang等人^[94]同样制备了Al/GO/ITO (Indium-Tin Oxide, ITO)的结构,在测试set/reset时间时,发现set在脉冲时间低于 10^{-4} s时就失效了,而reset则在 10^{-7} s才失效,具有不对称性,依据氧原子迁移模型,认为是低阻状态下,氧离子在Al电极处富集,使界面势垒升高,因此对应set的脉冲时间需要较长. 除了单纯采用二维原子晶体作为介质层,也有研究人员将好几种材料叠层作为介质层,以期改善器件性能. Liu等人^[95]将GO用聚(N-乙烯基咪唑) (Poly (N-Vinylcarbazole), PVK)处理,获得GO-PVK,用于构建Al/GO-PVK/ITO结构的阻变存储器,用PVK代替氧化铝的作用,实现氧离子在GO和PVK之间的迁移,改变GO的阻值,器件在set/reset 10^8 个周期后,仍然正常工作. 2011年, Cui等人^[96]用4-mercapto-benzenediazonium对rGO进行处理,之后在上面吸附一层纳米金颗粒,形成AuNPs-frGO,将其用于介质层,获得了 10^2 的窗口. Kim等人^[97]则用 $Pr_{0.7}Ca_{0.3}MnO_3$ (PCMO)和GO组成叠层,金属Pt作为上下电极,利用PCMO和GO之间氧离子的迁移实现器件低阻态和高阻态的转换, set/reset电压均小于1 V, 器件在85°C的环境下阻态在长达 10^4 s里保持不变. Yin等人^[98]类似地,利用 MoS_2 /GO作为介质层, MoS_2 相对于GO导电性更好,在一定的外加电压下有利于GO中氧离子的迁移,从而降低set/reset电压.

尽管基于GO为介质层的阻变存储器已经在各种金属电极上得到了实现,如: Cu, Al, Pt, Au, Pd, Cd, TiN, TaN, ITO^[98]. 然而普遍存在着set/reset电压过高,器件工作电流过大,窗口小等问题,将GO作为主要介质层很难实现低功耗的目标,作为辅助介质也许是更好的选择. 2013年Chang等人^[99]构建了Pt/Zr:SiO_x/C:SiO_x/TiN, 相比于Pt/Zr:SiO_x/SiO₂/TiN, 这种叠层结构有更好的性能和更高的稳定性,这是因为在溅射的过程中在C:SiO_x层中生成了GO, 电子从Zr:SiO_x层中形成的导电细丝进入C:SiO_x层后,沿着碳环跃迁前进. 除了

Pt/Zr:SiO_x/SiO₂/TiN结构中的导电细丝机制, 还需考虑GO吸附氧离子后跃迁距离的变化产生的阻值变化,因此Pt/Zr:SiO_x/C:SiO_x/TiN结构有更大的窗口和更低的功耗. Chang等人还进一步做了变温测试,拟合出了器件处于开态和关态对应的碳环跃迁距离,分别为0.324和0.468 nm,正是这种跃迁距离上的差别带来了性能上的提升.

除了将GO作为中间介质层,利用rGO作为电极,在功耗上更具有优势,也是一大研究方向. 2010年Liu等人^[100]将GO在低温下(100°C)肼溶液(Hydrazine Solution)中进行还原反应,制备了方块电阻极低的rGO ($\approx 160\text{--}500\ \Omega/\text{sq}$),相比于常规的化学还原反应制得的rGO ($\approx 0.5\ \text{M}\Omega/\text{sq}$)有更小的方块电阻和更高的碳含量,同时证明这种方法具有饱和性,当GO太厚时,内部的GO并不能得到还原. 将其用于构建rGO/P3HT:PCBM/Al阻变存储器,窗口达 10^6 , 关态电流低至 10^{-10} A, 小的暗电流和大的窗口,使器件具有低功耗,高阻态和低阻态不容易误读从而增加器件可靠性等优点. 同一年,他们^[101]的研究进一步揭示了rGO方块电阻对rGO作为电极的阻变存储器性能的影响,数据如表1所示,随着rGO方块电阻的下降,器件的set/reset电压减小,关态电流下降,低至 5.7×10^{-10} A, 开态电流上升,对应开态/关态电流比上升了1个数量级. 也有研究人员用 MoS_2 -PVP (Poly Vinyl Pyrrolidone)作为介质层, rGO作为上电极材料,利用 MoS_2 中的电子陷阱俘获和释放电荷,获得了两个数量级的窗口^[102].

3.3 引入二维原子晶体对阻变存储器性能的提升

石墨烯作为最早兴起的二维原子晶体,优异的热学性质^[21,103]、机械强度^[20,103]和电学性质^[6,18,103],在阻变存储器中也有着独特的应用,使器件具有柔性透明的特点. 2010年Son等人^[104]以有机物聚甲基丙烯酸甲酯(Poly (Methyl Methacrylate), PMMA)为绝缘介质,结

表1 不同方块电阻的rGO作为电极材料^[101]

Table 1 The effect of different sheet resistance of rGO as electrode [101]

方块电阻 (k Ω /sq)	切换电压 (V)	关态电流 (A)	开态电流 (A)	电流比
~ 10.0	1.2	5.1×10^{-9}	6.2×10^{-5}	1.2×10^4
~ 2.4	0.9	2.8×10^{-9}	7.3×10^{-5}	2.2×10^4
~ 0.3	0.5	5.7×10^{-10}	2.2×10^{-4}	4×10^5

合石墨烯构建了Al/PMMA/Graphene/PMMA/ITO垂直结构的阻变存储器, 器件表现出了极其出色的电学性能, 关态电流低至 10^{-11} A, 器件窗口超过 10^6 , 在set/reset后 10^5 s内监控沟道电流, 没有显著衰减, 有极好的信息保持能力, set/reset 15万次后, 器件依旧稳定, 在进行了柔性测试之后, 性能稳定依旧. Son等人认为导电机理是电极Al在PMMA中形成导电细丝, 使器件处于低阻态, 焦耳热熔断导电细丝, 则器件回到高阻态, 而中间层的仅有2 nm的石墨烯对形成稳定的导电细丝起到了重要作用. 石墨烯和PMMA中存在的电荷陷阱俘获来自电极注入的电子, 这些被俘获的电子在PMMA中产生内部电场, 使导电细丝得以形成. 然而PMMA中的陷阱俘获的电子很容易就被发射到未被占据的低能态的分子轨道(Lowest Unoccupied Molecular Orbital, LUMO), 而且PMMA中的陷阱沿能量是指数分布的, 意味着PMMA陷阱俘获的电子在很小的能量扰动下就会被发射到LUMO, 从而不能形成足够强度的内部电场. 而石墨烯中稳定的电子陷阱能提供强大的内部电场来促使导电细丝的形成. 器件处于低阻态时表现出的欧姆接触特性, 也侧面验证了PMMA内部形成了低

阻态的导电细丝. 石墨烯在阻变存储器中作为电极材料也具有杰出的应用前景. 2011年Ji等人^[105]制备了 8×8 十字阵列排布的MLG/PI:PCBM/Al/PET (多层石墨烯, (Multilayer Graphene, MLG))阻变存储器, 用到的MLG的方块电阻 $\approx 270 \Omega/\text{sq}$, 透光率高达92%. 该器件同样表现出了极低的关态电流(10^{-12} A), 大的窗口(10^6). 同时Ji等人对器件进行了较为系统的柔性测试, 分别弯曲至曲率半径为9, 6.3, 5.2, 4.2 mm, 进行信息保持能力测试, 监控到的器件电流在 10^4 s内没有显著变化, 还将器件反复弯曲 10^4 次至曲率半径分别为12.7, 7.53, 5.55, 4.88 mm, 器件电流同样没有显著变化. 出色的电学性质以及在承受应力下仍没有衰减, 证明了基于石墨烯为电极的阻变存储器在柔性环境中具有极大的应用潜力. 2013年Yang等人^[106]设计了对照组实验来探究石墨烯作为电极在阻变存储器中所起到的作用, 两组器件分别是ITO/ZnO/ITO和ITO/Graphene/ZnO/ITO结构(各96个器件), 图7(a)的透光性测试表明石墨烯几乎完全透明. 两组器件分别在真空、氮气、大气、氧气(氧气含量逐渐递增)氛围中进行了测试, 图7(b)是有无石墨烯对器件产率影响的对比, 图7(c)和(d)则是有无石

图7 (网络版彩图) 石墨烯对阻变存储器稳定性的改善^[106]. (a) 添加一层石墨烯对器件光吸收的影响; (b) 各种环境下石墨烯对器件产率的提高; (c) 和 (d) 分别为各种环境下无/有石墨烯器件的阻值

Figure 7 (Color online) The stability improvement of resistive random access memory induced by graphene^[106]. (a) The transmittance effect induced by graphene; (b) the impact on device yield induced by graphene in different environments; (c), (d) the resistive states of the devices with/without graphene, respectively.

石墨烯对器件阻值稳定性影响的对比. 测试结果表明, 随着氧气含量的增加, ITO/ZnO/ITO器件的高阻态阻值逐渐增加, 变化量达1个数量级, 而ITO/Graphene/ZnO/ITO的高阻态则相对稳定. 同时在各种气氛中(除氮气气氛, 二者产率相同), ITO/Graphene/ZnO/ITO器件的set/reset成功的产率均高于ITO/ZnO/ITO器件, 说明有石墨烯的电极, 使器件可靠性提高了, 器件高阻态在各种环境中的稳定性也更高. Yang等人研究认为, 在ITO和ZnO的界面处存在的缺陷会吸附大气中的氧, 从而使器件稳定性降低, set/reset的产率不高, 而且界面处存在的氧离子, 会提高界面处的势垒高度, 影响高阻态, 施加负电压reset后, 界面处的氧离子被驱逐出去了, 所以对低阻态影响不大, 而石墨烯的存在, 可以钝化表面, 从而提高器件可靠性.

除了基于碳的材料, 其他的二维原子晶体在阻变存储器中也有应用. 2014年Xu等人^[107]用MoS₂纳米球作为中介介质层, rGO, ITO分别作为上下电极, 扫描电子显微镜(Scanning Electron Microscope, SEM)显示纳米球直径约100 nm, 纳米球中周期性的势垒, 势垒高度在极化前后会产生变化, 从而具有低阻态和高阻态的切换. 2016年Hao等人^[108]用黑磷作为介质层, 采用Al和ITO作为上下电极, 黑磷优异的电学性质使器件开关比达 3×10^5 , 在一定应力下也如常工作, 而且由于有氧化铝介质层在黑磷表面形成的保护层, 使原本极易氧化的黑磷, 在3个月后, 仍具有阻变性能. 同年Qian等人^[109]以hBN为介质层, 分别构建了Ag/hBN/ITO/PET和Au/hBN/Cu/PET, 在一定应力下具有阻变性能, 透射电镜下看到了金属离子在hBN中的迁移, 从而导致了阻变现象.

3.4 二维原子晶体带来的新结构

随着材料众多的新特性被发现, 原子晶体在阻变存储器中的应用也出现了一些新的结构、新的方向, 如采用全碳结构, 利用CNT纳米级的尺度实现器件的微缩等.

考虑到石墨烯、GO、rGO等碳材料的出色特性, 有研究者进行了全碳电路的尝试. 2013年Liu等人^[110]仅仅采用rGO一种材料, 构建了垂直结构的阻变存储器. Liu等人将GO在1000°C的高温下进行退火处理, 获得了高度还原的rGO (hrGO), 将GO在相对低温的环境中进行退火处理后进行适当的光辐照处理,

获得了还原度较低的rGO (lrGO), 用两种rGO构建了hrGO/lrGO/hrGO结构的阻变存储器. 器件表现了单极性的阻变存储器特性, 器件窗口也有 10^2 , 并且在弯曲半径达5 mm的情况下进行了1000次的柔性测试, 器件仍然正常工作. 然而在测试器件保持能力时, 电流在监控开始的瞬间有1个数量级的衰减, 而且器件不能够reset, 一旦被set到低阻态后, 并不能回到高阻态, 只能用于一次写入多次读取(Write-Once-Read-Many-Times, WORM). 为了探索原子晶体在实现阻变存储器的微缩上的潜在可能, Chai等人^[37,111]采用碳纳米管作为阻变存储器的电极(直径1.2 nm). 首先, Yang等人制备了(Ag)Au/a-C/CNT结构的器件, 表现出了对称的特性, 分析电学性质可以看出, 器件在高阻态时电流受限于陷阱控制的空间电荷分布, 低阻态则是活性金属形成的金属细丝. 随后采用惰性金属Pd, 构建Pd/a-C/CNT结构的器件, 则表现出了单极性特征, 高阻态时a-C中sp³键占主导, 低阻态时sp²键占主导, sp³和sp²的转换往往涉及很高的能量和金属催化. 在十字阵列垂直结构的阻变存储器中, 相邻存储单元有处于低阻态的器件, 则会有漏电流, 影响器件状态的正确读取, 通常为了解决这一问题需要添加选择电路^[112], 降低集成度. 若采用互补结构的阻变存储器^[85], 则可以解决这一问题. Yang等人用Au/a-C/CNT/a-C/Au结构实现了互补的阻变性能, 证明了基于CNT的阻变存储器可以通过互补的方式提高集成度. 最后为了验证阻变存储器在集成度上可以走到何种程度, 构建了CNT/a-C/CNT, 每个十字阵列交点仅有1.2 nm×1.2 nm, 然而并没有出现阻变特性. 而且器件产率低以及仅仅成功操作27次后就失效, 使CNT阻变存储器走向真正的应用还需要做出很多改善. Sun等人^[113]也构建了CNT/GO/CNT器件, 有 10^5 的窗口, 然而set之后并不能成功reset.

有研究人员在研究石墨烯场效应晶体管的性质时, 发现简单的石墨烯背栅晶体管也具有某种阻变特性, 随后有研究人员对其进行了详细地研究. 2008年Standley等人^[114]在对石墨烯背栅器件施加电压时, 开始时电路随电压的增加缓慢增加, 当施加电压达到一定阈值时, 电流突然急剧增加, 电压继续增加, 电流又突然降低, 图8(b)为其电学测试图. 在整个过程中, 器件出现了高阻态和低阻态两个不同的状态, 有好几百的开关比, 而且是非易失的, 电压撤除后阻态能够保持. 在实际测试中, 室温下撤除电压时间 > 24 h, 器件

图 8 (网络版彩图)基于石墨烯的新型阻变存储器. (a), (b) Standley等人^[114]发现的具有阻变特性的石墨烯背栅晶体管; (c), (d) Yao等人^[115]利用本征TEM对其阻变机理的解释; (e), (f) Yao等人^[116]制备的垂直结构的石墨烯阻变存储器以及其柔性测试

Figure 8 (Color online) New structures of resistive random access memory based on graphene. (a), (b) The graphene field effect transistors with resistive memory features ^[114]; (c), (d) the mechanism of the resistive graphene field effect transistors, which is demonstrated by *in situ* TEM ^[115]; (e), (f) the structure and demonstration of flexibility of vertical structure graphene resistive memory ^[116].

电阻没有衰减,反复擦写 10^5 次,器件仍正常工作.扫描电子显微镜显示器件击穿后,在沟道的中间有一条断开的纳米级的缝隙. Standley等人进一步分析了器件的机理,可能的机理之一是介质层的击穿,在介质层中形成了导电通道从而使器件由低阻态进入高阻态,然而这一过程因为是不可逆的,与器件的反复擦写能力不符.详细分析后, Standley等人认为是石墨烯沟道中间有纳米级的断口,在外加电压的作用下形成细小的导电碳链,从而导致器件由高阻态进入低阻态,进一步增加电压导致焦耳热烧断了碳链,器件回到高阻态,图8(a)为其机理示意图. 2011年Yao等人^[115]用本征透射电子显微镜(*In Situ* Transmission Electron Microscopy)对这种现象的机理进行了深入研究,并提出了不同的结论,图8(c)为其研究时采用的器件结构示意图.实验

采用a-C作为沟道, SiO_x 背栅介质,在外加电压下观测到了相同的阻变现象.借助TEM,可以看到器件电击穿后a-C层的断裂(≈ 15 nm),同时 SiO_x 层出现了不同于金刚石结构的Si晶体,证明了是氧化还原反应产生的Si晶体形成了导电细丝,如图8(d)所示.随后, Yao等人^[116]将这一阻变原理用于制造Graphene/ SiO_x /ITO结构的阻变存储器,器件有超过 10^4 的窗口,在set/reset后长达 10^5 s的测试时间内,监控的电流没有衰减,表现出了超强的信息存储能力.同时还制备了Graphene/ SiO_x /Graphene用于柔性环境的应用^[116],反复弯曲(曲率半径 ≈ 1.2 cm)300次,器件窗口仍然稳定在 10^4 (如图8(e)和(f)所示).这一实验有力地揭示了基于石墨烯为电极的阻变存储器在柔性透明环境中的应用潜力.

之前的研究已经表明原子晶体并不适合单独作为传统阻变存储器中的MIM结构中的介质层,然而在新结构中,二维原子晶体作为核心介质层却有着独特的优势. 2015年Sangwan等人^[117]采用惰性金属金作为源漏电极,以单层 MoS_2 作为沟道制备了背栅晶体管.不同于之前Radisavljevic等人^[30]制备的 MoS_2 晶体管, Sangwan等人制备的晶体管沟道材料具有晶界,器件表现出了阻变特性.为了分析阻变特性产生的机理, Sangwan等人对3种晶界类型进行了测试,分别是交连晶界(晶界只连接到一端电极)、桥连晶界(晶界平行沟道,将源漏电极连通)和对分晶界(晶界垂直沟道方向,与源漏电极都没有交点),图9(a), (c)和(e)分别为3种晶界器件结构示意图,图9(b), (d)和(f)则为对应的输出特性曲线.交连晶界晶体管有最好的阻变特性,器件初始时处于高阻态,随着施加的沟道电压增加,在7 V时电流急剧上升,在电压降回到0 V时,器件仍处于低阻态,0 V时阻值比 $\approx 10^3$,电压朝负方向扫描时,可以使器件回到高阻态.桥连晶界晶体管则在set后有非常明显的微分负阻现象,而且没有稳定的两个阻态,导电通路形成前,在栅调控下电流变化比有 5×10^4 ,而导电通路形成后仅有2.对分晶界晶体管有阻变现象,也有微分负阻现象,然而阻变现象没有交连型强,微分负阻现象则不如桥连型明显.由于之前已经有研究人员利用TEM观察到了位错在单层 WS_2 中的迁移^[118], Sangwan等人初步分析是掺杂物沿晶界的迁移导致了这一现象的出现,采用静电力显微镜(Electrostatic Force Microscopy, EFM)和空间分辨光致发光光谱(Spatially Resolved Photoluminescence, SRPL)进行验证. EFM观

图9 (网络版彩图)基于 MoS_2 的新型阻变存储器^[117]. (a)和(b)分别为交连晶界晶体管的器件结构示意图和 I - V 特性曲线; (c)和(d)分别为桥连晶界晶体管的器件结构示意图和 I - V 特性曲线; (e)和(f)分别为对分晶界晶体管的器件结构示意图和 I - V 特性曲线; (g)桥连晶界晶体管的AFM相位图和光致发光强度图。

Figure 9 (Color online) New structure of resistive random access memory based on MoS_2 ^[117]. (a), (b) The schematic structure and output characteristics of an intersecting-GB memristor, respectively; (c), (d) the schematic structure and output characteristics of a bridge-GB memristor, respectively; (e), (f) the schematic structure and output characteristics of a bisecting-GB memristor, respectively; (g) AFM phase image and spatial mapping of the area under the PL excitonic peaks.

测表明对分晶界晶体管在晶界处有最大的电势降落, 说明晶界处决定了器件的电阻状态. 之前有研究表明 MoS_2 晶界处有硫空位堆积^[119], 而硫空位处的悬挂键应该会导致电子迁移加速, 因此通过控制硫空位的迁移应该可以调控电阻. 实验表明只有用缺硫方法生长的 MoS_2 有阻变现象, SRPL也显示在晶界处硫空位浓度更高, 如图9(g)所示. 在外加电压下, 硫空位沿着晶界方向移动, 形成导电细丝, 导电细丝形成后焦耳热导致硫空位向四周扩散, 最终导电细丝断裂, 器件回到高阻态.

致谢 感谢严啸在写文章时予以的支持和帮助.

4 总结

为了满足未来系统架构中对存储器高速、低功耗、高密度和更加多样化的应用场景需求, 二维原子晶体由于具有在电学性质上、机械强度和透明度上的优势以及原子级别厚度和完美界面特性, 使其在新一代存储技术中引起了广泛兴趣. 利用高密度二维原子晶体电荷存储技术可以在垂直尺度实现单原子层厚度, 实现单个存储单元面积 $1.2 \text{ nm} \times 1.2 \text{ nm}$ ^[37,111]. 原子晶体非易失存储技术在物联网中的柔性透明存储具有广阔的应用前景. 基于二维原子晶体的电子器件在弯曲至曲率半径为 0.75 mm 时保持存储特性^[60], 对透光性仅有2%的影响^[106], 弯曲测试可达千次以上^[79,92,110]. 同时, 二维原子晶体无悬挂键惰性表面可使得存储器更加稳定^[106], 适用于各种恶劣环境. 基于原子晶体的非挥发存储技术在原有晶体管技术基础上衍生出了新的结构和应用. 利用反应离子刻蚀对场效应晶体管的沟道进行处理, 可以使原有的沟道层同时还兼具有俘获层的功能实现电荷存储^[78]. 不同条件下生长的二维原子晶体产生的可调控晶界可以实现可调控阻变存储技术^[117], 并且不同的晶界在特性上可以进一步优化提高.

然而由于二维原子晶体易受大气环境的影响, 因受到掺杂而使电学性质变化, 而且这一掺杂并不稳定^[32,73-76]. 当前的工艺也使材料界面处有杂质分子的吸附, 形成陷阱, 产生有害的回滞现象^[73-76].

原子晶体的特性为非易失存储技术发展提供了具有更高密度、更快速度以及更低功耗的可能, 并且提高了存储器的稳定性, 拓宽了其应用场景, 带来了存储技术新的结构. 使用不同能带结构的二维原子晶体半导体作为沟道层与各种新型电荷存储层的制造工艺、借助二维半导体的前所未有的性能及能谷电子性质, 突破摩尔定律延展下的电荷存储技术中单元串扰、存储电荷密度降低、沟道电子耗尽等技术屏障, 突破材料阻变存储在各种应用领域的瓶颈问题从而获得全二维后摩尔新型非易失存储技术是未来集成电路存储技术发展的重要研究方向. 原子晶体非易失存储技术的进一步发展和实际应用, 将依赖于科学家的进一步探索.

参考文献

- 1 Davari B, Dennard R H, Shahidi G G. CMOS scaling for high performance and low power-the next ten years. *Proc IEEE*, 1995, 83: 595–606
- 2 Dennard R H, Gaensslen F H, Hwa-Nien Yu F H, et al. Design of ion-implanted MOSFET's with very small physical dimensions. *Proc IEEE*, 1999, 87: 668–678
- 3 Wang Q H, Kalantar-Zadeh K, Kis A, et al. Electronics and optoelectronics of two-dimensional transition metal dichalcogenides. *Nat Nanotech*, 2012, 7: 699–712
- 4 Novoselov K S. Electric field effect in atomically thin carbon films. *Science*, 2004, 306: 666–669
- 5 Novoselov K S, Geim A K, Morozov S V, et al. Two-dimensional gas of massless Dirac fermions in graphene. *Nature*, 2005, 438: 197–200
- 6 Geim A K, Novoselov K S. The rise of graphene. *Nat Mater*, 2007, 6: 183–191
- 7 Wang X, Li X, Zhang L, et al. N-doping of graphene through electrothermal reactions with ammonia. *Science*, 2009, 324: 768–771
- 8 Yu Y J, Zhao Y, Ryu S, et al. Tuning the graphene work function by electric field effect. *Nano Lett*, 2009, 9: 3430–3434. arXiv: 0909.0020
- 9 Zhang Y, Tang T T, Girit C, et al. Direct observation of a widely tunable bandgap in bilayer graphene. *Nature*, 2009, 459: 820–823
- 10 Balog R, Jørgensen B, Nilsson L, et al. Bandgap opening in graphene induced by patterned hydrogen adsorption. *Nat Mater*, 2010, 9: 315–319
- 11 Shi Y, Kim K K, Reina A, et al. Work function engineering of graphene electrode *via* chemical doping. *ACS Nano*, 2010, 4: 2689–2694
- 12 Li H, Zhang Q, Liu C, et al. Ambipolar to unipolar conversion in graphene field-effect transistors. *ACS Nano*, 2011, 5: 3198–3203
- 13 Lui C H, Li Z, Mak K F, et al. Observation of an electrically tunable band gap in trilayer graphene. *Nat Phys*, 2011, 7: 944–947. arXiv: 1105.4658
- 14 Shimizu T, Haruyama J, Marcano D C, et al. Large intrinsic energy bandgaps in annealed nanotube-derived graphene nanoribbons. *Nat Nanotech*, 2010, 6: 45–50
- 15 Kwon K C, Choi K S, Kim S Y. Increased work function in few-layer graphene sheets via metal chloride doping. *Adv Funct Mater*, 2012, 22: 4724–4731
- 16 Kang B, Lim S, Lee W H, et al. Work-function-tuned reduced graphene oxide via direct surface functionalization as source/drain electrodes in bottom-contact organic transistors. *Adv Mater*, 2013, 25: 5856–5862
- 17 Yu J, Liu G, Sumant A V, et al. Graphene-on-diamond devices with increased current-carrying capacity: Carbon sp^2 -on- sp^3 technology. *Nano Lett*, 2012, 12: 1603–1608
- 18 Moser J, Barreiro A, Bachtold A. Current-induced cleaning of graphene. *Appl Phys Lett*, 2007, 91: 163513. arXiv: 0709.0607
- 19 Bertolazzi S, Krasnozhan D, Kis A. Nonvolatile memory cells based on MoS_2 /graphene heterostructures. *ACS Nano*, 2013, 7: 3246–3252
- 20 Lee C, Wei X, Kysar J W, et al. Measurement of the elastic properties and intrinsic strength of monolayer graphene. *Science*, 2008, 321: 385–388
- 21 Balandin A A, Ghosh S, Bao W, et al. Superior thermal conductivity of single-layer graphene. *Nano Lett*, 2008, 8: 902–907
- 22 Watanabe K, Taniguchi T, Kanda H. Direct-bandgap properties and evidence for ultraviolet lasing of hexagonal boron nitride single crystal. *Nat Mater*, 2004, 3: 404–409
- 23 Dean C R, Young A F, Meric I, et al. Boron nitride substrates for high-quality graphene electronics. *Nat Nanotech*, 2010, 5: 722–726. arXiv: 1005.4917
- 24 Britnell L, Gorbachev R V, Jalil R, et al. Electron tunneling through ultrathin boron nitride crystalline barriers. *Nano Lett*, 2012, 12: 1707–1710
- 25 Ji Y, Pan C, Zhang M, et al. Boron nitride as two dimensional dielectric: Reliability and dielectric breakdown. *Appl Phys Lett*, 2016, 108: 012905
- 26 Mak K F, Lee C, Hone J, et al. Atomically thin MoS_2 : A new direct-gap semiconductor. *Phys Rev Lett*, 2010, 105: 136805. arXiv: 1004.0546
- 27 Zhang Y, Chang T R, Zhou B, et al. Direct observation of the transition from indirect to direct bandgap in atomically thin epitaxial $MoSe_2$. *Nat Nanotech*, 2013, 9: 111–115. arXiv: 1401.3386
- 28 Zhao W, Ghorannevis Z, Chu L, et al. Evolution of electronic structure in atomically thin sheets of WS_2 and WSe_2 . *ACS Nano*, 2013, 7: 791–797
- 29 Roy K, Padmanabhan M, Goswami S, et al. Graphene- MoS_2 hybrid structures for multifunctional photoresponsive memory devices. *Nat Nanotech*, 2013, 8: 826–830
- 30 Radisavljevic B, Radenovic A, Brivio J, et al. Single-layer MoS_2 transistors. *Nat Nanotech*, 2011, 6: 147–150
- 31 Liu W, Kang J, Sarkar D, et al. Role of metal contacts in designing high-performance monolayer n-type WSe_2 field effect transistors. *Nano Lett*, 2013, 13: 1983–1990
- 32 Fang H, Chuang S, Chang T C, et al. High-performance single layered WSe_2 p-FETs with chemically doped contacts. *Nano Lett*, 2012, 12: 3788–3792
- 33 Sarkar D, Xie X, Liu W, et al. A subthermionic tunnel field-effect transistor with an atomically thin channel. *Nature*, 2015, 526: 91–95
- 34 Nourbakhsh A, Zubair A, Dresselhaus M S, et al. Transport properties of a MoS_2 / WSe_2 heterojunction transistor and its potential for application. *Nano Lett*, 2016, 16: 1359–1366
- 35 Chang H Y, Yang S, Lee J, et al. High-performance, highly bendable MoS_2 transistors with high- κ dielectrics for flexible low-power systems. *ACS*

- [Nano](#), 2013, 7: 5446–5452
- 36 Choi M S, Lee G H, Yu Y J, et al. Controlled charge trapping by molybdenum disulphide and graphene in ultrathin heterostructured memory devices. [Nat Commun](#), 2013, 4: 1624
- 37 Chai Y, Wu Y, Takei K, et al. Resistive switching of carbon-based RRAM with CNT electrodes for ultra-dense memory. In: Proceedings of IEDM Technical Digest. San Francisco: IEEE, 2010
- 38 Mayorov A S, Gorbachev R V, Morozov S V, et al. Micrometer-scale ballistic transport in encapsulated graphene at room temperature. [Nano Lett](#), 2011, 11: 2396–2399
- 39 Xia F, Farmer D B, Lin Y, et al. Graphene field-effect transistors with high on/off current ratio and large transport band gap at room temperature. [Nano Lett](#), 2010, 10: 715–718. arXiv: [1001.3915](#)
- 40 Zhan N, Olmedo M, Wang G, et al. Graphene based nickel nanocrystal flash memory. [Appl Phys Lett](#), 2011, 99: 113112
- 41 Lee S, Song E B, Kim S, et al. Impact of gate work-function on memory characteristics in $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ /graphene charge-trap memory devices. [Appl Phys Lett](#), 2012, 100: 023109
- 42 Lin Y M, Jenkins K A, Valdes-Garcia A, et al. Operation of graphene transistors at gigahertz frequencies. [Nano Lett](#), 2009, 9: 422–426. arXiv: [0812.1586](#)
- 43 Meric I, Han M Y, Young A F, et al. Current saturation in zero-bandgap, top-gated graphene field-effect transistors. [Nat Nanotech](#), 2008, 3: 654–659
- 44 Farmer D B, Chiu H Y, Lin Y M, et al. Utilization of a buffered dielectric to achieve high field-effect carrier mobility in graphene transistors. [Nano Lett](#), 2009, 9: 4474–4478. arXiv: [0911.3116](#)
- 45 Kedzierski J, Pei-Lan Hsu J, Reina A, et al. Graphene-on-insulator transistors made using C on Ni chemical-vapor deposition. [IEEE Electron Device Lett](#), 2009, 30: 745–747
- 46 Moon J S, Curtis D, Hu M, et al. Epitaxial-graphene RF field-effect transistors on Si-face 6H-SiC substrates. [IEEE Electron Device Lett](#), 2009, 30: 650–652
- 47 Lin Y M, Dimitrakopoulos C, Jenkins K A, et al. 100 GHz transistors from wafer-scale epitaxial graphene. [Science](#), 2010, 327: 662–662. arXiv: [1002.3845](#)
- 48 Schwierz F. Graphene transistors. [Nat Nanotech](#), 2010, 5: 487–496
- 49 Thiele S A, Schaefer J A, Schwierz F. Modeling of graphene metal-oxide-semiconductor field-effect transistors with gapless large-area graphene channels. [J Appl Phys](#), 2010, 107: 094505
- 50 Han M Y, Özyilmaz B, Zhang Y, et al. Energy band-gap engineering of graphene nanoribbons. [Phys Rev Lett](#), 2007, 98: 206805
- 51 Zhou S Y, Gweon G H, Fedorov A V, et al. Substrate-induced bandgap opening in epitaxial graphene. [Nat Mater](#), 2007, 6: 770–775
- 52 Ni Z H, Yu T, Lu Y H, et al. Uniaxial strain on graphene: Raman spectroscopy study and band-gap opening. [ACS Nano](#), 2008, 2: 2301–2305
- 53 Hong A J, Song E B, Yu H S, et al. Graphene flash memory. [ACS Nano](#), 2011, 5: 7812–7817
- 54 Mishra A, Janardanan A, Khare M, et al. Reduced multilayer graphene oxide floating gate flash memory with large memory window and robust retention characteristics. [IEEE Electron Device Lett](#), 2011, 34: 1136–1138
- 55 Han S T, Zhou Y, Yang Q D, et al. Energy-band engineering for tunable memory characteristics through controlled doping of reduced graphene oxide. [ACS Nano](#), 2014, 8: 1923–1931
- 56 Han S T, Zhou Y, Wang C, et al. Layer-by-layer-assembled reduced graphene oxide/gold nanoparticle hybrid double-floating-gate structure for low-voltage flexible flash memory. [Adv Mater](#), 2013, 25: 872–877
- 57 Ganatra R, Zhang Q. Few-layer MoS_2 : A promising layered semiconductor. [ACS Nano](#), 2014, 8: 4074–4099
- 58 Das S, Chen H Y, Penumatcha A V, et al. High performance multilayer MoS_2 transistors with scandium contacts. [Nano Lett](#), 2013, 13: 100–105
- 59 Bertolazzi S, Brivio J, Kis A. Stretching and breaking of ultrathin MoS_2 . [ACS Nano](#), 2011, 5: 9703–9709
- 60 Pu J, Yomogida Y, Liu K K, et al. Highly flexible MoS_2 thin-film transistors with ion gel dielectrics. [Nano Lett](#), 2012, 12: 4013–4017
- 61 Lembke D, Kis A. Breakdown of high-performance monolayer MoS_2 transistors. [ACS Nano](#), 2012, 6: 10070–10075
- 62 Zhang E, Wang W, Zhang C, et al. Tunable charge-trap memory based on few-layer MoS_2 . [ACS Nano](#), 2015, 9: 612–619
- 63 Song L, Ci L, Lu H, et al. Large scale growth and characterization of atomic hexagonal boron nitride layers. [Nano Lett](#), 2010, 10: 3209–3215
- 64 Lee K H, Shin H J, Lee J, et al. Large-scale synthesis of high-quality hexagonal boron nitride nanosheets for large-area graphene electronics. [Nano Lett](#), 2012, 12: 714–718
- 65 Li X, Cai W, An J, et al. Large-area synthesis of high-quality and uniform graphene films on copper foils. [Science](#), 2009, 324: 1312–1314. arXiv: [0905.1712](#)
- 66 Bae S, Kim H, Lee Y, et al. Roll-to-roll production of 30-inch graphene films for transparent electrodes. [Nat Nanotech](#), 2010, 5: 574–578

- 67 Kim K S, Zhao Y, Jang H, et al. Large-scale pattern growth of graphene films for stretchable transparent electrodes. *Nature*, 2009, 457: 706–710
- 68 Coleman J N, Lotya M, O'Neill A, et al. Two-dimensional nanosheets produced by liquid exfoliation of layered materials. *Science*, 2011, 331: 568–571
- 69 Hong X, Liu J, Zheng B, et al. A universal method for preparation of noble metal nanoparticle-decorated transition metal dichalcogenide nanobelts. *Adv Mater*, 2014, 26: 6250–6254
- 70 Lee J D, Hur S H, Choi J D. Effects of floating-gate interference on NAND flash memory cell operation. *IEEE Electron Device Lett*, 2014, 23: 264–266
- 71 Yao Y, Li C, Huo Z L, et al. *In situ* electron holography study of charge distribution in high- κ charge-trapping memory. *Nat Commun*, 2002, 4: 2764
- 72 Chuang S, Battaglia C, Azcatl A, et al. MoS₂ p-type transistors and diodes enabled by high work function MoO_x contacts. *Nano Lett*, 2014, 14: 1337–1342
- 73 Imam S A, Deshpande T, Guermoune A, et al. Charge transfer hysteresis in graphene dual-dielectric memory cell structures. *Appl Phys Lett*, 2011, 99: 082109
- 74 Late D J, Liu B, Matte H S S R, et al. Hysteresis in single-layer MoS₂ field effect transistors. *ACS Nano*, 2012, 6: 5635–5641
- 75 Wang H, Wu Y, Cong C, et al. Hysteresis of electronic transport in graphene transistors. *ACS Nano*, 2010, 4: 7221–7228
- 76 Yu W J, Lee S Y, Chae S H, et al. Small hysteresis nanocarbon-based integrated circuits on flexible and transparent plastic substrate. *Nano Lett*, 2011, 11: 1344–1350
- 77 Chimenton A, Pellati P, Olivo P. Overerase phenomena: An insight into flash memory reliability. *Proc IEEE*, 2003, 91: 617–626
- 78 Chen M, Nam H, Wi S, et al. Multibit data storage states formed in plasma-treated MoS₂ transistors. *ACS Nano*, 2014, 8: 4023–4032
- 79 Yu W J, Chae S H, Lee S Y, et al. Ultra-transparent, flexible single-walled carbon nanotube non-volatile memory device with an oxygen-decorated graphene electrode. *Adv Mater*, 2011, 23: 1889–1893
- 80 Lee H S, Min S W, Park M K, et al. MoS₂ nanosheets for top-gate nonvolatile memory transistor channel. *Small*, 2012, 8: 3111–3115
- 81 Lee Y T, Kwon H, Kim J S, et al. Nonvolatile ferroelectric memory circuit using black phosphorus nanosheet-based field-effect transistors with p(VDF-TrFE) polymer. *ACS Nano*, 2015, 9: 10394–10401
- 82 Kim S M, Song E B, Lee S, et al. Transparent and flexible graphene charge-trap memory. *ACS Nano*, 2012, 6: 7879–7884
- 83 Chua L O, Sung Mo Kang L O. Memristive devices and systems. *Proc IEEE*, 1976, 64: 209–223
- 84 Yang J J, Strukov D B, Stewart D R. Memristive devices for computing. *Nat Nanotech*, 2013, 8: 13–24
- 85 Linn E, Rosezin R, Kügeler C, et al. Complementary resistive switches for passive nanocrossbar memories. *Nat Mater*, 2010, 9: 403–406
- 86 Maier J, Kern K, Waser R, et al. Redox-based resistive switching memories-nanoionic mechanisms, prospects, and challenges. *Adv Mater*, 2009, 21: 2632–2663
- 87 Simmons J G, Verderber R R. New conduction and reversible memory phenomena in thin insulating films. *Proc R Soc A-Math Phys Eng Sci*, 1967, 301: 77–102
- 88 Rozenberg M J, Inoue I H, Sánchez M J. Nonvolatile memory with multilevel switching: A basic model. *Phys Rev Lett*, 2004, 92: 178302
- 89 Rozenberg M J, Inoue I H, Sánchez M J. Strong electron correlation effects in nonvolatile electronic memory devices. *Appl Phys Lett*, 2006, 88: 033510
- 90 Kohlstedt H, Pertsev N A, Rodríguez Contreras J, et al. Theoretical current-voltage characteristics of ferroelectric tunnel junctions. *Phys Rev B*, 2005, 72: 125341
- 91 He C L, Zhuge F, Zhou X F, et al. Nonvolatile resistive switching in graphene oxide thin films. *Appl Phys Lett*, 2009, 95: 232101
- 92 Jeong H Y, Kim J Y, Kim J W, et al. Graphene oxide thin films for flexible nonvolatile memory applications. *Nano Lett*, 2010, 10: 4381–4386
- 93 Hong S K, Kim J E, Kim S O, et al. Flexible resistive switching memory device based on graphene oxide. *IEEE Electron Device Lett*, 2010, 31: 1005–1007
- 94 Wang L H, Yang W, Sun Q Q, et al. The mechanism of the asymmetric SET and RESET speed of graphene oxide based flexible resistive switching memories. *Appl Phys Lett*, 2012, 100: 063509
- 95 Liu G, Zhuang X, Chen Y, et al. Bistable electrical switching and electronic memory effect in a solution-processable graphene oxide-donor polymer complex. *Appl Phys Lett*, 2009, 95: 253301
- 96 Cui P, Seo S, Lee J, et al. Nonvolatile memory device using gold nanoparticles covalently bound to reduced graphene oxide. *ACS Nano*, 2011, 5: 6826–6833
- 97 Kim I, Siddik M, Shin J, et al. Low temperature solution-processed graphene oxide/Pr_{0.7}Ca_{0.3}MnO₃ based resistive-memory device. *Appl Phys Lett*, 2011, 99: 042101

- 98 Yin Z, Zeng Z, Liu J, et al. Memory devices using a mixture of MoS₂ and graphene oxide as the active layer. [Small](#), 2013, 9: 727–731
- 99 Chang K C, Zhang R, Chang T C, et al. Origin of hopping conduction in graphene-oxide-doped silicon oxide resistance random access memory devices. [IEEE Electron Device Lett](#), 2013, 34: 677–679
- 100 Liu J, Lin Z, Liu T, et al. Multilayer stacked low-temperature-reduced graphene oxide films: Preparation, characterization, and application in polymer memory devices. [Small](#), 2010, 6: 1536–1542
- 101 Liu J, Yin Z, Cao X, et al. Bulk heterojunction polymer memory devices with reduced graphene oxide as electrodes. [ACS Nano](#), 2010, 4: 3987–3992
- 102 Liu J, Zeng Z, Cao X, et al. Preparation of MoS₂-polyvinylpyrrolidone nanocomposites for flexible nonvolatile rewritable memory devices with reduced graphene oxide electrodes. [Small](#), 2012, 8: 3517–3522
- 103 Geim A K. Graphene: Status and prospects. [Science](#), 2009, 324: 1530–1534. arXiv: [0906.3799](#)
- 104 Son D I, Kim T W, Shim J H, et al. Flexible organic bistable devices based on graphene embedded in an insulating poly(methyl methacrylate) polymer layer. [Nano Lett](#), 2010, 10: 2441–2447
- 105 Ji Y, Lee S, Cho B, et al. Flexible organic memory devices with multilayer graphene electrodes. [ACS Nano](#), 2011, 5: 5995–6000
- 106 Yang P K, Chang W Y, Teng P Y, et al. Fully transparent resistive memory employing graphene electrodes for eliminating undesired surface effects. [Proc IEEE](#), 2013, 101: 1732–1739
- 107 Xu X Y, Yin Z Y, Xu C X, et al. Resistive switching memories in MoS₂ nanosphere assemblies. [Appl Phys Lett](#), 2014, 104: 033504
- 108 Hao C, Wen F, Xiang J, et al. Liquid exfoliated black phosphorous nanosheet thin films for flexible resistive random access memory applications. [Adv Funct Mater](#), 2016, 26: 2016–2024
- 109 Qian K, Tay R Y, Nguyen V C, et al. Hexagonal boron nitride thin film for flexible resistive memory applications. [Adv Funct Mater](#), 2016, 26: 2176–2184
- 110 Liu J, Yin Z, Cao X, et al. Fabrication of flexible, all-reduced graphene oxide non-volatile memory devices. [Adv Mater](#), 2013, 25: 233–238
- 111 Chai Y, Wu Y, Takei K, et al. Nanoscale bipolar and complementary resistive switching memory based on amorphous carbon. [IEEE Trans Electron Devices](#), 2011, 58: 3933–3939
- 112 Liang J, Philip Wong H S. Size limitation of cross-point memory array and its dependence on data storage pattern and device parameters. In: *Proceedings of International Interconnect Technology Conference*. Burlingame: IEEE, 2010
- 113 Sun G, Liu J, Zheng L, et al. Preparation of weavable, all-carbon fibers for non-volatile memory devices. [Angew Chem Int Ed](#), 2013, 52: 13351–13355
- 114 Standley B, Bao W, Zhang H, et al. Graphene-based atomic-scale switches. [Nano Lett](#), 2008, 8: 3345–3349
- 115 Yao J, Zhong L, Natelson D, et al. *In situ* imaging of the conducting filament in a silicon oxide resistive switch. [Sci Rep](#), 2012, 2: 242. arXiv: [1110.3755](#)
- 116 Yao J, Lin J, Dai Y, et al. Highly transparent nonvolatile resistive memory devices from silicon oxide and graphene. [Nat Commun](#), 2012, 3: 1101
- 117 Sangwan V K, Jariwala D, Kim I S, et al. Gate-tunable memristive phenomena mediated by grain boundaries in single-layer MoS₂. [Nat Nanotech](#), 2015, 10: 403–406. arXiv: [1504.01416](#)
- 118 Azizi A, Zou X, Ercius P, et al. Dislocation motion and grain boundary migration in two-dimensional tungsten disulphide. [Nat Commun](#), 2014, 5: 4867
- 119 Van der Zande A M, Huang P Y, Chenet D A, et al. Grains and grain boundaries in highly crystalline monolayer molybdenum disulphide. [Nat Mater](#), 2013, 12: 554–561. arXiv: [1301.1985](#)

Non-volatile memory based on atomic crystals

LIU ChunSen, ZHOU Peng^{*} & ZHANG Wei

State Key Laboratory of ASIC and System, Department of Microelectronics, Fudan University, Shanghai 200433, China

The space and data-exchanging rate and other factors of storage, calculation and communication in the multi-functional low-power chips have become the bottlenecks of the development of integrated circuits. The ultralow power consumption of single-bit erasing/writing, the ultra-small device size, fast operation time and non-volatility are indispensable for high-density and high-speed storage in the future system architecture to satisfy the needs for big data exchanging in the core. The future storage technology consists of employing devices with new principles, such as controlling of electron transition and ionic migration superseding the electron transport, adopting new materials to lower the power consumption and introducing new 3D-stack technology to increase the density. This review focuses on the application of new materials in the non-volatile storage technology, especially the two-dimensional atomic crystals. Two-dimensional atomic crystals have some prominent properties, such as high electron mobility, ultimate ultrathin channel and ultralow surface states with an intrinsic thickness of 0.6–1.2 nm and abundant band structure, which provide an excellent solution for future storage technology. And they have enormous potential to further scale down to increase the integration level and improve stability, expand the application scenarios and develop new memory devices and they are a new method to break through the bottlenecks of power consumption and integrated level of memories.

atomic crystals, two-dimensional materials, non-volatile memory, Flash memory, resistive random access memory

PACS: 32.90.+a, 51.50.+v, 63.22.Gh, 63.22.Np, 68.37.-d

doi: [10.1360/SSPMA2016-00206](https://doi.org/10.1360/SSPMA2016-00206)