论 文

可重构三值光学处理器的原理、基本结构和实现

金翊*, 王宏健, 欧阳山, 周裕, 沈云付, 彭俊杰, 刘学民

上海大学计算机工程与科学学院, 上海 200072

* 通信作者. E-mail: yijin@shu.edu.cn

收稿日期: 2011-05-03; 接受日期: 2011-06-20

国家自然科学基金 (批准号: 61073049)、上海市重点学科建设项目 (批准号: J50103) 和教育部博士点建设基金 (批准号: 20093-108110016) 资助项目

摘要 文中论述了三值光学处理器的重构原理、重构结构和重构操作, 给出了三值光学运算器和运算基元的典型结构、分类、命名、重构电路、重构指令和重构例程. 文中还对三值光学计算机的高速度性能和低功耗性能作了简单分析. 最后描述了一位运算基元的重构实验, 实验结果表明本文论述的可重构三值光学处理器原理正确, 重构器件和重构指令有效.

关键词 三值光学处理器 可重构处理器 降值设计理论 运算基元 重构指令

1 引言

2000 年, 金翊等人提出以无光态和偏振方向相互正交的两个偏振光态表示信息、以液晶和偏振片构造光学处理器的三值光学计算机概念和结构^[1]. 2007 年, 严军勇和金翊等人在制作 360 位三值光学计算机实验系统中发现了降值设计规律, 他们建立的降值设计理论^[2]推动三值光学计算机进入实际制作和可应用阶段. 以降值设计理论为基础, 李梅和王先超等人探讨了在三值光学处理器上完成矢量矩阵乘法的算法^[3,4], 滕亮和彭俊杰等人探讨了用三值光学处理器实现高性能细胞自动机和随机数生成器的算法^[5], 沈云付等人探讨了 NP 问题求解的新算法^[6]. 2010 年, 考虑到进位直达并行加法器^[7]在构造上的困难以及 MSD 数加法器无进位过程的优点, 金翊等人基于降值设计理论建立了三值光学计算机的 MSD 加法器, 并提出了数据编辑和流水计算技术^[8]. 所有这些进展都等待着能自动进行重构的位数众多的三值光学处理器问世才能付诸实际应用, 于是谌章义和金翊在三值光学处理器的自动重构技术方面做了最初的尝试^[9], 他们给出了一种重构方案, 但他们的方案不能重构出两输入信号为无光态而输出为有光态的两个运算基元, 同时其重构命令字超出了 8 位, 达到 12 位, 导致重构用时较长. 为克服这些缺陷, 2010 年初金翊给出了一个全新的重构电路设计, 2010 年 12 月王宏健利用小规模 FPGA 芯片实现了这个新设计的一位重构电路, 证明了这个设计的可行性和正确性. 本文全面介绍包含这个重构电路的可重构三值光学处理器.

2 降值设计理论简介

降值设计理论的主要结论是: 若表示信息的 n 个物理态中包含有 D 态, 则 $n^{(n \times n)}$ 个两输入

引用格式: 金翊, 王宏健, 欧阳山, 等. 可重构三值光学处理器的原理、基本结构和实现. 中国科学: 信息科学, 2012, 42: 778–788

图 1 三值光学处理器基元的抽象结构

Figure 1 Abstract structure of a BOU

进(借)位 n 值运算器(以下简称 n 值逻辑运算器)中的任意一个都可以按照固定步骤从 $n \times n \times (n-1)$ 种最简基元中, 组合不超过 $n \times (n-1)$ 个最简基元而成。

D 态的特征是与任何一个其他物理态 λ 进行物理叠加后的结果仍是 λ 态。最简基元是结构最简单的 n 值逻辑运算器, 其特征是只有一种输入数据组合可以使其输出为非 D 态, 其他的输入数据组合都使其输出 D 态。根据这一特征, 可以推证出共有 $n \times n \times (n-1)$ 种不同的最简基元。

准备好各种最简基元后, 根据降维设计理论, 可以按以下步骤随时生成需要的 n 值逻辑运算器。

(1) 用 D 态表示运算真值表中出现最多的符号, 其余 $n-1$ 个物理态各表示一个不同的符号。

(2) 对运算真值表中每一个非 D 态取出其对应的最简基元。由此可以推出任何一个 n 值逻辑运算器包含的最简基元数目不会超过 $n \times (n-1)$ 个。

(3) 将所有最简基元的输出信号用叠加器进行物理叠加, 其输出是 n 值逻辑运算器的结果。

将这个理论应用到三值光学计算机中, 无光态是 D 态, 两输入三值逻辑运算器共有 3^9 个, 最简基元有 18 个, 任一个三值逻辑运算器包含的基元总数不会超过 6 个, 叠加器是半透镜。

当用液晶实现三值光学处理器时, 那些输出光状态相同并有一个输入光状态相同的两个或三个最简基元可以合并在一起, 用一个液晶像素实现, 称这种基元为复合基元, 使用复合基元可以减少大部分三值逻辑运算器所包含的基元(最简基元和复合基元)数目。严军勇博士研究了复合基元的类型、数量、复合条件和复合方法^[10], 王先超和王宏健分别对此做了更详细的研究, 得到由两个最简基元合并成的复合基元 18 个, 由三个最简基元合并成的复合基元 6 个, 于是, 三值光学计算机共有基元 42 个。

3 三值光学处理器基元的结构和类型

3.1 基元结构

在用常不旋光液晶和偏振片构造的三值光学处理器中, 42 个基元具有相同的抽象结构, 如图 1 所示。其中实线表示光信号传输线, 虚线表示电信号传输线, 点划线表示不属于基元结构的其他部件或传输线。图 1 中, 主光路的输入信号为主光路编码器生成的光束 a , 光学元件为两个偏振片 (P_1 和 P_2) 夹一个液晶 (LC) 的三明治结构; 控制光路的输入信号为控制光路编码器生成的光束 b , 光学和电学元

件为偏振片 (P_3) 后放置一个感光管 (g); g 输出电信号的相位经过两个高阻门 (Y_{21} 和 Y_{22}) 组成的异或门 (Y_2) 的自动调控后, 用于控制 LC 的旋光性; 另外两个异或门 (Y_1 和 Y_0 , 分别由 Y_{11} 和 Y_{12} 、 Y_{01} 和 Y_{02} 组成) 用于自动调控主光路编码器输入信号的相位; 三个异或门的控制信号 (K_2 , K_1 和 K_0) 来自重构命令寄存器, 分别用于控制异或门 Y_2 、 Y_1 和 Y_0 对其另一输入信号的取反功能。

三个异或门的功能相同, 当 $K_i=1$ (表示高电平) 时 ($i=0, 1, 2$), Y_i 的输出信号与输入信号反相; $K_i=0$ (表示低电平) 时, Y_i 的输出信号与输入信号同相。借此, K_2 用于控制是否自动将 g 输出的电信号取反, 当 $K_2=1$ 时, Y_2 和 LC 一起形成常旋光液晶的功能, 当 $K_2=0$ 时, Y_2 和 LC 一起形成常不旋光液晶的功能, 故称 K_2 为功能码。 K_1 和 K_0 用于控制将主光路编码器输出的无光态自动改为有光态, 以实现主光路输入为无光态时, 输出为有光态的基元。当 $K_1K_0=11$ 时, 自动将主光路编码器输出的无光态改为水平偏振光 (W 改 H); 当 $K_1K_0=01$ 时, 自动将主光路编码器输出的无光态改为垂直偏振光 (W 改 V)。称 K_1K_0 为输入转换码。

当 LC 使用光控液晶时, 控制光路中不再需要感光管 g , 且 Y_2 要改用光学异或门。然而, 目前市场上没有光控液晶和光学异或门, 同时三值光学计算机当前的主要课题是研究它的底层软硬件结构和潜在的应用领域, 所以本文讨论的千位实用实验系统仍使用技术成熟的电控液晶。这种情况下, 光电管 g 的作用就是将控制光路的输入光信号 b 转换成控制 LC 旋光作用的电信号, 同时 Y_2 采用常见的电学异或门。

3.2 基元标识

针对图 1 所示的基元抽象结构, 三值光学处理器各基元之间的差别在于 3 个控制信号 K_i 的值不同或 3 个偏振片 P_1 、 P_2 和 P_3 的偏振方向不同, 其中 P_3 也可能不存在 (对应于两种偏振光有相同控制作用的基元) 或不透光 (对应于不需要控制光路的基元)。

根据 P_1 和 P_2 偏振方向的取向, 基元的主光路可分成 4 个类型: P_1 和 P_2 均为垂直偏振片的基元, 其主光路记为 VV 型; P_1 为垂直偏振片, P_2 为水平偏振片的基元, 其主光路记为 VH 型; P_1 为水平偏振片, P_2 为垂直偏振片的基元, 其主光路记为 HV 型; P_1 和 P_2 均为水平偏振片的基元, 其主光路记为 HH 型。

根据 P_3 偏振方向的取向, 控制光路也可分为四个类型: P_3 为垂直偏振片的控制光路记为 V 型; P_3 为水平偏振片的控制光路记为 H 型; P_3 为对两种偏振光都透过的控制光路记为 D 型; P_3 为不透光的控制光路记为 N 型。

于是, 可以用“主光路类型 — 控制光路类型 - K_2 - K_1K_0 ”的符号序列来标记并区分基元。如: VHD100 指明这个基元的主光路是 VH 型, 控制光路是 D 型, $K_2=1$, $K_1=0$ 和 $K_0=0$ 。这表明其 P_1 是垂直偏振片, P_2 是水平偏振片, P_3 对两种偏振光都透过, Y_2 和 LC 形成常旋光功能, 主光路编码器的无光态信号不被改变。对于其他基元情况类似。

3.3 基元的集中排列和像素位

实际制作三值光学处理器时, 总是把类型相同的主光路集中排列在液晶阵列的一个区域, 把类型相同的控制光路排列在一个偏振片上。于是, 三值光学处理器主光路中的液晶被分成 VV, VH, HV 和 HH 4 个区; 控制光路的偏振片和感光管被分成 V 和 H 两个区, 由于 D 型控制光路可以由 V 型和 H 型控制光路的输出取逻辑或而成, N 型控制光路可由关闭 V 和 H 型控制光路而成, 故不必制作 D 区和 N 区。于是, 构成三值光学处理器的光学部件被分成 6 个区, 为便于管理, 本文总是让每个区上处

图 2 基元及其重构电路结构

Figure 2 A BOU and its reconfiguration circuit

于同一位置上的像素相互配合来构造需要的基元. 为此, 以每个区的左上角为 $(0, 0)$ 坐标, 设置各区像素的行列坐标, 有相同位置坐标的 6 个像素称为一个像素位.

每个像素位的主光路液晶有 4 个区, 所以每个像素位最多可以构造出 4 个不同的基元. 对于基元数不超过 4 的三值逻辑运算器, 一个像素位对应于运算器的一个数据位, 而对于基元数为 5 或 6 的三值逻辑运算器, 两个像素位对应于运算器的一个数据位. 这个差别要在控制软件中特别处理.

4 基元重构电路的结构和工作原理

重构一个基元的核心操作是为主光路搭配控制光路. 本着“光处理, 电控制”的原则, 我们采用图 2 所示的基元重构电路来自动完成这个光路搭配操作. 与图 1 相比较, a 和 b 仍是两个输入光信号, c 仍是输出光信号. 但图 2 中, a 被分成 4 束, 在同一时刻分别送入 HH、HV、VH 和 VV 4 个类型的分主光路中; b 被分成两束, 在同一时刻分别送入 V 型和 H 型分控制光路; c 是半透镜 d_1 、 d_2 和 d_3 对 4 个分主光路输出光状态进行物理叠合后的结果; 主光路中的光学器件 P_1 和 P_2 被具体到了水平偏振片 H 或垂直偏振片 V, 于是液晶分成了 4 个区; 控制光路中的偏振片 P_3 也被具体到了水平偏振片 H 或垂直偏振片 V, 相应的感光管 g 被分成 gh 和 gv 两个, 形成分控制光路 V 和 H; 两个感光管的输出经或门 Y_3 后形成分控制光路 D; 每个分主光路对应的 3 个异或门 Y_2 、 Y_1 和 Y_0 的功能及控制信号都与图 1 中相同.

图 2 中增加的关键部件是 4 个虚线框中的重构电路, 其功能是为对应的分主光路配置合适的控制光路, 藉此构造出需要的基元. 4 个重构电路的结构完全相同, 如 VV 型分主光路中所示. 每一个重构电路由三个高阻门 c_0 、 c_1 、 c_2 和接地电阻 r 组成. 其中 c_0 、 c_1 和 c_2 分别受信号 K_3 、 K_4 和 K_5 控制, 当 $K_3=1$, $K_4=K_5=0$ 时, c_0 导通, c_1 和 c_2 截止, D 型控制光路对主光路液晶像素进行控制; 当 $K_4=1$, $K_3=K_5=0$ 时, c_1 导通, c_0 和 c_2 截止, H 型控制光路对主光路液晶像素进行控制; 当 $K_5=1$, $K_3=K_4=0$ 时, c_2 导通, c_0 和 c_1 截止, V 型控制光路对主光路液晶像素进行控制; 当 $K_3=K_4=K_5=0$ 时, N 型控制光路对主光路液晶像素进行控制. 因此, 选择控制光路的操作转化成给 K_3 、 K_4 和 K_5 赋值, 这个值称为“控码”. 显然, 控码中最多只有一个 1.

图 3 叠合功能电路结构

Figure 3 Circuit structure for superimposition function

当某个分主光路不用时, 要求它对输入信号 a 和 b 无反应, 即其输出总是无光态, 称其为“关”. 这时要求控制光路为 N 型, 并且对于 HH 和 VV 分区使 $K_2=1$, 对于 VH 和 HV 分区使 $K_2=0$. 因此, 关闭分主光路控制信号 (K_5 、 K_4 、 K_3 和 K_2) 对 HH 和 VV 分区为 0001, 对 HV 和 VH 分区为 0000, 称它们“关码”.

由于 c_0 、 c_1 和 c_2 的输出端连在一起, 为避免连接点短路, 不允许他们的控制端中有多个高电平. 即 K_3 、 K_4 和 K_5 中有 2 个或 3 个为 1 的码被禁止使用, 称为“禁码”.

给 6 个控制信号 K_0 、 K_1 、 K_2 、 K_3 、 K_4 和 K_5 赋值后, 分主光路液晶的一个像素及其控制光路就被构造成为一个基元, 即完成了一个基元重构. 为保证基元稳定, 这 6 个信号必须放置在一个锁存器里, 图 2 中称这个锁存器分别为 Rhh、Rhv、Rvh 和 Rvv, 其后两个字母表示分主光路的类型.

5 可重构三值光学处理器

5.1 重构操作

从图 1 所示的基元抽象结构到构造出三值逻辑光学运算器要经过两个重构操作: 第 1 个操作是由基元抽象结构重构出具体的基元, 称为基元重构; 第 2 个操作是组合各基元生成具体的三值逻辑光学运算器, 称为处理器重构.

基元重构操作就是给锁存器 Rhh、Rhv、Rvh 和 Rvv 赋值. 但处理器重构需要先组合各基元, 再将各基元的输出进行物理叠合. 组合各基元的操作对应于执行一个简单规定: 运算器的一个数据位只能使用一个像素位或相邻两个像素位上的基元, 而一个像素位的基元只能用于一个数据位, 不用的分主光路关闭. 然而, 按图 2 所示, 使用半透镜实现各基元输出光状态的叠合却比较困难. 首先, 半透镜的体积较大, 而且要与光传播方向成 45° 角放置, 这不利于缩小运算器的体积. 其次, 要使主光路 4 个模块的所有像素一一对齐, 需要很高的机械加工和调准水平, 在现阶段不易达到这个要求. 再考虑到液晶的响应速度在较长的时期中不会比电子电路的响应速度快很多, 本文所述的系统将这个“输出状态的物理叠加”之功能暂时借用电子电路完成, 其结构如图 3 所示. 在一个像素位中, 主光路 4 个液晶模块的输出各用一个光电管探测, 对应与 HH 和 VH 两个模块的光电管 ghh 和 gvh 的输出送入一个或门 Y_h , 对应与 HV 和 VV 两个模块的光电管 ghv 和 gvv 的输出送入另一个或门 Y_v , 这两个或门的输出 ch 和 cv 就是所要结果, 它们相当于对图 2 中输出 c 的两种偏振光状态进行光电转换后的结果. 至此, 重构一个三值逻辑光学运算器的操作归结为给指定像素位的锁存器 Rhh、Rhv、Rvh 和 Rvv 赋值.

图 4 重构命令寄存器

Figure 4 Registers for reconfiguration commands

5.2 基元重构命令

给图 2 中的 4 个六位锁存器 Rhh、Rhv、Rvh 和 Rvv 中的一个赋值就完成了—个基元的重构, 再将这 4 个锁存器用一个 2-4 译码器来寻址, 如图 4 所示, 则 d_7 和 d_6 用于寻址 4 个锁存器, 称为“址码”. 当 $d_7d_6=00$ 时选择 Rhh 锁存器; 当 $d_7d_6=01$ 时选择 Rhv 锁存器; 当 $d_7d_6=10$ 时选择 Rvh 锁存器; 当 $d_7d_6=11$ 时选择 Rvv 锁存器.

d_7 、 d_6 、 d_5 、 d_4 、 d_3 、 d_2 、 d_1 和 d_0 构成一个字节, 称为基元重构命令. 它包含有: 址码 (d_7d_6)、控码 ($d_5d_4d_3$)、功能码 (d_2) 和输入转换码 (d_1d_0) 4 个字段.

例如, 构造一个输入信号 a 和 b 都是垂直偏振光时输出水平偏振光, 其他输入光信号时输出均为无光态的基元重构命令为: $R=10\ 100\ 0\ 00=0a0H$. 其中, 址码选择了液晶阵列的 VH 区, 控码配置了 V 型控制光路, 功能码决定了异或门 Y_2 与液晶像素组成常不旋光类型, 输入转换码决定不对主光路编解码器的输入信号进行变换. 如果用 8086 系列 CPU 执行基元重构任务, 则这个基元重构命令的汇编指令为

```
mov al, 0a0h
```

```
out Adr, al; 命令的最高两位把它的其余 6 位打入 Adr 号像素位的 Rvh 锁存器.
```

其中 Adr 是该基元所在像素位的重构寄存器的地址.

显然, 每个基元重构命令的值与一个基元类型对应. 因此, 可用基元命令的值作为基元的标识码. 于是, 当谈到某某基元时也就给出了它的重构命令.

5.3 运算器重构例程

重构一个运算器就是在指定的像素位上构造出几个指定的基元, 其操作过程是把基元重构命令送到指定像素位的相应锁存器中. 为实现这一点, 我们给每个像素位配置一个 8 位的重构命令寄存器

$R(n)$, 如图 4 所示. 这里 n 是寄存器的相对地址, 也是像素位的编号, $R(n)$ 的内容是重构命令. 于是, 在第 76h 号像素位上构造由 0a0h 号基元和 10h 号基元组成的运算器的指令序列为

```
mov al, 0a0h
out 76h, al ; 命令的低 6 位打入 76H 号像素位的 Rvh 锁存器.
mov al, 10h
out 76h, al ; 命令的低 6 位打入 76H 号像素位的 Rhh 锁存器.
```

而把地址 50h 到 80h 的 48 个像素位都构造成这种运算器的汇编程序段为

```
mov cx, 30h
mov bx, 50h
call YSQ10a0
.....
YSQ10a0: mov al, 0a0h
out [bx], al
mov al, 10h
out [bx], al
inc bx
loop YSQ10a0
ret.
```

程序中用 YSQ10a0 标示这个运算器, YSQ 是“运算器”三个字的拼音首字母, 10 和 a0 是两个基元的 16 进制编号, 小编号在前, 书写中省去了 16 进制符号 h. 这个标号直接表述了运算器的结构, 由于每个标号对应于一个特定的运算器, 因此也用这个标号作为运算器名称. 最长的运算器标号中包含 6 个基元编号, 其长度为 15 个字符.

当从第 N 个像素位开始, 构造 M 位的某运算器时, 只要把 N 赋给 bx, 把 M 赋给 cx, 调用相应的运算器标示即可. 我们称这类用于构造运算器的程序段为运算器重构例程.

显然, 若对不同的像素位地址使用不同的重构例程, 就会把不同的像素位构造成不同的运算器, 这时整个光学处理器成为一个复合运算器.

5.4 三值光学处理器的高速度分析

三值光学处理器的重构过程是由嵌入式系统完成的, 因此, 重构过程的用时决定于嵌入式系统的频率和液晶反应速度中的慢者, 然而, 这个时期光学处理器并没有处理数据, 而是在自我重构. 当重构任务完成后, 嵌入式系统退出对光学处理器的控制, 这时只要 4 个锁存器 Rvv、Rvh、Rhv 和 Rhh 保持稳定, 光学处理器就稳定, 然后光学处理器开始变换输入光信号 a 和 b 得到输出 c , 因此完成一次光计算的时间就是在光线 b 的控制下, 光线 a 穿过光学处理器 (两个偏振片夹一个液晶像素) 的时间.

在大多数的运算器中, 主光路液晶的状态依控制光路输给它的信号而变, 系统的计算速度就决定于液晶状态的变化速度 (液晶响应频率). 然而, 液晶研究的目标迄今仍是制作高性能显示器, 数 MHz 的响应频率已经满足了这个目标, 因此目前缺少对更高响应速度的需求, 导致还没有见到响应速度达到 GHz 的液晶配方. 但是, 液晶的响应速度主要决定于液晶的粘滞性和液晶分子间的亲和力, 故其混合配方对液晶响应速度影响极大, 这为提高液晶响应速度提供了很大的发展空间. 显然, 三值光学计算机计算速度会随着液晶响应速度同步提高.

图 5 一位运算基元实验系统

Figure 5 A 1-bit TOP experimental system

另一方面, 对于主光路液晶状态可以保持不变的运算, 如取非、比较运算, 则三值光学处理器的计算速度与液晶的响应速度无关, 只决定于光线 a 穿过两个偏振片 (P_1 和 P_2) 夹一个液晶像素 (LC) 的时间 t . 由于 t 等于光线穿越主光路的光程除以光速, 所以 t 与偏振片和液晶阵列的厚度及其折射率成正比, 目前三值光学计算机实验系统主光路所用偏振片和液晶阵列的厚度总和约 2 mm, 光线穿过这种主光路的时间不会超过 1.14×10^{-11} s^[7], 所以, 这个实验系统对这一类运算的计算速度不会低于 100 GHz 数量级. 减小主光路的折射率或减小其厚度都会提高这类运算的速度, 例如, 若主光路采用厚度为 0.2 mm 的液晶阵列, 则这类运算的计算速度就会达到 10^3 GHz. 对于这类高速的光学计算, 寻求高速的偏振光编码器和高速度的感光器成为提高计算速度的关键, 目前最有希望的偏振光编码器是量子阱激光器, 其响应频率已经达到 10 GHz^[11], 感光器的响应频率也达到 25 GHz^[12], 但它们比三值光学处理器在这类计算上的速度还慢很多.

5.5 三值光学处理器的低功耗分析

液晶转变分子排列状态依靠的是电场力, 液晶本身是高电阻, 几乎不导电, 因此其功耗很小, 可以预计 1000 位 100 GHz 的三值光学处理器耗能约为数瓦, 其 LED 光源和电控制器件耗能大约 500 W, 而计算能力 – 位数主频积可高达 10^{14} , 是当前主流 CPU 的 1000 倍. 因此, 可以期望三值光学计算机极大地降低大规模系统的能耗.

6 基元重构实验

为了证实重构电路的功能和改进其结构, 我们对每个基元的重构电路和不多于 4 个基元的三值逻辑运算器进行了详细的实验研究. 对于需要 5 个和 6 个基元的运算器, 由于它们只是简单地同时使用两个像素位, 这给像素位分配软件会带来一点麻烦, 但在基元和运算器的硬件重构结构和控制方面并没有增加内容, 同时考虑到本实验主光路所用液晶阵列不便构造两个像素位, 因此本实验只考虑一个像素位上的基元和运算器重构实验.

6.1 实验设备配置

实验设备为 DICE-SEM II 型数字模拟综合实验箱和自制的一个像素位的三值光学处理器, 实验装置的全貌见图 5. 实验箱中部的可编程逻辑电路 (ACEX1K) 中构造了图 2~4 中的各种电路; 实验箱底部的拨动电键 $K_1 \sim K_8$ 用作数据总线上的重构命令, 即图 4 中 $R(n)$ 的输入 $d_7 \sim d_0$; K_9 (CLK1) 实现地址总线对重构命令寄存器 $R(n)$ 的寻址, 即图 4 中 $R(n)$ 的输入使能信号 IE, 起到重构命令设置的作用; K_{10} 和 K_{11} 用作主光路编码器的输入信号 (a_2 和 a_1), K_{13} 和 K_{14} 用作控制光路编码器的输入信号 (bh 和 bv), K_{12} (CLK2) 用作两个编码器的输出使能信号, 起到运算器工作命令信号作用; 计算结果输出到实验箱上端中部的 3 个数码管, 其中数码管 LED4=1 表示计算结果对应于无光态 (W), LED5=1 表示计算结果对应于垂直偏振光态 (V), LED6=1 表示计算结果对应于水平偏振光态 (H); 主光路 and 主光路编码器用 3 块 TN 型笔段式液晶和 4 层偏振片构造; 控制光路和控制光路编码器用实验箱底端最外侧的 2 个红色发光管和密封在其上的各 1 个感光管构成; 控制光路 and 主光路输出的光信号用 6 个 TSL14s 高速光强传感器采集. 实验箱上其他数码管和发光管的显示用于监控各部件的状态, 以便实验出现问题时分析原因, 与本文无关.

6.2 实验操作

(1) 认真安排设备, 满足在一张照片中清晰拍下实验箱完整面板、主光路部件、基元说明页、操作状态说明页和结果评价手势.

(2) 在主光路的 4 个区上分别设置一个基元或关闭该区 (对应于关码).

(3) 对于输入光 b 和 a 的每一种组合, 观察输出光的状态 c . 记录观察到的结果, 给出表示结果的手势, 拍照.

(4) 重复步骤 (2) 和 (3), 直到认真选定的 22 个运算器都得到测试. 这 22 个运算器包含 42 个基元和主要的基元组合情况.

6.3 实验结果

对 22 个运算器各进行 9 个输入状态的实验, 得到 198 张实验结果记录照片, 实验结果全部与理论预测一致, 证明了三值光学处理器重构理论的正确性和重构结构的有效性.

图 5 是内容比较简单的一个实验结果, 其上部的基元说明页给出这个实验的运算器是 23 号, 它只在 HH 分区构建有 23 号基元, 其他 3 个分区为关码. 其操作步骤页的第④步在黑线框中, 表明这次操作是执行第④步, 即 a 端输入无光态 (W), b 端输入水平偏振光态 (H). 基元说明页左边处手写的 c 列第④行为 H, 表明这个处理器在第④操作步时理论预测输出为水平偏振光. 再来看实验结果: 从主光路上很容易看到 HH 区中部有亮点, 其他 3 个分区中部均无亮点, 即目测运算结果为水平偏振光; 实验箱上运算结果输出数码管的 H 位为 1, W 和 V 位为 0, 也表明运算结果是水平偏振光. 可见实验结果与理论结论一致, 于是得到成功的手势.

7 结论

本文给出了可重构三值光学处理器的一种结构以及相应的操作指令和操作例程, 成功地将三值光

学处理器按用户要求重构成为具体的三值逻辑运算器, 进而可以构造出包含多种逻辑运算的复合运算器. 本文所述系统是降值设计理论的全面实践, 为三值光学处理器的实施建立了完整的理论和技术途径.

参考文献

- 1 Jin Y, He H C, Lu Y T. Ternary optical computer principle. *Sci China Ser F-Inf Sci*, 2003, 46: 145–150
- 2 Yan J Y, Jin Y, Zuo K Z. Decrease-radix design principle for carrying/borrowing free multi-valued and application in ternary optical computer. *Sci China Ser F-Inf Sci*, 2008, 51: 1415–1426
- 3 Li M, Jin Y, He H C, et al. Optical vector-matrix multiplication based on ternary optical processor. *Appl Res Comput*, 2009, 26: 2839–2841
- 4 Wang X C, Peng J J, Jin Y, et al. Vector-matrix multiplication based on ternary optical computer. In: *Proceedings of the 2nd International Conference on High Performance Computing and Application*. Shanghai, 2009
- 5 Teng L, Peng J J, Jin Y, et al. A cellular automata calculation model based on ternary optical computer. In: *Proceedings of the 2nd International Conference on High Performance Computing and Application*. Shanghai, 2009
- 6 Shen Y F, Fan X L, Jin Y. Solving the traveling salesman problem based on ternary optical computer. *Appl Res Comput*, 2011, 28: 2184–2187
- 7 Jin Y, He H C, Ai L R. Lane of parallel through carry in ternary optical adder. *Sci China Ser F-Inf Sci*, 2005, 48: 107–116
- 8 Jin Y, Shen Y F, Peng J J, et al. Principles and construction of MSD adder in ternary optical computer. *Sci China Inf Sci*, 2010, 53: 2159–2168
- 9 Shen Z Y. Theory, architecture, and implementation of thousand-trit ternary optical processor. Dissertation for Doctoral Degree. Shanghai: Shanghai University, 2010 [谌章义. 千位三值光学处理器理论、结构和实现. 博士学位论文. 上海: 上海大学, 2010]
- 10 Yan J Y. Decrease-radix design principle. Dissertation for Doctoral Degree. Shanghai: Shanghai University, 2009 [严军勇. 降值设计理论. 博士学位论文. 上海: 上海大学, 2009]
- 11 Peng B, Ning Y Q, Qin L, et al. Polarization characteristics of 980 nm high power vertical cavity surface emitting laser. *Chin J Lumin*, 2008, 5: 845–850 [彭彪, 宁永强, 秦莉, 等. 980 nm 大功率垂直腔面发射激光器偏振特性. 发光学报, 2008, 5: 845–850]
- 12 Ohno T, Yoshino K, Muramoto Y, et al. 25-Gbit/s receiver optical subassembly using maximized-induced-current photodiode. In: *Proceedings of 2010 International Conference on Indium Phosphide & Related Materials*. Kagawa, 2010. 1–4

Principles, structures, and implementation of reconfigurable ternary optical processors

JIN Yi*, WANG HongJian, OUYANG Shan, ZHOU Yu, SHEN YunFu, PENG JunJie & LIU XueMin

School of Computer Engineering and Science, Shanghai University, Shanghai 200072, China

*E-mail: yijin@shu.edu.cn

Abstract This paper discusses the principles, structures, and implementation procedures for reconfiguring a ternary optical processor (TOP). Typical structures, classifications, and naming of the TOP and basic operation units (BOUs) are described in this paper. The circuit implementations, commands, and processes for the reconfiguration are also discussed in detail. A simple analysis of the high performance and low power consumption of

ternary optical computers is presented. Finally, an experiment is performed on reconfiguring a 1-bit BOU, which shows that the principles of reconfigurable TOPs are valid, and that the implementations and commands for the reconfiguration are effective.

Keywords ternary optical processors (TOPs), reconfigurable processors, decrease-radix design principle, basic operation units (BOUs), reconfiguration commands

JIN Yi was born in 1957. He received the Ph.D. degree in computer science from the Northwestern Polytechnic University, Xi'an in 2003. Currently, he is a Professor and Senior Researcher at Shanghai University. His research interests include optical computer and computer architecture. Dr. Jin is a senior member of China Computer Federation.

WANG HongJian was born in 1987. He received the B.S. degree in computer science from Shandong University of Technology, Zibo in 2009. Currently, he is a master candidate in School of Computer Engineering and Science, Shanghai University. His research interests include ternary optical computer and embedded system.

OUYANG Shan was born in 1979. He received his M.S. degree in School of Computer Engineering and Science, Yangtze University. Currently, he is a doctoral candidate in School of Computer Engineering and Science, Shanghai University. His research interests include ternary optical computer and embedded system.

SHEN YunFu was born in 1960. He received the Ph.D. degree in mathematics from Beijing Normal University, Beijing in 1996. Currently, he is a Senior Researcher at Shanghai University. His research interests include formal method for software and hardware, model checking, and operators and reliability of ternary optical computer.