动态随机存储器器件研究进展

吴俊, 姚尧, 卢细裙, 王鹏飞*

复旦大学专用集成电路与系统国家重点实验室, 上海 200433

*联系人, E-mail: pfw@fudan.edu.cn

收稿日期: 2016-03-20; 接受日期: 2016-04-19; 网络出版日期: 2016-08-12

国家自然科学基金资助项目(编号: 61322404)

摘要 动态随机存储器芯片是集成电路中销售量和销售额最大的单一产品. 本文介绍了DRAM存储单元的基本原理并回顾了DRAM的技术发展与关键创新, 总结了多种先进技术节点的DRAM芯片制造的关键工艺技术. 分析了电容结构、阵列访问晶体管、存储器单元结构等方面的技术演进. 介绍了多种基于U形沟道晶体管的DRAM存储单元以及6F²存储单元的制造方法. 基于多项关键技术突破, 对下一代DRAM芯片的关键器件工艺的技术发展趋势进行了推测. 即: (1) 阵列选择晶体管持续使用U形晶体管; (2) 低 k 材料会被大规模使用来降低位线寄生电容; (3) 提高灵敏放大电路的灵敏度和随温度来动态调整刷新频率来降低对存储电容的要求; (4) 更多关注低功耗设计而不是一味地增大存储容量.

关键词 动态随机存储器, 短沟道效应, 掩埋字线, 阵列访问晶体管, 存储电容

PACS: 85.25.Hv, 85.30.De, 85.40.-e

1 简介

动态随机存储器(Dynamic Random Access Memory, DRAM)是一种被广泛应用的存储器, 每年市场容量超过300亿美元, 几乎占整个全球集成电路市场的1/10. 作为集成电路销售量和销售额最大的单一产品, DRAM器件的核心存储单元却十分简单, 由一个晶体管和一个存储电容(1 Transistor-1 Capacitor, 1T-1C)组成^[1-13]. 这种存储单元的结构由IBM的Robert Dennard于1966年发明.

在1T-1C DRAM存储单元中, 通过对电容内的电压信号进行写入和读出来实现信息存取. 为使大容量的

DRAM芯片在极端条件下不出现错误信息, 同时具备较快的读写速度, DRAM芯片的设计一般要遵循两个规则: (1) 存储电容的容值达到20–30 fF; (2) 阵列访问晶体管的驱动电流达到15 μ A, 关态漏电流小于 10^{-15} A.

当DRAM技术进入40 nm技术节点时, 遇到了严重的技术瓶颈. 一方面电容器的电容难以达到25 fF, 另一方面, 阵列访问晶体管的关态漏电流 I_{off} 和驱动电流 I_{on} 也因为器件的短沟道效应和沟道宽度的缩小而难以达到指标. 目前, 通过器件和电容等各方面的技术创新, 上述这两个关键问题得到了缓解, 20 nm DRAM技术也已实现, 但是, 如何进一步减小DRAM的存储单元面积, 仍是一个急需解决的难题.

引用格式: 吴俊, 姚尧, 卢细裙, 等. 动态随机存储器器件研究进展. 中国科学: 物理学 力学 天文学, 2016, 46: 107304

Wu J, Yao Y, Lu X Q, et al. Research progresses of dynamic random access memory devices (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107304, doi: [10.1360/SSPMA2016-00164](https://doi.org/10.1360/SSPMA2016-00164)

当前, 随着我国集成电路产业实力的不断增强, DRAM芯片的设计制造势必成为下一个将要被攻克的目标. 因此, 有必要对DRAM芯片的关键器件和工艺技术进行深入研究. 本文通过对DRAM芯片技术发展的回顾, 总结出实现20 nm DRAM芯片的关键技术创新点, 并对未来更加先进的DRAM芯片技术提出了展望.

2 DRAM存储器的工作原理及制造方法

2.1 DRAM器件和阵列单元结构

DRAM的存储电容可形成于衬底内部或者堆叠在衬底上面, 考虑到电容器的位置不同, DRAM存储单元可以分为两种类型, 沟槽式DRAM和堆叠式DRAM. 电容器形成于Si衬底内部的为沟槽式DRAM. 图1是这两种DRAM单元的剖面结构. 图1(b)所示的即为形成于衬底内部的存储电容, 该电容的内极板已经预先通过离子注入掺杂埋于衬底里面, 顶极板通常是高掺杂的多晶硅. 沟槽电容形成于外围电路制造之前, 因此沟槽电容制造的高热预算不会对外围电路产生影响, 所以沟槽式DRAM与外围电路以及逻辑电路具有高兼容性. 然而, 器件制造过程中沟槽电容需要经受高温掺杂激活步骤, 因此很难把高- k 材料集成于其中. 这导致沟槽式DRAM里面的存储电容高度往往要超过6 μm , 这个高度在20 nm DRAM中显然是不可行的. 图1(a)为堆叠式电容DRAM, 它的存储电容位于阵列器件的位线上面. 因此, 为激活器件掺杂所需的高温热处理不会影响到电容, 高 k 材料可以用做电容的介电材料.

这使得堆叠式DRAM的存储电容高度几乎是沟槽式DRAM电容高度的一半甚至更低. 随着DRAM存储单元的缩小, 堆叠电容DRAM的优势逐渐增强, 在60 nm以下的DRAM芯片中, 堆叠电容DRAM占据了主导地位.

图2描述了1T-1C DRAM单元的电路结构和电压设置. 阵列访问晶体管(Array Access Transistor)的源极连接着存储电容器, 然后通过存储电容器的充放电读写逻辑“1”和“0”. 阵列访问晶体管的栅极连接到字线, 漏极连接到位线. 一个存储阵列可由多个存储单元, 多行字线, 多列位线, 字线解码器和位线解码器组成. 每一位线连接读写晶体管的漏极, 字线则连接栅极. 只需提供行地址和列地址就可访问阵列内部的单个存储单元.

读写晶体管的漏极与位线相连接, 其电压为 V_{BL} . V_{BL} 值的大小由DRAM的运行状态决定. 当DRAM在“写1”, “写0”和“等待或者预充电”状态时, 其电压值分别为 V_{BLH} , V_{BLL} 和 $V_{BLH}/2$. V_{BLH} 是高位线电压, 代表逻辑“1”; V_{BLL} 为低位线电压, 代表逻辑“0”(通常等于0伏). 提供电压 V_{BLH} , 则存取晶体管以过载栅压 V_{WLH} 开启, 存储节点的电压被拉升至 V_{BLH} 后写入逻辑“1”. 同样, 提供低位线电压 V_{BLL} , 则存取晶体管以过载栅电压开启, 存储节点的电压被拉低至 V_{BLH} 后写入逻辑“0”.

读取操作的时候, 位线电压先被预充电至 $V_{BLH}/2$, 然后字线电压被拉升至 V_{WLH} , 最后, 存储节点的电压和位线电压都等于位线终电压 V_{BLf} . 读出放大器将检测出位线电压的微小变化 ΔV_{BL} , 并确认其逻辑状态. 考虑到存储电容 C_s 和位线电容 C_{BL} 之间的共享电荷, 平衡后的电压 V_{BLf} 可由方程(1)计算.

图1 (网络版彩图)(a) 堆叠电容器DRAM器件结构和(b) 沟槽电容器DRAM器件结构^[1-11]
Figure 1 (Color online) (a) Structure of stack capacitor DRAM and (b) trench capacitor DRAM [1-11].

图2 1T-1C1R DRAM 的电路结构和电压设置

Figure 2 Equivalent circuit and voltage setting of 1T-1C1R DRAM cell.

$$Q = C_S \cdot \left(V_S - \frac{V_{BLH}}{2} \right) + C_{BL} \cdot \left(\frac{V_{BLH}}{2} - V_{xi} \right) \\ = C_S \cdot \left(V_{BLf} - \frac{V_{BLH}}{2} \right) + C_{BL} \cdot \left(\frac{V_{BLf}}{2} - V_{xf} \right), \quad (1)$$

其中, V_S 是存储节点电压, V_{xi} 和 V_{xf} 分别代表位线电容相对应的电极的初始和最终电压. 忽略 V_{xi} 和 V_{xf} 之间的值差, 方程(1)可简化, 同时, 位线电压的变化 δV_{BL} 可以通过方程(2)推导出.

$$\delta V_{BL} = V_{BLf} - \frac{V_{BLH}}{2} = \left(V_S - \frac{V_{BLH}}{2} \right) \cdot C_S / (C_{BL} + C_S). \quad (2)$$

由方程(2)可知, 要使位线电压的变化增大, 可通过提高存储电容 C_S 或者降低位线电容 C_{BL} . δV_{BL} 将由高速正反馈的灵敏放大器检测出来并写回存储单元.

2.2 DRAM存储单元的技术革新

从第一代双倍数据速率存储器(DDR1)发展到第4代双倍数据速率存储器(DDR4), DRAM芯片的性能在迅速提升. 尽管芯片里面数据处理电路的工作频率急剧提高, DRAM存储阵列的核心工作频率却一直维持在50 MHz. 很显然, DRAM阵列存储单元的技术发展规律与逻辑器件截然不同. 在此, 我们将具体讨论DRAM存储单元的缩小准则(Scaling Rule).

2.2.1 存储电容的技术发展

DRAM的存储电容的主要技术创新, 在于: (1) 采用了杯状电容结构; (2) 使用了高 k 介质材料作为介质层的MIM(金属-绝缘层-金属)电容结构.

依据电荷共享原理, 为了在数据读取时给予位线

电压足够大的信号, 存储节点上的电容必须有足够大的电容值. 从方程(2)可推算, 位线电容 C_{BL} 等于100 fF时, δV_{BL} 若要达到120–175 mV, 则存储电容通常需高于25 fF. 同时, 作为动态随机存储器, DRAM的数据保持时间有限, 在下一次的数据刷新来临之前, 电容里要有足够的电荷可以被正确读出. 在DRAM芯片中, 数据平均存储时间和保持时间失效率之间存在一个经验关系, 即: 平均数据保持时间每降低10倍, 失效率上升 10^4 倍. 对于4 Gb容量的分立式DRAM芯片, 其85°C时数据保持时间的均值达到6.4 s时, 才能保证因为数据保持时间低于64 ms的失效单元数量接近20个. 如果存储时间均值为0.64 s时, 失效数量将达到200000个, 并且失效数量还会随温度上升导致而迅速增加. 因此, 在位线工艺中未采用低介电常数介质或者灵敏放大器的信噪比没有大幅提高的情况下, 采用常规技术的DRAM芯片在常温下平均存储时间需要达到10 s. 综合考虑信号幅度和数据保持时间的要求, 4 Gb DRAM芯片因为数据保持时间引起的失效存储单元数量往往需要小于几百. 实现如此低的失效率, 如果不适当减小 C_{BL} 的话, 存储电容须大于25 fF. 这意味着存储电容尺寸缩小了, 但是电容的存储容量却不能减少. 为了达到这个目的, 许多方法如用高 k 材料做介电材料和半球形晶粒生长(HSG)已经被广泛应用起来^[7].

图3为堆叠电容DRAM芯片在不同制造阶段下的简化俯视图. 第一步, 如图3(a)所示, 光刻和刻蚀形成分段的有源区, 然后通过热氧化法生长4–5 nm的栅氧化层(图3(b)). 图3(c)则为位线接触孔的打开步骤. 如图3(c)所示, 相邻的存储单元共用一个位线接触. 图3(d)是与有源区平行的位线的形成. 由图3(d)可以看出, 位线正好位于浅槽隔离(Shallow Trench Isolation, STI)结构的隔离介质上. 这种布局正是为了图3(e)的自对准存储电容的底电极接触而设计的. 在图3(e)中, 存储电容的底电极接触孔被打开, 这个接触孔刻蚀沿着字线和位线的SiN侧墙将接触孔打开, 是一步自对准的刻蚀工艺. 在图3(f)中, 存储电容的底电极接触被进一步重新排布成棋盘格排布, 以便充分利用空间, 使电容面积最大化, 之后进行牺牲层氧化层模板的淀积、电极材料、介质材料的生长, 实现存储电容的制造. 图4中的芯片局部放大图对应了图3(f)中的重排布光刻层, 可以看到被重新排成棋盘阵列的底电极接触体. 这层接触体保证了电容的表面积和存储密度的最

大化. 基于图4中的重排布技术, 垂直于底电极接触体之上的电容可以被排列成棋盘格分布.

DRAM的存储电容也分作柱状(Cylinder)结构和杯状(Cup)结构两种. 如图5所示, 在这个40 nm的芯片中, 使用了杯状的MIM (Metal-Insulator-Metal)电容. 其中, cup形状电容有内、中、外三个电极, 其中内电极和外电极短接为一个电极作为共同极板(Common Plate), 而中间的TiN电极则作为存储节点的电极. 通过使用杯状电容结构, 电容值得到了加倍的效果. 同时, 电容

图3 (网络版彩图)堆叠式电容DRAM的分步制造的俯视图. (a) 有源区布局; (b) 栅氧化层; (c) 位线接触孔; (d) 位线; (e) 存储电容底电极接触孔; (f) 棋盘式存储电容底电极接触

Figure 3 (Color online) Mask layout of stack capacitor DRAM array cells at different fabrication steps. (a) AA layout; (b) gate-oxide layer; (c) BL contact hole; (d) bit line; (e) bottom electrode contact hole of storage capacitor; (f) checkerboard-style bottom electrode contact of storage capacitor.

图4 电容底部接触体的重排布俯视图(自Chipworks网站)

Figure 4 Structure of capacitor bottom electrode (released by Chipworks).

图5 40 nm技术中堆叠式存储电容的局部放大图(自Chipworks网站)

Figure 5 Structure of capacitor in 40 nm DRAM array (released by Chipworks).

的介质使用了ZrAlO高 k 材料, 使得其电容值得到进一步提升. 随着DRAM技术的演进, cup形状的电容器由于电容高度得到降低而受到青睐.

2.2.2 阵列访问晶体管的技术发展

20 nm DRAM的阵列访问晶体管的主要技术创新有: (1) 采用了U形沟道的器件结构以便在缩小器件面积的同时获得较长的沟道长度, 获得极低的关态漏电流; (2) 采用了具有金属栅的掩埋字线结构, 降低了器件的寄生电容, 改善了阵列访问晶体管亚阈值摆幅.

DRAM存储单元对存储电容的充/放电时间非常短, 通常只有2~4 ns. 在已知电容值大于25 fF的条件下, 实现纳秒级写入时间的方法就是保证阵列访问晶体管的驱动电流大于15 μ A. 若驱动电流为15 μ A, 则一个30 fF的电容充电/放电时间接近3 ns, 如果驱动电流达到30 μ A, 则充电/放电时间可降至2 ns以下. 为了增加驱动电流, 同时通过访问晶体管给存储电容传输一个较强的“1”信号, 需要给阵列访问晶体管的栅极加一个远大于 V_{BLH} 的栅极电压, 通常大于2 V.

同样, 考虑到10 s以上的数据保持时间, 阵列访问晶体管的关态漏电流应低于1 fA^[3]. 通常可以通过负字线电压或者负衬偏电压来实现这个极低的关态漏

电流. 为了实现下一代DRAM在保持时间和读/写速度性能上的要求, 阵列晶体管需满足两点要求: 驱动电流达到 $15\ \mu\text{A}$ 以上和关态漏电流小于 $1\ \text{fA}$. 由于短沟道效应的影响, 在50和40 nm技术下平面晶体管几乎不可能同时满足这两点要求. 因此, 绝大部分的DRAM芯片都使用了各种各样的3D晶体管^[1,3,5,8-10].

多种阵列访问晶体管被研发并尝试应用于50 nm及更小尺寸下的DRAM芯片. 如图6所示, 德国的Infineon开发了FinFET^[3], 实验证明FinFET有很高的驱动电流和极低的截止漏电流, 有着比较高的开关比 $I_{\text{on}}/I_{\text{off}}$, 但是当它的沟道长度达到40 nm或者30 nm的时候, FinFET中的尖角形状导致电场上升. 因为FinFET关态时的最大电场超出 $2\times 10^5\ \text{V/cm}$, 它的关态漏电流无法满足应用于DRAM所需的 $1\ \text{fA}$ 的要求. 因此, 为更好应用于DRAM芯片, 需要对FinFET进行特殊改进, 譬如, 添加额外的漂移区以便降低FinFET在关闭状态下的电场.

由FinFET在DRAM中的不适用可以看到, DRAM芯片中器件要求和其他芯片中的器件要求极为不同. DRAM芯片中的阵列访问器件更加关注低漏电流, 甚至高驱动电流. 阵列访问晶体管设计时的经验是需要控制体电场小于 $2\times 10^5\ \text{V/cm}$, 靠近栅氧化层界面电场

小于 $5\times 10^5\ \text{V/cm}$.

对于60 nm以下的DRAM, 较长的物理沟道长度可以明显降低阵列访问晶体管关闭时的电场, 从而降低其栅致漏极漏电流(Gate Induced Drain Leakage, GIDL). 为此, 先进的DRAM芯片中应用了多种长沟道晶体管作为阵列访问晶体管. 具有代表性的有垂直沟道晶体管、U形沟道晶体管和马鞍形沟道晶体管. Samsung公司研发的U形沟道晶体管(RCAT)在90 nm DRAM中实现大规模生产^[10]. RCAT的U形长沟道使得它在相同的电压设置下驱动电流比平面晶体管的小很多, 所以常规RCAT需要更高的电压 $V_{\text{D-S}}$ 和 $V_{\text{G-S}}$.

在40 nm工艺下U形阵列访问器件的有源区非常狭窄, 因此它的驱动电流很小, 以至于无法实现快速访问. 对此, 一个改进U型沟道器件的重要创新就是在沟道里扩展一个边角器件. 仿真结果表明, 带边角器件(Corner-Device)的RCAT具备更好的性能, 这种边角器件的RCAT被英飞凌提出并被称为扩展U形器件(Extended U-shape Device, EUD)^[1,11].

图7是EUD器件的截面图. 可以看到, 在垂直字线的方向, 采用了U形沟道; 在平行于字线方向, 沟道两侧采用了马鞍的形状, 使得器件沟道宽度得到拓展, 器件的驱动能力得到增强. 图8是一个有和无边角器件的U形晶体管的驱动电流和亚阈值摆幅的对比图. 由图可见, 刻蚀了更大的边角器件, 可以使亚阈值摆幅更小, 驱动电流更大. 如果马鞍的高度有10 nm, 则EUD的亚阈值摆幅接近 $100\ \text{mV/dec}$, 驱动电流可达 $25\ \mu\text{A}$. 扩展U形器件由于极低的漏电流大大改善了数据保持性能. 图9是一个数据保持时间故障计数的图, 与使用平面晶体管作为阵列访问晶体管DRAM相比, 当 V_{g} 等于 $-0.5\ \text{V}$ 时, 使用了EUD晶体管的DRAM具有更加平滑的底部, 故障次数更少. 由于这种器件的优越特性,

图6 (网络版彩图)(a) DRAM里面的FinFET及(b)其转移特性^[3]

Figure 6 (Color online) (a) FinFET device fabricated in DRAM chip and (b) transfer characteristics of FinFET in DRAM chip [3].

图7 EUD器件的SEM截面图

Figure 7 SEM cross-section of EUD transistor.

图8 (网络版彩图)有/无边角器件的U形晶体管的驱动电流和亚阈值摆幅的对比图^[1]

Figure 8 (Color online) Drive current and subthreshold swing of EUD with various corner depths [1].

图9 (网络版彩图)EUD DRAM 的保持性能实验结果^[1]

Figure 9 (Color online) Retention performance of EUD DRAM chip [1].

韩国的DRAM厂商随后也使用了类似的晶体管^[8-11].

2.2.3 球形晶体管和掩埋字线阵列器件

在小于50 nm的DRAM芯片中, 硅体内最大电场不可以超过0.2 MV/cm, 因此阵列访问晶体管还使用了球形和掩埋字线V形晶体管. 图10给出了掩埋字线阵列器件(Buried Word Line, BWL)和球形晶体管(S-FET)的截面图, 其中球形晶体管(S-FET)的沟道是球形的. 这种设计的目的就是满足苛刻的关态漏电流要求. 对于S-FET, 一个50 nm宽的沟道凹槽窗口可以实现一个120 nm长的沟道. 因此, S-FET的漏电流非常小.

S-FET的缺点在于它的栅极和源/漏极之间有一个比较大的重叠区域. 重叠电容增大, 则亚阈值摆幅增加. 很显然, 相比于球形器件, 掩埋字线(BWL)器件的

寄生电容要小得多. 如图10所示, 基于图7的U形沟道晶体管, 将金属字线通过化学机械抛光与干法刻蚀的方法回刻到硅衬底水平面以下, 就得到了BWL技术. 这种器件的沟道长度得到延长, 同时, 其源漏寄生电容得到降低. 目前, 20–40 nm DRAM均已采用了英飞凌发明的BWL技术进行大规模生产, 包括三星电子的20 nm存储器芯片, 也使用了BWL技术^[12].

2.2.4 存储单元结构的技术发展

进入50 nm技术节点, DRAM的存储单元结构的主要技术创新是: (1) 堆叠式DRAM全面取代了深槽式DRAM; (2) 采用了6F²的存储单元替代了8F²的存储单元, 减小了存储单元面积.

虽然堆叠式DRAM和深槽式DRAM的存储单元概念一样, 但是两者的单元结构却截然不同. 在沟槽式DRAM的制造工艺里, 通过一单边埋带(Single-Sided Buried Strap, SSBS)来连接存储电容和访问器件的源极的. 图11是一俯视图, 给出了应用单边埋带的DRAM存储单元的制造过程^[7]. 首先, BF₃/B离子倾斜注入了部分掺杂非晶硅薄膜. 其次, 未掺杂的非晶硅薄膜被相应的湿蚀刻工艺选择性刻蚀. 接下来, 热氧化过程会形成一层SiO₂薄膜, 该层薄膜可作为下一步的多晶硅刻蚀的一层保护膜. 多晶硅薄膜在刻蚀的时候, 只有未掺杂的那一边才会被刻蚀掉, 至此就形成了一单边埋带, 见图11(b). 应用了SSBS技术的电容器可如棋盘一般布局, 如图11(a), 这就解决了传统电容布局下相邻电容穿通的问题(如图11(c)). 图11(d)描述的是浅槽隔离工序之后DRAM的结构, 其中有源区是通过一单边的多晶硅带来与存储电容相连接的.

图10 (网络版彩图)掩埋字线阵列器件和球形晶体管的截面图(摘自Qimonda公司官方网站)

Figure 10 (Color online) Buried word line DRAM cell and spherical transistor DRAM cell (released by Qimonda's webpage).

图 11 (网络版彩图)应用SSBS的DRAM存储单元的制造过程(a), (b), (d)及其与传统电容布局的对比(c)^[7]
Figure 11 (Color online) Fabrication process flow of SSBS DRAM cell (a), (b), (d) and the top-down view of traditional DRAM cell (c) ^[7].

堆叠式DRAM里面的电容是通过金属导体与阵列访问晶体管连接的,这就导致存储节点上的漂移区比沟槽式DRAM的短得多,电场强度也就高很多.与此同时,该金属连接穿过字线水平与位线水平,故而需要在SiO₂和Si₃N₄之间有更高的刻蚀选择比.

传统的DRAM存储单元面积通常是8F²(F指特征尺寸,一般等于1/2第一层金属步长),6F²存储单元的面积比传统的8F²存储单元小得多,因此能够有效地提高阵列存储密度.

图12是8F²存储单元和6F²存储单元的布局比较.8F²存储单元在它位线方向采用的是4F,在字线方向采用的是2F;然而6F²存储单元在位线方向上仅采用了3F,在字线方向采用的是2F.

图13简要说明了6F²存储单元的制备过程.6F²存储单元对光刻技术提出了更高的要求,因为它的位线

图 12 (网络版彩图)8F²存储单元设计和6F²存储单元的俯视图对比
Figure 12 (Color online) Comparison of 8F² DRAM cell layout and 6F² DRAM cell layout.

和有源区线条有一个将近30°的转动.如图13(a)所示,部分有源区被旋转一角度,之后,形成一隔离结构(图13(b)),在一些设计里,这一隔离线也可以是零电压的字线.图13(c)和(d)分别为凹槽沟道和字线版图形貌.图13(e)中,位线接触孔被打开,之后形成位线(BL).最后,如图13(f)所示,存储节点的接触形成,并在之上制备出存储电容器.

3 20 nm以下DRAM存储单元的发展趋势以及新概念

对于1T-1C DRAM技术,假使其外围电路性能不变,为使保持时间达到64 ms,电容容量必须达到15 fF以上,同时,阵列访问晶体管的漏电流还必须保持在1 fA以下.这两个条件是发展20 nm DRAM芯片的基本技术要求.

20 nm DRAM芯片由于使用了金属栅三维阵列访问晶体管和高k MIM大电容,其制造工艺复杂.因此有

图 13 (网络版彩图)6F²存储单元的制备过程和单元在不同制造阶段下的俯视图. (a) AA布局图; (b) 隔离结构; (c) 凹槽沟道; (d) 字线版图形貌; (e) 位线接触; (f) 位线和电容器
Figure 13 (Color online) Mask layout of different layers for fabricating 6F² DRAM cell. (a) AA layout; (b) isolation; (c) channel recess; (d) WL layout; (e) BL contact; (f) BL and capacitors.

人提出了多种新型的无电容DRAM. 比如基于浮体效应的浮体存储单元(Floating Body Memory Cell, FBC)^[14-20]. FBC的数据保持时间比较短, 而双晶体管RAM的存储单元尺寸则是普通的无电容DRAM存储单元的两倍^[21].

有些无电容DRAM更关注于晶体管的栅极. 它通常具有一个浮栅, 该浮栅的目的是存储电荷, 反过来又决定阈值电压^[22-25]. 为了使这种无电容DRAM获得比普通闪存单元更快的读写速度, 浮栅需引入一个p-n结来充放电(例如图14(a)的双晶体管存储器), 而不是通过栅氧化层的隧穿. 典型的例子是图14(b)中的Floating-Body Gate Cell (FBGC), 以及采用半浮栅结构的浮动结栅存储单元^[24,25]. 如图14(c)所示^[26], 浮动结栅存储单元仅用一个浮栅晶体管就完成了双晶体管存储单元里面的存储二极管和转移二极管两者的功能.

然而, 上述的一系列新型无电容存储器目前尚不能取代现有的1T-1C DRAM技术. 这主要是因为, 传统

的1T-1C DRAM发展到20 nm以下, 可以通过外围电路和器件的配合来降低存储单元的要求. 比如, 存储电容的容量大于15 fF的技术要求, 也会随着位线电容的降低(引入低 k 介质)^[12]或者刷新频率控制电路和灵敏放大器电路的改善而得到缓解. 阵列访问器件的漏电流, 可以使用V形沟道或者U形沟道器件的BWL技术来实现. 可以看到, 20 nm DRAM技术的实现已经非常依赖外围电路及阵列访问晶体管两方面齐头并进的技术创新.

4 结论

本文介绍了DRAM存储单元的基本原理并回顾了DRAM的技术发展与关键创新. 总结了多种先进技术节点的DRAM芯片制造的关键工艺技术.

DRAM存储单元的面积目前已从 $8F^2$ 降低到 $6F^2$, 为了进一步减小存储单元面积, 基于垂直阵列访问晶体管的 $4F^2$ 技术虽然多年以来一直在产业界的研发路线图中, 但是并没有获得任何技术突破, 这说明 $4F^2$ 的DRAM技术确实可能存在可行性问题.

可以看到, DRAM的制造工艺越来越复杂, 电容器相关的制造成本也急剧增加, 并达到了接近30%的DRAM芯片制造成本. 因此, 新型无电容DRAM技术或者使用更简单或者更小电容的技术越发具有吸引力.

然而, 虽然许多新型DRAM概念被提了出来并得到实验证实, 1T-1C结构仍然牢牢占领整个DRAM芯片技术市场. 这种1T-1C单元结构甚至逐渐渗透到DRAM芯片之外的其他应用, 进入了CPU领域取代一部分的SRAM缓存^[27].

随着Moore's Law逐渐接近尽头, 20 nm以下的DRAM芯片技术实现难度极大. 同时, 由于便携式设备市场在不断扩大, 存储芯片的低功耗要求变得极其重要. 因此, 对于下一代的纳米DRAM存储芯片来说, 更多研究芯片整体功耗的降低, 将会比一味地扩大芯片存储容量更有价值和意义.

图14 (a) 传统的双晶体管浮栅DRAM存储单元; (b) 浮体/栅存储单元(FBGC); (c) 半浮栅存储单元^[26]

Figure 14 Device sketches of (a) memory cell composed by two transistors; (b) floating Body/Gate Memory cell; (c) memory with floating junction as floating gate ^[26].

参考文献

- 1 Tran T, Weis R, Sieck A, et al. A 58 nm trench DRAM technology. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2006
- 2 Monaghan S, Cherkaoui K, O'connor E, et al. TiN/ZrO₂/Ti/Al metal-insulator-metal capacitors with subnanometer CET using ALD-deposited

- ZrO₂ for DRAM applications. [IEEE Electron Device Lett](#), 2009, 30: 219–221
- 3 Mueller W, Bergner W, Erben E, et al. Challenges for the DRAM cell scaling to 40 nm. In: Proceedings of International Electron Devices Meeting. Washington D C: IEEE, 2005. 336–339
- 4 Schloesser T, Manger D, Weis R, et al. Highly scalable sub-50 nm vertical double gate trench DRAM cell. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 57–60
- 5 Lee C, Yoon J M, Lee C H, et al. Enhanced data retention of damascene-finFET DRAM with local channel implantation and <100> fin surface orientation engineering. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 61–64
- 6 Okonogi K, Ohyu K, Toda A, et al. Lattice strain design in W/WN/poly-Si gate DRAM for improving data retention time. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 65–68
- 7 Amon J, Kieslich A, Heineck L, et al. A highly manufacturable deep trench based DRAM cell layout with a planar array device in a 70 nm technology. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 73–76
- 8 Lee D H, Lee B C, Jung I S, et al. Fin-channel-array transistor (FCAT) featuring sub-70 nm low power and high performance DRAM. In: Proceedings of International Electron Devices Meeting. Washington D C: IEEE, 2003. 407–410
- 9 Chung S W, Lee S D, Jang S A, et al. Highly scalable Saddle-Fin(S-Fin) transistor for sub-50 nm DRAM technology. In: Proceedings of Symposium on VLSI Technology. Honolulu HI: IEEE, 2006. 32–33
- 10 Kim J Y, Woo D S, Oh H J, et al. The excellent scalability of the RCAT (Recess-Channel-Array-Transistor) technology for sub-70 nm DRAM. In: Proceedings of Symposium on VLSI Technology. Hsinchu: IEEE, 2005. 33–34
- 11 Kim D H, Kim J Y, Huh M, et al. A mechanically enhanced storage node for virtually unlimited height (MESH) capacitor aiming at sub 70 nm DRAMs. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 69–72
- 12 Park J M, Hwang Y S, Kim S W, et al. 20 nm DRAM: A new beginning of another revolution. In: Proceedings of International Electron Devices Meeting. Washington D C: IEEE, 2015. 26.5.1–26.5.4
- 13 Wang P F, Nuetzel J, Weis R, et al. Method of manufacturing a transistor and a method of forming a memory device with isolation trenches. US Patent, US7442609-B2, 2006-05-25
- 14 Okhonin S, Nagoga M, Sallece J M, et al. A SOI capacitor-less 1T-DRAM concept. In: Proceedings of International SOI Conference. Durango CO: IEEE, 2001. 157–158
- 15 Ohsawa T, Fujita K, Higashi T, et al. Memory design using a one-transistor gain cell on SOI. In: Proceedings of International Solid-State Circuits Conference. San Francisco: IEEE, 2002. 152–153
- 16 Nitayama A, Ohsawa T, Hamamoto T. Overview and future challenge of floating body cell (FBC) technology for embedded applications. In: Proceedings of Symposium on VLSI Technology. Hsinchu: IEEE, 2006. 1–3
- 17 Matsuoka F, Ohsawa T, Higashi T, et al. FBC's potential of 6F² single cell operation in multi-Gbit memories confirmed by a newly developed method for measuring signal sense margin. In: Proceedings of International Electron Devices Meeting. Washington D C: IEEE, 2007. 39–42
- 18 Kuo C, King T J, Hu C. A capacitorless double-gate DRAM cell. [IEEE Electron Device Lett](#), 2002, 23: 345–347
- 19 Shino T, Higashi T, Fujita K, et al. Highly scalable FBC (Floating Body Cell) with 25 nm BOX structure for embedded DRAM applications. In: Proceedings of Symposium on VLSI Technology. Honolulu HI: IEEE, 2004. 132–133
- 20 Ranica R, Villaret A, Fenouillet-Beranger C, et al. A capacitor-less DRAM cell on 75 nm gate length, 16 nm thin fully depleted SOI device for high density embedded memories. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2004. 277–280
- 21 Morishita F, Noda H, Gyohten T, et al. A capacitorless twin-transistor random access memory (TTRAM) on SOI. In: IEEE Custom Integrated Circuits Conference. San Jose: San Francisco IEEE, 2005. 435–438
- 22 Krautschneider W H, Hofmann F, Ruderer E, et al. Planar gain cell for low voltage operation and gigabit memories. In: Proceedings of Symposium on VLSI Technology. Kyoto: IEEE, 1995. 139–140
- 23 Lu Z C, Fossum J G, Yang J W, et al. A Simplified Superior Floating-Body/Gate DRAM Cell. [IEEE Electron Device Lett](#), 2009, 30: 282–284
- 24 Wang P F, Gong Y. A novel 4.5 F² capacitorless semiconductor memory device. [IEEE Electron Device Lett](#), 2008, 29: 1347–1348
- 25 Wang P F, Lin X, Liu L, et al. A semi-floating gate transistor for low-voltage ultrafast memory and sensing operation. [Science](#), 2013, 341: 640–643
- 26 Wang P F, Liu L, Wu D, et al. A novel self-refreshable capacitorless DRAM cell and its extended applications. [Solid-State Electronics](#), 2010, 54: 985–990
- 27 Wang G, Cheng K, Ho H, et al. A 0.127 μm² high performance 65 nm SOI based embedded DRAM for on-processor applications. In: Proceedings of International Electron Devices Meeting. San Francisco: IEEE, 2006. 1–4

Research progresses of dynamic random access memory devices

WU Jun, YAO Yao, LU XiQun & WANG PengFei*

State Key Laboratory of ASIC (Application Specific Integrated Circuit) and System, Fudan University, Shanghai 200433, China

In this paper, the dynamic random access memory (DRAM) cell technology is introduced and the important technological breakthroughs are reviewed. The criteria of DRAM memory cell design is discussed and the key fabrication technologies of $6F^2$ memory cell and stack capacitor DRAM cell are summarized. The technological evolution of array access transistor is also reviewed. The transistors with U-shaped transistor or FinFET and the fabrication process flow of $6F^2$ DRAM chip were discussed. Based upon the technical requirements for DRAM cell, the possible device technologies for the next generation DRAM cell was summarized. It is predicted that (1) U-shape channel transistor will be the mainstream technology for the future DRAM cell beyond 20 nm; (2) low k material will be required for decreasing the bitline parasitic capacitance; (3) sense-amplifier with better signal-noise margin will be required to ease the requirement of high aspect-ratio storage capacitance; (4) low power DRAM design will draw more attention, rather than increasing the storage capacity of DRAM.

dynamic random access memory, short channel effect, buried word line, array access transistor, storage capacitor

PACS: 85.25.Hv, 85.30.De, 85.40.-e

doi: [10.1360/SSPMA2016-00164](https://doi.org/10.1360/SSPMA2016-00164)