P-N结型耗尽沟道的势垒高度解析模型

肖彤, 乔坚栗, 陈健, 杨建红*

兰州大学物理科学与技术学院, 微电子研究所, 兰州 730000

* 联系人, E-mail: yangjh@lzu.edu.cn

2016-07-20 收稿, 2016-11-18 修回, 2016-11-18 接受, 2017-06-08 网络版发表

摘要 P-N结型耗尽沟道的电流输运取决于沟道中的势垒高度, 本文构建了沟道势垒模型, 基于器件物理分析给出了势垒高度的解析表达式. 该模型对沟道内和沟道外耗尽区的边界条件做了合理的假设和分析, 通过求解泊松方程获得上述两个区域的电势分布, 将这两个区域的电势分布综合起来推导出了势垒高度的解析表达式. 该表达式较为完整地反映了势垒高度与器件材料参数、结构参数及外加偏压的关系. 将解析模型与数值模拟结果做了比较, 两者吻合很好. 该模型的构建对于分析具有P-N结型耗尽沟道的半导体器件有重要意义.

关键词 P-N结, 耗尽沟道, 势垒模型, 泊松方程, 解析表达式

P-N结的正反偏性质在双极结型晶体管(bipolar junction transistor, BJT)和场效应晶体管(field-effect transistor, FET)中得到了很大应用. 其中, BJT和金属-绝缘体-半导体场效应晶体管(metal-insulator-semiconductor FET, MISFET)利用了P-N结耗尽层的关断作用: BJT是利用P-N结正偏时的注入作用工作的, 少子的注入、运动和收集实现了BJT的开关和放大等作用; MISFET是利用栅偏压控制沟道工作的, 沟道处于耗尽状态, 器件关断, 沟道处于反型状态, 器件导通. 结型场效应晶体管(junction FET, JFET)利用了耗尽层宽度随偏压变化的性质: 栅偏压控制耗尽层的宽度, 从而控制导电沟道的有效截面积, 实现电压对电流的控制作用, 但在正常工作情况下, JFET的沟道区并非完全耗尽, 总存在着有一部分中性区. 然而, 有一种特殊类型的器件——静电感应器件(static induction device, SID), 它同样是借助P-N结的性质工作的, 但P-N结在其中所起的作用却不同于其他类型的器件. 在这种器件中, 以对称分布的两个P-N结之间形成的耗尽区作为导电沟道(零偏情况下即是如此), 而且在耗尽区内形成了额外的势垒, 该势垒并非是通

常所见的P-N结势垒, 控制了垂直于结面方向上的电子运动, 而是控制平行于结面方向(即沟道方向)的电子运动. 势垒高度强烈受控于栅源偏压: 随着栅源偏压的变化, 势垒高度发生相应的变化, 从而使通过沟道区的电流发生变化. 也就是说, P-N结耗尽区在SID器件中是有其特殊作用的.

SID作为一类结型器件, 有其诸多优势, 如控制功率大、电流容量大、耐高压、开通关断全可控等优点, 在音频放大、电力变换等领域具有特定用途^[1~6]. 如前所述, P-N结耗尽区在这类器件中具有特殊作用, 这类器件可以工作的核心基础问题是沟道区(P-N结耗尽区)的势垒高度对沟道区结构和外加偏压的依赖关系.

针对这一问题, 国内外的研究工作主要集中于SID的制造工艺及*I-V*特性的实验研究^[7~9], 而对势垒高度本身的理论研究工作很少, 目前所报道的只有Bulucea和Rusu^[10]给出的半解析模型, 其给出的势垒高度表示为

$$\phi_{\min} = \frac{kT}{q} \ln \left(\frac{N_D^+}{N_D^-} \right) - \eta [V_{GS} - (\phi_{biG} - V_P)] - \theta V_{DS}^*, \quad (1)$$

引用格式: 肖彤, 乔坚栗, 陈健, 等. P-N结型耗尽沟道的势垒高度解析模型. 科学通报, 2017, 62: 3392~3399

Xiao T, Qiao J L, Chen J, et al. Analytical model for the potential barrier height in depleted channel formed by P-N junctions (in Chinese). Chin Sci Bull, 2017, 62: 3392~3399, doi: 10.1360/N972016-00806

其中, V_{DS}^* 代表本征漏电压, 表示为

$$V_{DS}^* = \alpha_D V_{DS} + \alpha_G V_{GS}. \quad (2)$$

可见, 该模型中使用了 η , θ , α_D , α_G 4个半经验参数, 且没有给出 V_{DS}^* 与 V_{DS} 的显示关系, 因此尚不足以清晰给出势垒高度 ϕ_{min} 与材料参数、结构参数和外加偏压的关系. 本文针对以上问题, 基于器件物理给出了势垒高度的解析模型^[11], 准确并且定量地反映了势垒高度与材料参数、结构参数和外加偏压的关系, 并与器件模拟结果进行了对比.

1 势垒高度的解析模型

1.1 构建器件结构模型

建立SIT电势分布分析模型, 把SIT分为3个矩形区域分析: 矩形ABB'A'为两栅之间的沟道区, 器件的漏电流由势垒高度决定, 而势垒高度取决于沟道区的电势分布; 矩形DEE'D'为沟道区下方的耗尽区, 耗尽区长度 w 会随着漏偏压的增大而增大, 漏偏压对势垒高度的控制效率与这个区域的电势分布密切相关; 矩形EFF'E'为中性区, 是为实现某些电学参数和实际器件制造工艺中不可避免而引入的区域, 它对器件有一定的影响, 但不是根本性的. 所以, 需要对沟道区内外的电势分布进行详细研究. 为了方便计算, 取沟道末端中点即BB'中点为坐标轴零点, x 轴正方向为沟道指向源区, 如图1所示.

1.2 沟道区内的电势分布

沟道区矩形ABB'A'的电势 $\phi(x, y)$, ($x > 0$)服从二维泊松方程^[9]:

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{qN_D^-}{\epsilon}, \quad (3)$$

其中, q 为电子电量, ϵ 为硅的介电常数, N_D^- 为外延层掺杂浓度, 在小电流条件下可以忽略漏电流中的移动电子.

根据叠加原理, 电势方程可以写成如下形式^[12]:

$$\phi(x, y) = \phi_p(y) + \phi_0(x, y), (x > 0), \quad (4)$$

$\phi_p(y)$ 是方程的一个特解, $\phi_0(x, y)$ 为方程的二维拉普拉斯分量, 式(4)的解取决于矩形ABB'A'的边界条件, 对各个边界条件做如下假设:

边界AB, A'B'为栅沟P-N冶金结的位置, 在理想模型中, AB, A'B'的电势可近似为一个常数 ϕ_G , 可以表示为

$$\phi_G = -|V_{GS}| - \phi_{biG} - \phi_{biS}, \quad (5)$$

其中, V_{GS} 为栅偏压($V_{GS} < 0$), ϕ_{biG} 和 ϕ_{biS} 分别为栅沟PN结自建电势和源沟高低结自建电势.

对于边界BB', 参考Bulucea模型^[11], 可将其电势分布假设为一个余弦函数:

$$\phi(0, y) = \phi_G + (V_{DS}^* - \phi_G) \cos\left(\frac{\pi y}{2a}\right); \quad (6)$$

边界AA'为源区与沟道的交界线, 同样参考Bulucea

图1 SIT器件结构模型, 用于分析电势分布以及势垒高度

Figure 1 Structure model of SIT, which is used to analyze electrical potential distribution and barrier height

模型^[11], 设AA'的电势分布为一个余弦函数:

$$\phi(L, y) = \phi_G - \phi_G \cos\left(\frac{\pi y}{2a}\right). \quad (7)$$

由边界条件 $\phi_p(a) = \phi_p(-a) = \phi_G$, 沟道区的电势分布可以表示为

$$\phi(x, y) = \left[1 - \left(\frac{y}{a}\right)^2\right] \phi_p + \phi_G + \left[\frac{V_A \exp\left(-\frac{\pi x}{2a}\right) + V_B \exp\left(\frac{\pi x}{2a}\right)}{\cos\left(\frac{\pi y}{2a}\right)}, (x > 0), \right. \quad (8)$$

V_A, V_B 为常数, 由边界条件 $\phi(0, 0) = V_{DS}^*$, $\phi(L, 0) = 0$ 确定:

$$V_A = \frac{\mu_0}{\mu_0^2 - 1} [\mu_0 V_{DS}^* - (\mu_0 - 1)(\phi_p + \phi_G)], \quad (9)$$

$$V_B = -\frac{1}{\mu_0^2 - 1} [V_{DS}^* + (\mu_0 - 1)(\phi_p + \phi_G)], \quad (10)$$

其中 $\mu_0 = \exp\left(\frac{\pi L}{2a}\right) > 1$ 称为本征静态增益^[10], 取决沟道的长度与半宽度之比 L/a , 是决定SIT电学特性的关键参数。

1.3 沟道区外的电势分布

矩形BCC'B'内的电势分布同样服从泊松方程, 应用分离变量法, 其电势分布 $\phi(x, y)$, ($x < 0$) 可以表示为

$$\phi(x, y) = \phi_\theta(x, y) + \phi_1(x, y), (x < 0), \quad (11)$$

其中, $\phi_\theta(x, y)$ 为方程的一个特解, $\phi_1(x, y)$ 为方程的二维拉普拉斯分量, 求解此方程前, 需对方程的边界条件进行讨论。

边界BB'的电势分布依旧假设为式(6)。

边界BC, B'C'的电势分布需通过求解矩形BCED和矩形B'C'E'D'的电势分布得出。矩形BCED可以近似认为是与栅体形成的单边突变结的耗尽区, 电场在边界BC上的分布可视为线性分布, 对电场积分, 可得BC上的电势分布:

$$\phi(x, -a) = \phi_G - \frac{V_{DS} - \phi_G}{w^2} x^2 - \frac{2(V_{DS} - \phi_G)}{w} x. \quad (12)$$

由于矩形BCED与矩形B'C'E'D'对称, 同理可求得B'C'的电势分布:

$$\phi(x, a) = \phi_G - \frac{V_{DS} - \phi_G}{w^2} x^2 - \frac{2(V_{DS} - \phi_G)}{w} x, \quad (13)$$

如果把耗尽区边界EE'当做一条直线处理, 则CC'的电势为常数, 等于 V_{DS} , 这样计算得到的结果非常复杂, 参考之前模型^[11], 为了简化计算, 把耗尽区边界的形状做如下假设, 如图2所示。EK, E'K'为直线, KH, K'H是半径为 w 的圆弧, 圆心分别为B, B'。为了得到不含级数项的解析表达式, CC'的电势分布可以假设为余弦函数, 这样方便对泊松方程的二维拉普拉斯分量进行求解。H点的电势为 V_{DS} , C点和C'点的电势可以根据式(12), (13)得出, 故CC'的电势分布可表示为

$$\phi(-l_0, y) = \phi(-l_0, a) + [V_{DS} - \phi(-l_0, a)] \cos\left(\frac{\pi y}{2a}\right), \quad (14)$$

其中, l_0 为B'到C'的距离, 如图2所示。

由边界条件对BCC'B'的电势分布进行求解, 首先确定方程的一个特解:

$$\phi_\theta(x, y) = \left(-\frac{qN_D^-}{2\epsilon} + \frac{V_{DS} - \phi_G}{w^2}\right) y^2 + \phi_p + \phi_G - \frac{V_{DS} - \phi_G}{w^2} a^2 - \frac{V_{DS} - \phi_G}{w^2} x^2 - \frac{2(V_{DS} - \phi_G)}{w} x, \quad (15)$$

拉普拉斯分量 $\phi_1(x, y)$ 的解可以用如下形式表示:

$$\phi_1(x, y) = \left[A \exp\left(-\frac{\pi x}{2a}\right) + B \exp\left(\frac{\pi x}{2a}\right)\right] \cos\left(\frac{\pi y}{2a}\right). \quad (16)$$

则矩形BCC'B'内的电势分布可以表示为

$$\begin{aligned} \phi(x, y) = & \left(-\frac{qN_D^-}{2\epsilon}\right) y^2 + \phi_p + \phi_G - \frac{V_{DS} - \phi_G}{w^2} a^2 \\ & + \frac{V_{DS} - \phi_G}{w^2} x^2 - \frac{2(V_{DS} - \phi_G)}{w} x \\ & + \left[A \exp\left(-\frac{\pi x}{2a}\right) + B \exp\left(\frac{\pi x}{2a}\right)\right] \cos\left(\frac{\pi y}{2a}\right), (x < 0). \end{aligned} \quad (17)$$

图2 耗尽区边界模型图

Figure 2 Model of depletion region's boundary

代入边界条件 $\phi(0,0)=V_{DS}^*$, $\phi(-l_0,0)=V_{DS}$ 解得

$$A = \frac{-V_{DS}^* + \left[\frac{a^2}{w^2} - \left(\frac{a^2}{w^2} + \frac{l_0^2}{w^2} - \frac{2l_0}{w} \right) \mu_1 \right] V_{DS} - (\mu_1 - 1)V_1 + \mu_1 V_2}{\mu_1^2 - 1}, \quad (18)$$

$$B = \frac{\mu_1^2 V_{DS}^* + \left[\frac{2a^2}{w^2} - \frac{a^2}{w^2} \mu_1^2 - \left(\frac{a^2}{w^2} + \frac{l_0^2}{w^2} - \frac{2l_0}{w} + 1 \right) \mu_1 \right] V_{DS} - (\mu_1^2 - \mu_1)V_1 + \mu_1 V_2}{\mu_1^2 - 1}, \quad (19)$$

式中, $\mu_1 = \exp\left(\frac{\pi l_0}{2a}\right) > 1$, $V_1 = \phi_p + \phi_G + \frac{a^2}{w^2} \phi_G$, $V_2 = \frac{l_0^2}{w^2} \phi_G - \frac{2l_0}{w} \phi_G$.

1.4 势垒高度的解析表达

沟道区以及沟道区下方耗尽区^[13]的电势分布, 如式(8)和(17)所示, 因此, 沟道中心线上的电势分布表达式:

$$\phi(x,0) = \begin{cases} \phi_G + \phi_p + \left[V_A \exp\left(-\frac{\pi x}{2a}\right) + V_B \exp\left(\frac{\pi x}{2a}\right) \right], & (x > 0), \\ \phi_G + \phi_p - \frac{V_{DS} - \phi_G}{w^2} a^2 + \frac{V_{DS} - \phi_G}{w^2} x^2 - \frac{2(V_{DS} - \phi_G)}{w} x + \left[A \exp\left(-\frac{\pi x}{2a}\right) + B \exp\left(\frac{\pi x}{2a}\right) \right], & (x < 0). \end{cases} \quad (20)$$

为了求解 V_{DS}^* 必须将两个区域的电势分布联系起来, 耗尽区的鞍点位于沟道中心线上, 且 V_{DS}^* 为沟

道末端中点的电势, 因此通过求解沟道中心线上的电势分布可以确定 V_{DS}^* 的表达式:

$$\left(\frac{\mu_1^2 + 1}{\mu_1^2 - 1} + \frac{\mu_0^2 + 1}{\mu_0^2 - 1} \right) V_{DS}^* = \frac{\left[\frac{3a^2}{w^2} - \frac{a^2}{w^2} \mu_1^2 - 2 \left(\frac{a^2}{w^2} + \frac{l_0^2}{w^2} - \frac{2l_0}{w} + 1 \right) \mu_1 \right] V_{DS}}{\mu_1^2 - 1} + \frac{(\mu_1^2 + 1)V_1 + 2\mu_1 V_2}{\mu_1^2 - 1} + \frac{4a}{\pi w} (V_{DS} - \phi_G) + \frac{(\mu_0 - 1)^2}{\mu_0^2 - 1} (\phi_p + \phi_G). \quad (21)$$

SIT正常工作时漏偏压较大, $1/\mu_1$ 可以近似地认为等于0, $V_{DS} \gg |\phi_G|$, 对式(21)化简, 可得

$$\left(1 + \frac{\mu_0^2 + 1}{\mu_0^2 - 1} \right) V_{DS}^* = \frac{4a}{\pi} \sqrt{\frac{qN_D^-}{2\varepsilon}} \cdot \sqrt{V_{DS} + \phi_p + 2\phi_G}. \quad (22)$$

V_{DS}^* 的解析表达式确定后, 将其代入 V_A , V_B 中, 沟道区电势分布的解析表达式也就随之确定. 对电势求导可得出不含经验参数的势垒高度解析表达式:

$$\phi_{\min} = \phi_G + \phi_p + \frac{1}{\mu_0^2} \sqrt{\left(-\frac{2}{\pi} \sqrt{\phi_p V_{DS}} - \mu_0 \phi_p - \mu_0 \phi_G \right) \cdot \left(\frac{2\mu_0^2}{\pi} \sqrt{\phi_p V_{DS}} + \mu_0 \phi_p + \mu_0 \phi_G - \frac{1}{2} \mu_0^2 \phi_p \right)}. \quad (23)$$

将沟道区电势分布的计算结果作图, 如图3所示, 电势分布近似呈马鞍状. 其中, x 轴表示沟道方向, y 轴表示沟道垂直方向, z 轴表示电势大小, 沟道末端中心的电势即(0, 0)的电势小于源极电势.

势垒高度的解析表达式说明, 栅控效率和漏控效率取决于器件的结构和材料参数. 栅控效率主要取决于沟道长度和沟道半宽度, 沟道长宽比越大, 栅偏压对势垒高度的控制作用越强; 漏控效率主要取决于沟道半宽度和外延层掺杂浓度, 沟道半宽度越大, 外延层掺杂浓度越高, 漏偏压对势垒高度的控制作用越强. 减小沟道宽度可以同时增大栅控效率和减小漏控效率, 是提高电压放大因子最直接的方法.

图3 (网络版彩色)沟道区内电势分布

Figure 3 (Color online) Electrical potential distribution in the channel

但沟道过窄会导致器件的有效导电面积过小,并且电流集中在沟道中心线上会导致器件发热严重,因此在设计器件时要综合考虑各种因素.

2 模型的验证

由于电势分布和势垒高度不可直接测量,为了验证电势分布模型的正确性,本文通过仿真工具对SIT进行模拟仿真并与模型进行对比. 本文所建二维SIT模型是基于本组研究的音频小功率SIT设计的^[14,15],衬底为N型硅衬底,数值模拟采用的材料参数和结构参数列于表1.

在势垒模型的推导过程中,对边界条件进行了相关假设,为了验证这些假设的合理性,将器件的数值模拟与假设边界条件进行了对比,如图4所示. 为了简化计算和更接近实际情况,把AA'和BB'的边界条件假设为余弦函数的形式,仿真结果显示,实际情况与假设非常接近,如图4(a)和(b)所示. 图4(c)为AB, A'B'的假设边界条件与仿真结果的对比图,虽然AB, A'B'的电势分布与假设有所差别,但差距很小,最大偏差只有0.03 V,为栅压的3%. 对于BC, B'C'的

边界条件,根据单边突变结的理论将其近似为一元二次函数,假设值与实际仿真结果的对比图(图4(d))所示,两者非常接近. 综上所述,为了简化计算对边界条件进行相应假设是合理的.

图5(a)为栅偏压固定时($V_{GS}=-1$ V),不同漏偏压下沟道中心电势分布的解析模型结果与数值模拟结果的对比图. 随着漏偏压增大,耗尽区向漏极扩展,沟道区的电势弯曲程度变小,势垒高度降低. 图5(a)中,解析模型结果与数值模拟结果非常吻合,说明该模型能够描述势垒高度随漏偏压的变化规律.

表 1 典型的SIT器件参数

Table 1 Typical parameters of SIT

参数名称	参数符号	参数值
外延层掺杂浓度	N_D^-	$1 \times 10^{14} \text{ cm}^{-3}$
栅掺杂浓度	N_A	$1 \times 10^{20} \text{ cm}^{-3}$
源/漏掺杂浓度	N_D^+	$1 \times 10^{20} \text{ cm}^{-3}$
沟道半宽度	a	$1.7 \text{ }\mu\text{m}$
沟道长度	L	$2.5 \text{ }\mu\text{m}$
栅的半宽度	b	$2.8 \text{ }\mu\text{m}$
外延层总厚度	d	$23.2 \text{ }\mu\text{m}$

图 4 假设边界条件与数值模拟结果对比. (a) 边界BB'; (b) 边界AA'; (c) 边界AB, A'B'; (d) 边界BC, B'C'
Figure 4 The comparison of hypothetical boundary conditions with numerical simulation results. (a) Boundary BB'; (b) boundary AA'; (c) boundary AB and A'B'; (d) boundary BC and B'C'

图5 不同电压下针对电势分布解析模型和数值模拟结果的比较. (a) 不同漏偏压; (b) 不同栅偏压

Figure 5 Electrical potential distribution's comparison of analytical model with numerical simulation results. (a) At different drain voltages; (b) at different gate voltages

图5(b)为漏偏压固定时($V_{DS}=10\text{ V}$), 不同栅偏压下沟道中心电势分布的解析模型结果与数值模拟结果的对比图. 插图为沟道区的电势分布. 可以发现在不同栅偏压条件下计算所得的 V_{DS}^* 均比数值模拟值约小0.2 V, 这是由于理想模型忽略一些因素带来的固定偏差, 且 V_{DS}^* 主要取决于漏偏压大小, 0.2 V仅为10 V的2%. 虽然解析模型结果与数值模拟结果不能完全吻合, 但解析模型结果可以准确地反映出势垒高度随栅偏压的变化规律.

图5(a)和(b)显示, 本文提出的势垒模型能够准确地定量反映出势垒高度与外加偏置条件的关系. 对比两图可以发现, 栅偏压对势垒高度的控制作用远大于漏偏压对势垒高度的控制作用.

对不同结构和不同外延层掺杂浓度的SIT进行了仿真, 结果如图6所示. 图6(a)显示的结果是在其他参数不变, 仅改变外延层掺杂浓度的条件下, 沟道中心电势分布解析解与数值解的比较结果. 可以发现,

解析解与数值解吻合良好, 且相同条件下, 外延层掺杂浓度越低, 势垒高度越高. 图6(b)显示的结果是在其他参数不变, 仅改变沟道长度的条件下, 沟道中心电势分布解析解与数值解的比较结果, 两者吻合良好, 且沟道越长, 势垒高度越高. 图6(c)显示的结果是在其他参数不变, 仅改变沟道宽度的条件下, 沟道中心电势分布解析解与数值解的比较结果. 结果显示, 两者非常吻合, 且沟道越窄, 势垒高度越高. 综合上述结果, 沟道势垒模型适用于不同结构及不同外延层掺杂浓度的SIT.

3 结论

本文对已有的电势模型进行修正, 考虑到沟道区外耗尽区的电势分布对沟道势垒模型的影响, 重新构建了势垒模型, 并推导得出了势垒高度的解析表达式, 通过数值模拟对势垒模型进行了分析验证, 分别对不同栅压和漏压, 不同结构和掺杂浓度的SIT进行了仿

图6 (网络版彩色)沟道中心电势分布解析模型与数值模拟结果的比较. (a) 不同外延层掺杂浓度; (b) 不同沟道长度; (c) 不同沟道宽度

Figure 6 (Color online) The comparison of analytical model with numerical simulation results in the channel region. (a) Different doping concentration in the epitaxial layer; (b) different channel length; (c) different channel width

真, 结果表明, 解析模型结果与数值模拟结果吻合较好, 能正确反映出势垒高度与器件的外加偏压、材料

参数和结构参数的关系. 新势垒模型可作为具有 P-N 结型耗尽沟道的半导体器件设计的重要依据.

参考文献

- 1 Koji Y, Yasunori T, Tsutomu Y, et al. Short-circuit capability of SiC buried-gate static induction transistors: Basic mechanism and impacts of channel width on short-circuit performance. *IEEE Trans Electron Dev*, 2010, 57: 919–927
- 2 Niu S Q, Maxime B, Dominique T. Design impact on the static and short-circuit characteristics of SiC-SIT with non-uniformly doped channel. *Matet Sci Forum*, 2016, 858: 925–928
- 3 Yukihiro S, Yasunori T, Akiyoshi F, et al. SiC-SIT circuit breakers with controllable interruption voltage for 400-V DC distribution systems. *IEEE Trans Power Electron*, 2014, 29: 2597–2605
- 4 Akira T, Fumiyoshi K, Kazuya F, et al. Development of a high-power solid-state switch using static induction thyristors for a klystron modulator. *Nucl Instr Methods Phys Res A*, 2015, 769: 72–78
- 5 Kojiro M, Yoichi T, Naohiro S, et al. Inactivation of Salmonella by nitrogen gas plasma generated by a static induction thyristor as a pulsed power supply. *Food Control*, 2015, 52: 54–59
- 6 Akikazu S, Yoichi T, Yuichiro I. Nitrogen gas plasma generated by a static induction thyristor as a pulsed power supply inactivates adenovirus. *PLoS One*, 2016, 11: 1–17
- 7 Li S Y. Interaction Theory of Static Induction Device (in Chinese). Lanzhou: Lanzhou University Press, 1996. 188–192 [李思渊. 静电感应器件作用理论. 兰州: 兰州大学出版社, 1996. 188–192]
- 8 Nishizawa J, Terasaki T, Shibata J. Field-effect transistor versus analog transistor (static induction transistor). *IEEE Trans Electron Dev*, 1978, 22: 185–197
- 9 Mochida Y, Nishizawa J, Ohmi T, et al. Characteristics of static induction transistors: Effects of series resistance. *IEEE Trans Electron Dev*, 1978, 25: 761–767
- 10 Bulucea C, Rusu A. A first-order theory of the static induction transistor. *Solid State Electron*, 1987, 30: 1227–1242
- 11 Nishizawa J, Yamamoto K. High-frequency high-power static induction transistor. *IEEE Trans Electron Dev*, 1978, 25: 314–322
- 12 Shockley W. A unipolar “Field-Effect” transistor. *Proc IER*, 1952, 40: 1365–1376
- 13 Shreetman B, Banerjee S. Yang J H, trans. *Solid State Electronic Devices* (in Chinese). Lanzhou: Lanzhou University Press, 2005. 123–130 [Shreetman B, Banerjee S. 杨建红, 译. 固体电子器件. 第 5 版. 兰州: 兰州大学出版社, 2005. 123–130]
- 14 Qiao J L, Wang J, Yan Z W, et al. Low power static induction transistor with high gate-control efficiency. In: *Proceedings of IEEE Conference on Industrial Electronics and Applications*. IEEE, 2015. 1345–1348
- 15 Wang J, Qiao J L, Yan Z W, et al. Design of short channel static induction transistor for low power applications. In: *Proceedings of IEEE Conference on Industrial Electronics and Applications*. IEEE, 2015. 1341–1344

Summary for “P-N 结型耗尽沟道的势垒高度解析模型”

Analytical model for the potential barrier height in depleted channel formed by P-N junctions

XIAO Tong, QIAO JianLi, CHEN Jian & YANG JianHong^{*}

Institute of Microelectronics, School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China

^{*} Corresponding author, E-mail: yangjh@lzu.edu.cn

P-N junction plays an important role in some semiconductor devices, such as bipolar junction transistor (BJT), metal-insulator-semiconductor field-effect transistor (MISFET) and junction field-effect transistor (JFET). However, the role of P-N junction in static induction device (SID) is different from other devices. SID is the typical example of semiconductor devices with depleted channel formed by two P-N junctions. Based on that, potential barrier has been formed in the channel, which is different from usual potential barrier in other semiconductor devices. The potential barrier controls electron movements in the parallel direction not in the vertical direction. In other words, the channel current is controlled by the potential barrier height, which is dependent on applied voltages. As a kind of junction devices, SID has been widely used in acoustic frequency, high frequency and microwave fields. Compared with other semiconductor devices, SID features high switching speed, high power, high pressure resistance, and strong anti-radiation which has been considered to be a promising power semiconductor device. The key principle of SID is that potential barrier height is dependent on applied voltages. As a result of that, the potential barrier model of SID has been proposed by Bulucea, but it doesn't provide the clear analytical expression of potential barrier height with the device structure and applied voltages. Taking into account the defect existed in present potential barrier model of SID, a model of potential barrier in channel based on static induction transistor (SIT) was proposed. SIT as a typical example of SID is a type of power semiconductor device with vacuum-triode-like characteristics. The analytical expression of potential barrier height was deduced based on the analysis of device physics. Moreover, based on the assumed boundary conditions in the channel region and the depleted region bellow the channel region, the analytical expressions of barrier height was calculated by solving the simultaneous electrical potential distribution equations which were obtained by solving the Poisson's equation. The three-dimensional diagram of electrical potential distribution is obtained and it looks like a saddle. The model reflects the interdependency between the potential barrier and the material parameters, structure parameters and biases conditions. Gate-control efficiency of devices is dependent on channel length and channel width and drain-control efficiency is closely related to channel width and epitaxial impurity density. From the analytical expressions of barrier height, the voltage amplification factor can be improved by reducing drain-control efficiency and increasing gate-control efficiency. The two conditions are all dependent on the channel width. In order to verify the analytical expressions of barrier height, the numerical simulation of SIT was made at different conditions. Considering gate voltages, drain voltages, doping concentration in the epitaxial layer, channel length and channel width, the calculated potential barrier height based on the model is in good agreement with the numerical simulation results. The proposed model of potential barrier can be applied to the theoretical analysis of the I - V characteristics and structure characteristics of SID. Building accurate analytical model of potential barrier height can reduce manufacturing costs of semiconductor devices with depleted channel formed by P-N junction and improve device performance.

P-N junction, the depletion channel, potential barrier model, the Poisson's equation, analytical expressions

doi: 10.1360/N972016-00806