碳纳米管场效应晶体管: 现状和未来

刘力俊, 张志勇*

北京大学电子学系, 纳米器件物理与化学教育部重点实验室, 北京 100871

*联系人, E-mail: zyzhang@pku.edu.cn

收稿日期: 2016-04-21; 接受日期: 2016-05-16; 网络出版日期: 2016-06-27

国家自然科学基金资助项目(编号: 61321001, 61322105, 61376126)

摘要 硅基互补型金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)场效应晶体管工艺已经发展到了14 nm技术节点, 预计将很快到达其极限, 需要寻找新的信息器件来延续摩尔定律. 由于具备超小尺寸、高迁移率等显著优点, 碳纳米管被认为是后摩尔时代最有潜力替代硅作为晶体管沟道的纳米材料之一. 经过近20年的研究, 基于碳纳米管场效应晶体管的技术已经取得了巨大的进步. 本文将回顾碳纳米管场效应晶体管领域的关键性技术, 包括N型欧姆接触实现、“无掺杂”CMOS技术、自对准顶栅结构以及尺寸缩减技术等. 而且我们将分析碳纳米管晶体管在大规模材料制备以及碳管和电极接触方面存在的问题, 并提出可能的解决方案. 在此基础上, 通过分析实验数据和模拟结果, 对碳纳米管电子学的未来发展做出预测和展望, 结果表明碳纳米管晶体管的潜力巨大, 通过对材料和器件结构进行合理优化, 碳纳米管晶体管在性能上可能远远超过硅基半导体对应技术节点的晶体管, 成为后摩尔时代极具竞争力的信息器件.

关键词 碳纳米管, 场效应晶体管, 纳米电子

PACS: 73.63.Fg, 73.23.Ad, 73.40.Cg, 73.40.Sx, 73.43.Fj

1 引言

现代电子技术的基础是集成电路芯片, 而构成集成芯片的器件单元几乎都是由硅基CMOS场效应晶体管(Field Effect Transistors, FET)组成. 场效应晶体管是一个电压控制电流源的元件, 通过栅极的调制, 来控制源漏之间的电流大小, 使其呈现开态和关态, 由此定义逻辑1和逻辑0. 场效应晶体管的核心部分就是被栅调制的沟道部分, 传统的场效应晶体管的沟道是单晶硅. 几十年来, 产业界对硅基CMOS器件的发展策略

是基于摩尔定律(Moore's Law)不断缩小关键尺寸, 提高集成度, 从而实现功能更加强大、功耗更低、速度更快且成本更低的集成电路芯片. 早期的CMOS发展相对简单, 只需提升加工精度, 根据等比原则简单缩减器件横向和纵向尺寸. 但是进入21世纪后, 维持摩尔定律需要不断引入新的结构和材料, 比如在90 nm节点开始推出应变硅(Strained Silicon)技术, 从45 nm技术节点使用高 κ 栅介质和金属栅技术, 从22 nm技术节点开始使用鳍型晶体管结构(FinFET). 可以说, 场效应晶体管技术发展到现在, 已然是一个由智慧集成的结晶, 从

引用格式: 刘力俊, 张志勇. 碳纳米管场效应晶体管: 现状和未来. 中国科学: 物理学 力学 天文学, 2016, 46: 107305
Liu L J, Zhang Z Y. Carbon nanotube field-effect transistors: Present and future (in Chinese). Sci Sin-Phys Mech Astron, 2016, 46: 107305, doi: 10.1360/SSPMA2016-00215

最初发现时的简陋结构演变成如今的主流结构已经经过了无数次的优化. 然而, 发展到今天的CMOS晶体管技术逐渐面临一个不可避免的事实: 即将到达其物理极限^[1,2]. 按照国际半导体路线图委员会(International Technology Roadmap for Semiconductor, ITRS)的评估, 这个时间节点大约在几年之后的2020年到来. 最近英特尔公司意识到不得不放弃传统的硅基CMOS技术工艺, 并宣布会在7 nm技术节点放弃用硅作为场效应晶体管的沟道, 转而寻找替代材料, 并由此发展新的半导体集成电路技术.

一种有潜力作为下一代亚10 nm场效应晶体管沟道材料的选择需要极为慎重, 应该从多个方面进行评估. 首先, 这种半导体材料必须足够薄或者足够细. 众所周知, 当晶体管沟道长度足够小的时候, 栅对沟道的调控将会显著地受到源漏的影响, 如同源漏在和栅争夺对导电沟道的控制权, 从而导致晶体管的主要性能下降, 这就是短沟道效应(Short Channel Effect), 而消除短沟道效应的一种有效方法就是增加栅电容, 这也是22 nm技术节点前普遍采用的主要策略: 缩减栅介质厚度和采用高 κ 栅介质材料. 但由于量子隧穿效应的限制, 栅电容改进的空间已经不大. 另外一个方法就是将沟道变薄, 沟道越薄就越容易受栅控制, 对短沟道效应的免疫力越强. 因此, 硅基集成电路中采用过的绝缘衬底上的硅技术(Silicon on Insulator, SOI)和FinFET技术就是将沟道减薄以抑制短沟道效应. 其次, 沟道材料的电子和空穴的迁移率都应该足够高. 迁移率代表载流子在电场中漂移速度的大小, 对应晶体管的跨导和饱和电流等关键性能参数的潜力. 本征迁移率更高的材料, 其器件跨导更高, 速度更快, 也更容易实现更高的饱和开态电流. 第三, 半导体沟道材料应当具有较长的载流子平均自由程, 更容易实现弹道输运, 这是一种载流子在晶体管沟道中无损传输的最理想的模式, 从而实现制备弹道晶体管, 降低功耗. 根据以上3点对各种有潜力的半导体材料进行考察, 实际上会发现, 可以选择的材料并不多. 第四, 该材料应该是可以批量制备的, 这是实现产业化的前提. 碳纳米管以其超小的尺寸(直径1–3 nm)、超高的对电子和空穴的本征迁移率(大于 $1 \times 10^5 \text{ cm}^2/(\text{V s})$)和超长的载流子平均自由程(一般大于1 μm)脱颖而出.

(1) 碳纳米管直径仅有1–3 nm, 意味着其作为晶体管的沟道更容易被栅控制, 短沟道效应, 特别是漏端引

入的势垒降低(Drain Induced Barrier Lowering, DIBL)具有更强的免疫力, 因此, 在同等栅电容下, 碳纳米管晶体管比传统硅基晶体管在比例缩减上的潜力就会更大. (2) 碳纳米管具有超高的室温载流子迁移率和饱和速度^[3]. 实验数据表明, 室温下, 碳纳米管中载流子迁移率高达 $1 \times 10^5 \text{ cm}^2/(\text{V s})$, 大约为硅的100倍, 饱和速度为 $4 \times 10^7 \text{ cm/s}$, 大约是硅的4倍, 而且没有速度过冲现象. 我们知道, 对于场效应晶体管, 迁移率和饱和速度是非常重要的参数, 在相同沟道长度下, 载流子迁移率越高, 饱和速度越高, 器件跨导越大, 开态电流越大, 速度越快. 除此之外, 碳纳米管中电子和空穴的迁移率是对称的, 使碳管有潜力实现N型和P型性能对称的CMOS. (3) 碳纳米管具有超长平均自由程^[4], 主要是因为一维结构大大减小了散射的相位空间, 散射几率低, 室温下声学声子散射的平均自由程可以达到微米量级, 光学声子散射平均自由程为15 nm左右. 而当今最先进的晶体管沟道尺寸都已经缩减到10 nm量级, 在这个尺度上, 采用碳纳米管作为沟道很容易实现弹道输运晶体管, 弹道输运是载流子在通道中无散射传输的一种最理想的模式, 能大大增加能量的利用效率. 结合(1)的尺寸缩减潜力和(3)的弹道输运特性, 使碳纳米管晶体管和集成电路具备超低工作电压驱动的潜力, 从而在低功耗方面具有巨大优势. 综上所述, 在沟道材料的选择中, 碳纳米管沟道同时具备了天然小尺寸、更好的器件尺寸缩减潜力、高开态驱动和低功耗潜力等晶体管的关键因素.

从器件物理角度分析, 碳纳米管非常适合构建未来的小尺寸晶体管, 因此, 碳纳米管晶体管技术被认为有潜力成为下一代集成电路晶体管的替代技术, 从而引起了广泛的关注和研究. 从1998年第一个基于碳纳米管的场效应晶体管发展至今已经经历近20年, 凝聚了众多科研工作者的辛勤努力工作. 本文将聚焦碳纳米管晶体管, 从碳纳米管晶体管的工作原理开始讲起, 引出碳纳米管晶体管领域的发展以及重要研究成果和研究现状, 其中着重回顾碳纳米管晶体管的一些关键科学和技术问题, 包括欧姆接触、极性控制、栅结构和器件结构优化、“无掺杂”CMOS技术等. 最后, 将分析和阐述碳纳米管晶体管技术的未来发展所面临的一些亟待解决的问题和可能的解决方案, 预测未来理想中的碳纳米管晶体管技术的雏形, 展望碳纳米管电子学的发展前途.

2 碳纳米管场效应晶体管器件的研究进展

2.1 早期基于碳纳米管晶体管的研究

1998年, 荷兰Delft大学的Dekker等人^[5]和国际商用机器公司(International Business Machines Corporation, IBM)的Martel等人^[6]分别最早制备出了基于碳纳米管的场效应晶体管, 器件结构非常简单, 实际上就是把一根半导体型碳纳米管搭接在两个Pt或者Au电极之间, 采用硅基底作为底栅电极. 早期器件都采用一些化学稳定性很高的金属例如Pt或者Au, 但是由于碳纳米管和这些金属的接触会形成较大的肖特基势垒, 输出电流极小, 其性能远不如同时期技术节点的传统硅基器件, 完全没有显示出碳纳米管材料在电学方面的优势.

真正高性能的碳纳米管晶体管始于2003年, 研究人员发现采用金属钯Pd做碳纳米管的电极, 能和碳纳米管的价带形成理想的欧姆接触, 实现了空穴型(P型)弹道晶体管^[7]. 并结合原子层沉积(Atomic Layer Deposition, ALD)生长的高 κ 栅介质材料实现了高性能P型碳纳米管顶栅晶体管, 室温下亚阈值摆幅可以达到70 mV/dec, 开态电导高达碳管理论量子电导的一半($G_{on}=0.5G_0$, $G_0=4e^2/h$, e 为单位电子电荷量, h 为普朗克常量), 碳管和金属的接触电阻达到了10 k Ω , 已经接近单根碳管的量子电阻6.5 k Ω ^[8].

而且, 研究人员对碳纳米管场效应晶体管的工作机理进行了系统深入的探索. IBM的Phaedon团队的一系列工作^[9-11]发现, 碳纳米管晶体管的工作模式是肖特基场效应晶体管(Schottky Barrier FET, SBFET), 即源漏电流大小由碳管和电极之间的肖特基势垒决定, 栅的作用实际上是调控碳管费米能级的高低, 由此改变接触势垒的厚度和高度, 达到调控电流大小的目的. 其源漏间电流 I_{ds} 可以由如下表达式决定:

$$I_{ds} = \frac{4e}{h} \int [F(E) - F(E + eV_D)] P(E) dE,$$

V_D 是源漏偏压, $F(E)$ 是费米函数, 而 $P(E)$ 是和能级相关的透射几率, 透射几率决定于肖特基势垒的厚度和高度. 因此, 无掺杂的碳纳米管晶体管从工作机制上来讲实际上是肖特基晶体管.

相对于P型碳纳米管场效应晶体管的快速发展, N型碳纳米管晶体管的发展进度滞后很多. 早期的研究组希望沿用硅基掺杂技术的思路, 例如K掺杂技术^[12],

来制备N型器件, 但是由于碳纳米管是一种非常完美的结构, 表面没有悬挂键, 碳纳米管不易与结合较弱的钾原子掺杂, 因此会出现掺杂不稳定, 很难控制. 因此, N型器件的发展滞后一直是制约整个碳纳米管CMOS集成电路发展的难题. 2005年英特尔公司的Chau等人^[13]对主要纳米晶体管进行了评估, 在提到碳纳米管晶体管的发展技术的这一部分时提到, 虽然碳纳米管P型器件性能优于相应节点的传统硅器件, 但是基于碳纳米管的N型器件则远远逊于硅基器件, 集成电路需要P型和N型性能匹配的CMOS逻辑电路, N型碳纳米管器件的落后实际上制约了碳纳米管场效应晶体管的发展.

2.2 高性能N型碳纳米管晶体管和“无掺杂”碳纳米管CMOS的实现

由于上文提到, 碳纳米管的N型器件发展滞后一度阻碍了碳管电子学的发展. 这一问题被解决于2007年, 当时北京大学的研究人员发现低功函数金属Sc与碳纳米管形成欧姆接触, 实现了N型碳纳米管弹道晶体管^[14], Sc不仅可以与碳纳米管形成良好的浸润, 同时还与碳管的导带形成良好的欧姆接触, 使电子可以被选择地、无阻地从接触电极注入到碳管中, 从而实现N型器件. 实现的器件开态电导在低温下达到 $0.6G_0$ ($G_{on}=0.6G_0$, $G_0=4e^2/h$), 室温下达到 $0.4G_0$, 性能达到了与P型最好性能相当的水平. 随后发现, 金属钇(Y)和碳管同样可以形成N型欧姆接触^[15]. 金属钇电极的利用, 一方面可以降低N型碳纳米管晶体管的制作成本, 另一方面, 碳纳米管技术和基于钇的氧化物的顶栅工艺能够很好地兼容.

碳纳米管器件的极性可以通过接触电极的功函数来控制: 采用Pd作为源漏接触可以形成高性能P型碳纳米管FET, 采用Sc或者Y作为源漏接触可以形成高性能N型碳纳米管FET, 这样, 就可以发展一种简单的碳纳米管CMOS器件的制备方法: 在同一根碳纳米管上分别蒸镀Pd电极和Sc电极, 两个Pd电极之间的器件就是P型, 两个Sc电极之间的器件则是N型. 整个过程无需任何掺杂, 因此, 称之为“无掺杂”(Doping Free)的碳纳米管CMOS工艺. 结合顶栅自对准技术, 就可以实现如图1所示的碳管CMOS顶栅器件. 图1(b), (c)和(d)所示的器件转移曲线和输出特性曲线表明P型碳纳米管晶体管和N型碳纳米管晶体管的主要参数高度对称

图 1 (网络版彩图)采用自对准技术的无掺杂碳纳米管晶体管电路的结构和完美对称的P型和N型转移和输出特性曲线。(a) 自对准技术应用在一根碳纳米管上加工出碳纳米管CMOS晶体管的示意图; (b), (c) N型和P型晶体管的转移特性曲线; (d) 输出特性曲线^[16]

Figure 1 (Color online) The electrical property of doping-free self-aligned Carbon nanotube(CNT) CMOS with its ideal symmetrical P-type and N-type transfer and output characteristic. (a) The device structure of a doping-free CNT CMOS; (b) and (c) are N-type transfer characteristic and P-type transfer characteristic respectively; (d) output characteristic ^[16].

性,包括饱和电流、开态区跨导、开态电导、亚阈值斜率等参数^[16]。

掺杂技术是当今硅基CMOS技术的核心,杂质为器件沟道提供了载流子,从而决定了器件的性质。而无掺杂的CMOS技术完全突破传统理念。与硅基CMOS技术相比,碳纳米管无掺杂CMOS技术存在3个方面的优势:

(1) 不存在尺寸缩小后,杂质数目的量子涨落而引起器件性能涨落的可能性,也不存在杂质散射引起载流子迁移率下降。硅基CMOS工艺中实现电子型和空穴型FET都是通过掺入施主和受主型杂质。因此在器件导电通道中,由于受到杂质散射,载流子迁移率远小于完整单晶硅中的迁移率。而且当器件缩小到纳米级别时,杂质数目变少,量子涨落就会更大,其幅度约为 $\sqrt{N}/N$,其中 N 为杂质的总数目。也就是说,如果沟道减小,杂质数目为100时,量子涨落会高达10%,这会

导致器件的性能非常不均匀,再加上加工工艺的涨落,会更加增大这种不均匀性,从而给集成电路的设计和制备带来很大的麻烦。而无需掺杂的碳纳米管CMOS工艺不仅完全避免了杂质量子涨落引起的性能不均匀,同时也避免了加工工艺涨落带来的不均匀。

(2) 硅和一般的半导体材料存在先天不足:其能带结构中导带和价带不对称。这种能带在费米能级附近不对称使电子的有效质量也小于空穴的有效质量,因此在硅材料中电子的迁移率远大于空穴迁移率。这样两种同样尺寸的硅基N型和P型FET性能并不匹配。而碳纳米管的导带和价带是完全对称的,电子和空穴的有效质量完全相同,从理论上讲,可以将两种FET做得完全对称,这将使碳纳米管CMOS电路的总体性能达到最佳。

(3) 工艺极其简单。与硅基CMOS工艺相比,碳纳米管CMOS器件不仅结构更简单,而且制备完全避免

了杂质的注入使工艺变得十分简单. 表1中给出了两种CMOS制备工艺的主要工艺步骤对比, 这里只考虑了器件的制备, 而没有考虑互连和后续封装. 硅基CMOS工艺是标准的双阱工艺, 碳纳米管CMOS工艺采用的是高 κ 顶栅自对准结构的工艺(可以实现任何复杂的逻辑电路). 通过对比发现, 碳纳米管CMOS工艺不仅完全避免了掺杂工艺, 而且大大减少了光刻和膜生长的步骤, 主要工艺步骤只有17步, 而硅基CMOS则有32步. 工艺的简化主要来自于削减了复杂的离子注入或其他掺杂工艺. 工艺步骤的简化, 不仅意味着制造设备的节约和成本的降低, 而且还会使成品率增加.

要评估一种电子器件是否有潜力, 需要考察其相对于硅基CMOS器件和其他器件是否具有速度或者功耗方面的优势. 但是目前的各种器件都是基于不同材料和不同结构的, 需要用一些通用的参数来衡量器件的主要性能. 2005年英特尔公司的Chau等人^[13], 提出系统地衡量一种晶体管在速度和功耗两项性能的指标, 即用本征门延时 $\tau=CV/I$ (其中 C 为栅电容, V 为工作电压, I 为开态饱和电流)来衡量一个器件的速度性

能, 相同条件下本征门延时越小, 器件在速度方面的潜力越大. 用能量延时积 $EDP=(CV/I)(CV^2)$ 来衡量一个器件的功耗和速度的综合性能, 在相同条件下, 能量延时积越小, 器件在功耗和速度的优势越大. 本征门延时和能量延时积这两项指标对衡量晶体管在速度和动态功耗方面的潜力起了关键性的作用, 因此是评估一种新的器件是否有潜力的关键指标. 如果把碳纳米管晶体管和传统硅基CMOS晶体管的本征门延时和能量延时积随栅长的改变趋势画在同一个坐标系里面^[13,17], 就可以得到碳纳米管晶体管和硅基器件对比的结果. 实际上, 在2007年以前, P型碳纳米管晶体管就已经在速度和功耗两方面具备了优于传统硅基PMOS器件^[13]. 然而, 同时期N型器件如图2(a)和(b)的蓝色实心点所示, 在延时和功耗方面碳管NMOS却远远落后于硅基NMOS器件, 这主要是由于当时没有解决碳管N型欧姆接触的问题. 而采用Sc作为N型欧姆接触, 并采用了 HfO_2 作为栅介质制备的顶栅碳管N型晶体管性能得到极大提升, 如图2(a)和(b)的红色标志所示, 对比传统硅基NMOS器件就具有了在速度和功

表1 硅基CMOS工艺和碳纳米管无掺杂CMOS工艺的比较
Table 1 Comparison in fabrication process between Si CMOS and doping-free CNT CMOS

典型CMOS反相器类型	工艺步骤	图形化	注入	膜生长	刻蚀
硅基CMOS工艺	32	10	8	8	6
碳管无掺杂CMOS工艺	17	5	0	7	5

图2 (网络版彩图) Sc接触顶栅自对准碳纳米管N型晶体管和硅基N型晶体管在本征门延时(τ)随栅长的缩减趋势对比(a)和能量延时积(Energy Delay Product, EDP)随栅长的缩减趋势对比(b)^[17]. 蓝色圆球代表2007年以前的型碳管晶体管, 红色标志代表无掺杂顶栅自对准N型碳管晶体管

Figure 2 (Color online) Comparison between Sc-contact CNT NMOS and Si NMOS in Intrinsic gate delay vs gate length (a) and energy-delay product per device width vs gate length (b) ^[17]. The blue dots represent the CNT NMOS before 2007 and the red symbols represent Sc-contact self-aligned top-gated CNT NMOS.

耗两方面的潜力优势^[17]. 特别地, N型碳纳米管晶体管在栅长120 nm的情况下, 达到了32 nm节点传统硅基NMOS的本征门延时, 是相同尺寸120 nm硅基NMOS的1/5; 达到了22 nm节点硅基NMOS的能量延时积, 是相同尺寸120 nm硅基器件的百分之一. 这种对比表明通过简单工艺实现的碳管晶体管相对于精心优化的硅基器件已经具有明显的性能优势, 并且随着尺寸缩减这种优势越来越明显, 说明了碳纳米管晶体管具有巨大的潜力.

2.3 碳纳米管晶体管中的栅介质技术

传统硅基MOS晶体管一直采用顶栅结构, 而且早期的栅介质都采用直接热氧化生成的氧化硅. 随着晶体管的特征尺寸缩减到45 nm时, 为了提高栅效率, 降低栅漏电, 英特尔公司才开始采用高 κ 的栅介质来取代氧化硅. 硅工艺中坚持采用二氧化硅作为栅介质, 主要是由于氧化硅与硅的界面匹配非常理想, 而对于碳纳米管FET, 则无需考虑这方面. 所以并不像硅基CMOS技术那样限制在热生长的氧化硅上. 一般来讲可以直接采用高 κ 介质作为栅介质层, 而且由于基于碳纳米管表面结构的特殊性, 碳纳米管器件对于栅介质材料选择的更大.

对于碳纳米管上高 κ 栅介质的生长, 最普遍的就是采用原子层沉积(ALD)法进行直接生长. 通常采用的材料包括 ZrO_2 , HfO_2 和 Al_2O_3 等. 对碳纳米管高 κ 栅介质的选择主要基于一个最重要的原则: 与碳纳米管器件的其他加工工艺兼容, 至少碳纳米管器件的这种高 κ 材料不能影响器件的接触. 与 ZrO_2 相比, HfO_2 生长温度可以更低, 比如在90°C的温度下, 就可以用ALD生长出质量很高的 HfO_2 , 因此与碳纳米管器件的工艺兼容性更好, 从而被广泛地使用在碳管顶栅器件中. 但是对于碳纳米管晶体管来说, 氧化铪却不那么“友好”, 这是由于碳纳米管结构完整, 表面没有悬挂键, 无法提供ALD生长高 κ 介质所需要的成核中心, 而只能通过碳纳米管所在的基底上生长, 达到一定厚度来湮没碳纳米管. 这样很难直接将器件中的高 κ 介质层减得很薄(一般都不会小于8 nm), 从而难以进一步提高栅电极对沟道的控制能力而不会漏电, 使栅电极对碳纳米管沟道的控制无法达到理论极限, 具体体现在器件的亚阈值斜率无法达到理论极限, 即在室温下无法达到60 mV/dec. 为了在碳纳米管上生长超薄的高 κ

栅介质, 一般需要预先对碳纳米管进行表面功能化处理. 包括采用 NO_2 等气体修饰, 比较有效的办法是采用DNA分子修饰碳管^[18].

在先前对碳纳米管的接触电极研究中, 发现金属Y与碳纳米管具有很好的浸润性, 利用电子束蒸发可以在碳纳米管上均匀生长一层高质量的金属Y薄膜. 这层金属Y非常均匀地包覆在碳纳米管上, 再通过氧化, 就可以得到连续的 Y_2O_3 介质薄膜^[19]. 理想的 Y_2O_3 的介电常数为16, 禁带宽度高达6 eV, 是一种非常理想的高 κ 材料, 并且非常稳定. 利用这种方法可以制备等效氧化层厚度(Equivalent Oxide Thickness, EOT)达到1.5 nm的高效率栅介质层, 达到室温下晶体管器件的性能极限, 甚至当沟道长度缩减到50 nm的尺度时依然能保持良好的控制, 并未出现短沟道效应^[20]. 典型的采用氧化铪作为碳纳米管晶体管的高 κ 栅介质应用如图3所示. 图3(a)为采用氧化铪作为碳纳米管晶体管的高 κ 栅介质的顶栅晶体管的示意图, 图3(b)显示氧化铪能够非常好地包覆在碳纳米管表面, 图3(c)和(d)是采用氧化铪高 κ 栅介质的顶栅晶体管的转移特性曲线和输出特性曲线, 可以看到, 氧化铪作栅介质器件的关态特性亚阈值摆幅(Sub Threshold Swing, SS)已经达到了这种场效应晶体管的理论极限60 mV/dec.

2.4 碳纳米管晶体管栅结构技术研究状况

场效应晶体管随着尺寸的不断缩减, 发展一种能够与之匹配的自对准技术变得越来越重要, 对于碳纳米管晶体管来说也不例外. 斯坦福大学的研究人员为P型碳纳米管晶体管发展了一种基于铝(Al)栅金属氧化层隔离的自对准技术^[21], 先在栅氧化层上生长一个厚的铝栅金属堆垛层, 金属外表氧化后形成致密的氧化铝薄膜, 之后再生长较薄的源漏电极, 这种技术的关键在于通过致密的绝缘金属氧化物隔离栅与源漏之间的接触, 达到自对准的目的. 这种自对准栅结构对于P型晶体管来说是可行的, 但是也存在缺点. 首先该结构对栅电极的材料有特殊的要求, 选择范围极其有限. 这种结构利用的栅电极材料必须能够氧化, 生成致密的绝缘氧化层, 从而隔绝栅电极和源漏电极, 这样的金属材料数量有限, 而且功函数高的稳定金属肯定不行. 碳纳米管CMOS工艺中唯一能够有效调节阈值的方法就是改变栅电极的功函数, 如果只能采用低功函数的金属, 那就没法通过改变栅电极材料对FET

图3 (网络版彩图) 氧化钇栅介质顶栅碳纳米管晶体管. (a) 器件结构示意图; (b) 透射电子显微镜下观察覆盖在碳纳米管上的5 nm氧化钇(比例尺为20 nm); (c)和(d) 器件的转移特性曲线和输出特性曲线^[19]

Figure 3 (Color online) Top-gate CNTFET with a thin layer of Y_2O_3 as the top gate dielectric. (a) Schematic diagram of the device structure; (b) TEM image of a single CNT coated with about 5 nm thick Y_2O_3 thin film (scale bar is 20 nm); (c) transfer characteristics; and (d) output characteristics of the device ^[19].

的阈值电压进行有效控制. 其次, 这种结构主要靠采用高度差将栅和源漏电极之间断开, 因此栅介质必须足够厚, 而源漏电极必须足够薄, 这会增加器件的接触电阻和串联电阻, 从而降低器件性能.

2008年, 在实现Sc接触N型弹道晶体管的基础上, 基于碳纳米管N型晶体管的自对准弹道晶体管也被实现了^[22], 这种自对准的方法和之前的铝栅堆垛层氧化隔离法有着明显的不同, 这一次是通过在碳纳米管上先生长较厚的源漏电极, 通过原子层沉积技术(ALD)的各向同性生长高 κ 栅介质覆盖在源漏金属的侧壁, 最后生长栅金属, 这种方法的精髓在于各向同性生长的绝缘栅介质隔离源漏和栅. 当时展示的是一个栅长为90 nm的顶栅N型Sc接触自对准晶体管, 晶体管本征门延时 τ 小到了0.87 ps.

这已经说明碳管器件是有潜力在太赫兹(Tera Hertz, THz)领域应用. 但是试验上测量得到的碳管器件的截止频率仍然远远小于本征性能极限, 主要是因为源漏电极和栅极之间存在很大的寄生电容. 这个很大的寄生电容大约大于碳管器件本征栅电容的3个量级^[23]. 当然这种情况可以采用一定密度的平行碳

管阵列得到改善^[23,24,25], 但是通过改进器件的几何结构, 仍然有很大空间去减小寄生电容并提高碳管器件的高频特性. 值得说明的是: 在所有之前已发表的自对准器件结构中^[21,22], 总有一层高电介质层(氧化铝或者氧化钨)位于栅极和源漏之间, 极大地增加了寄生电容(电介质的介电常数). 为了提高速度, 人们提出U型和T型自对准栅结构^[26,27], 其本质核心就是将这层在源漏电极和栅极之间的高电介质层去除掉, 这样可以有效地减小小寄生电容. U型栅的器件结构如图4(a)所示, 与之前报道的自对准栅结构相比, 其源漏与栅间的寄生电容均更小, 如图4(b)所示, 表明U形栅结构碳管器件是高频应用的更好的选择.

另一方面, 相比于单晶硅材料, 半导体碳纳米管存在两个问题: 带隙较小, 静电屏蔽弱. 这会导致碳管场效应晶体管器件在关态往往出现载流子带间隧穿(Band to Band Tunneling), 对传统晶体管来说是不利的. 但是由碳纳米管带间隧穿机制可构造出碳管隧穿场效应晶体管, 实现室温下亚阈值斜率小于60 mV/dec的热激发机制的理论极限值, 因此, 使采用隧穿机制的碳管晶体管拥有超低功耗器件的潜力^[28], 而且由于

图 4 (网络版彩图) (a) U型自对准栅结构示意图; (b) U型栅结构器件的源漏寄生电容和两种传统的自对准技术的寄生电容对比图^[26]; (c) 反馈栅结构示意图; (d) 同一根碳管上反馈栅结构器件和传统器件的转移特性曲线对比^[29]

Figure 4 (Color online) (a) Schematic diagram of self-aligned U-gate structure; (b) relationship between structure capacitance and contact width for three types of self-aligned device structures^[26]; (c) schematic diagram of Feedback-gate (FBG) structure; (d) typical transfer characteristics of a normal (red curve) and a FBG carbon nanotube FET (CNTFET) (blue curve) at $V_{ds} = -1$ V on the same CNT^[29].

碳纳米管中载流子质量小, 隧穿几率大, 因此有可能实现开态电流较大的隧穿晶体管, 从而推进隧穿晶体管的实用化进程. 除了隧穿导致源漏间泄漏电流增加以外, 中等管径或者大管径的碳纳米管晶体管特别是在栅效率高的顶栅器件中, 器件呈现双极输运性, 使器件开关比低, 关态电流不仅过大且关态区狭窄. 这会极大增加碳管器件超大规模集成电路的静态功耗. 如何通过器件结构优化, 降低关态电流也是碳管器件发展的一个重要需求. 2014年, 研究人员通过引入一个反馈栅(Feedback Gate)有效抑制了关态电流^[29], 如图4(c)所示, 即把栅分为一个主栅和一个直接单独连接在漏(D)端的反馈栅, 反馈栅牵制了关态下漏端势垒的厚度, 抑制了电子隧穿效应, 使关态电流有明显的下降, 开关比大于 10^8 , 双极性也因此得到了有效的抑制, 如图4(d)所示. 在几乎没有改变开态和亚阈值特性的情况下, 反馈栅的引入使器件开关比提升了3个量级, 并且有效地抑制了转移曲线的双极性, 使碳纳米管晶体管具备了应用于低功耗超大规模数字集成电路的可能.

碳纳米管的圆柱状结构, 为制备环栅器件提供了

天然的便利. 环栅结构应该是对沟道控制能力最强的器件结构, 是一种理想用于亚10 nm场效应晶体管器件中的栅结构. 2013年, IBM的研究人员制备了环栅结构的碳管晶体管^[30], 演示了在沟道长度仅为20 nm时, 栅对沟道的控制依然很充分.

2.5 碳纳米管晶体管和电路其他研究进展

碳纳米管在电子学方面的优势主要在于本征小尺寸和超高迁移率. 本征小尺寸保证了碳管晶体管的可缩减性, 而高迁移率则使得在同等尺寸下碳管器件有可能具有性能优势. 结合两者, 表明碳管在亚10 nm器件应用方面具有极大潜力. 近几年, 对碳纳米管小尺寸器件的研究和探索也正在被不断推进. 2010年, IBM的研究人员通过高 κ 局域底栅结构, 详细研究和探索了碳纳米管晶体管随导电沟道长度的缩减, 以及接触长度的缩减, 其性能的变化情况^[31], 研究展示了一个把器件的沟道长度和接触长度同时缩减到20 nm的器件, 其性能依然足够优异. 2012年, IBM的研究人员采用同样的局域底栅技术, 制备出第一个亚10 nm

碳纳米管场效应晶体管^[32], 在沟道小到如此程度的时候, 并没有显示出器件性能的明显退化, 并且其关态亚阈值区依然在100 mV/dec以下, 这个工作展示了碳纳米管晶体管随着尺寸缩减的潜力.

碳纳米管晶体管的可靠性和稳定性是其是否能够应用的一个重要问题, 因为晶体管可能需要工作在不同的环境中, 比如芯片发热的高温环境中等, 能否在外界环境极端恶劣的情况下依然保证晶体管的性能也成为衡量晶体管技术是否符合发展趋势的一种指标. 特别是N型碳管器件, 由于其接触电极是低功函数Sc或Y, 是活泼性较高的金属, 因而, 器件的稳定性会受到影响. 通过系统地研究大气环境中碳纳米管晶体管的行为演化, 研究人员发现大气中的氧分子和水分子会对碳管晶体管短期可逆和长期不可逆的性能衰减产生影响, 并且展示了衰减先快速发展最后趋于饱和的过程. 通过在晶体管表面覆盖氧化铝钝化层, 可以充分隔绝氧和水分子对碳管的影响, 钝化后的晶体管性能与钝化前保持一致, 并且不受测试环境改变的影响, 能够稳定的在大电流下长时间工作, 充分显示了这种钝化方法对于碳管器件的可靠性^[33]. 另一方面, 研究人员对碳纳米管器件从液氮到300°C的环境都进行了测试^[34], 表明碳纳米管器件可以在极端温度环境下工作. 在低温下, 由于碳纳米管器件不依赖杂质的热激发提供载流子, 温度的下降会进一步降低载流子在碳纳米管中的声子散射, 器件的性能在低温情况下不降反升, 是构建低温电子系统的理想元器件. 在高温下, 由于碳纳米管稳定性好, 本征载流子激发低, 因此碳纳米管晶体管的工作温度范围会比传统硅基器件的范围更高, 这将大大扩展碳纳米管集成电路的应用领域, 如在航空航天、工业控制等应用领域都会有用武之地.

在碳纳米管晶体管器件进行研究的同时, 对碳管集成电路的探索也是研究的热门. 近年来, 北京大学的研究人员探索了碳纳米管集成电路的构建方式, 研究表明通过实现对碳纳米管晶体管阈值电压(V_{th})的精确控制, 可以将N型和P型晶体管的阈值电压精确地控制在0 V附近, 从而用比传统CMOS逻辑更高效的传输晶体管逻辑(Pass Transistor Logic, PTL)设计和实现了纳米运算器所需的电路^[35,36], 包括与、或、异或等逻辑门电路, 甚至包括逻辑复杂度很高的全加器、全减器等算数运算单元, 并且, 将电路的驱动电压降

至0.4 V的水平^[37], 这充分显示碳纳米管晶体管在高性能低功耗电子器件的应用潜力. 在无掺杂工艺和PTL逻辑的基础上, 2014年构建出国际上首个碳管双向8位总线电路^[16], 这是计算机中的重要组成部分, 也是迄今为止基于单根碳纳米管最复杂的电路.

此外, 采用碳纳米管薄膜(包括随机网络分布型和并行阵列型)作为有源层材料更容易实现碳管器件和集成电路的批量制备. 2008年, 美国伊利诺伊大学香槟分校(University of Illinois at Urbana Champaign)的研究人员成功地在柔性基底上集成了近百个碳管薄膜晶体管从而构成了一个8位的编码器电路, 这个工作展示了碳管薄膜器件在柔性薄膜电子学方面的潜力^[38]. 另外一个更广为人知的工作是2013年底世界上第一个碳纳米管计算机的实现^[39], 这个碳纳米管计算机采用的材料就是平行阵列半导体碳纳米管, 在对材料进行半导体碳管提纯的方法上, 采用的是规模化电学烧断法去除保留在阵列里面的金属型碳纳米管, 总共利用了178个这样的晶体管, 初步展示了一个具有演示功能的指令机, 功能非常简单, 而且采用了大量的硅基集成电路混合工作, 主频只有约1 kHz, 这是远远达不到当今主流集成电路的期望. 但是, 即便如此, 第一个碳纳米管计算机的实现, 让人们第一次看到了基于碳纳米管晶体管复杂电路系统实现的可能性, 也给碳纳米管晶体管和集成电路的未来带来了曙光.

3 碳纳米管晶体管发展问题和未来展望

一般认为碳纳米管电子学发展的核心问题在材料的可控制备, 如果能够控制单根碳管的手性和位置, 就能够批量制备碳管晶体管和集成电路. 但是, 这并不是唯一的要求, 单根碳管器件虽然载流子迁移率高, 归一化性能好, 但是输出电阻相对较大, 输出绝对跨导和电流相对于硅基CMOS器件太低, 因此驱动能力很差. 目前, 国际半导体路线图(ITRS)对于高性能器件的饱和电流的要求要高于1 mA/ μm (<http://www.itrs.net/Links/2013ITRS/Home2013.htm>), 而单根碳管器件的输出饱和电流最高只有20 μA . 小的输出电流会导致器件驱动能力低, 对外界寄生电容非常敏感, 或者说外界寄生电容会引起极大的延时, 从而严重影响电路的速度. 研究人员结合实验数据和模拟结果分析了寄生电容对碳管集成电路速度的影

响^[40], 评估结果如图5所示. 碳纳米管集成电路有着很高的本征速度, 可以工作在10 GHz, 但是由于单根碳管的电路输出电阻大, 容易受到表2所列的各种寄生电容的影响, 这些寄生电容包括本征栅电容 C_{lg} 、边缘寄生电容 $C_{gd,s}$ 、基底和源漏间的寄生电容 $C_{pg,d,s}$ 和测量系统的寄生电容 C_{sys} , 经过4种寄生效应的作用, 电路工作频率衰减到1 kHz左右, 与实验结果完全符合.

因此, 要增加碳管器件对寄生电容的免疫力, 就需要降低输出电阻. 单根碳管器件的输出电阻受量子效应限制, 最低值为6.5 k Ω , 通过工艺优化改善空间不大, 最有效的方法是采用高密度的碳管阵列来制备器件. 因此, 想要实现真正高速高性能碳纳米管集成电路, 必须采用高密度全半导体碳管平行阵列作为沟道材料. 并改善碳管和电极的接触. 这部分将分别在碳纳米管规模化材料的制备和碳纳米管的接触问题中进行讨论.

3.1 半导体碳纳米管材料制备问题

目前用于器件和集成电路制备的半导体碳纳米

图5 (网络版彩图)基于单根碳纳米管的CMOS反相器的频率响应的四层寄生效应带来的衰减示意图

Figure 5 (Color online) Schematic diagram of frequency response of CNT CMOS with different level of parasitic capacitance.

表2 各种寄生电容的计算公式及其计算数值和对碳纳米管CMOS的传输延迟和工作频率的影响严重程度^[40]

Table 2 The calculation formulae for the circuit components in the simulation with the corresponding calculated values and the undesirable consequence for CNT CMOS ^[40]

寄生效应	描述	计算公式	计算数值 (F)	传输延时	系统频率 (初始: 1 T)
C_{lg}	本征栅电容	$1.5 \text{ (pF/cm)} \times L_g$	3×10^{-16}	3 ps	10 G
$C_{gd,s}$	边缘寄生电容	$\frac{\epsilon_f \epsilon_0 W}{t_{ox}}$	5×10^{-15}	0.4 ns	100 M
$C_{pg,d,s}$	基底和源漏间寄生电容	$\frac{\epsilon_f \epsilon_0 (S_{pad} + S_{wire})}{d}$	3×10^{-14}	3.6 ns	10 M
C_{sys}	测量系统寄生电容	T_{sys}/R_{sys}	8×10^{-10}	33 μ s	1 k

管材料主要有3类: 单根半导体碳管、高密度半导体碳管平行阵列和随机网络型碳纳米管薄膜.

平行阵列型碳纳米管, 生长方法一般采用石英基底, 由于石英基底特殊的晶格结构, 通过化学气相沉积法(Chemical Vapor Deposition, CVD)利用碳源气体在催化剂中高温裂解产生的碳纳米管一般(99.9%)都能够完美地定向排列, 其阵列长度一般都可以达到几百微米甚至到几毫米的量级, 这种直接CVD生长的碳纳米管阵列质量较高^[41-45], 适合于制备高性能器件. 但是, 很难在生长中直接控制碳管手性, 制备出全半导体的碳管. 尽管发展了很多方法如在生长过程中引入因素抑制金属性碳管, 从而长出半导体比例较高的碳管阵列, 但是始终无法达到集成电路应用的需要.

在CVD生长的碳管平行阵列基础上, 通过后处理方法去除金属型碳管, 从而得到纯度较高的半导体碳管阵列是一种被广泛采用的思路. 多年来, 基于这种生长后处理的方法来解决半导体型碳纳米管提纯的方法已经有很多研究人员做了很多尝试, 单独通过光学^[46]、化学^[47]和电学^[48]方法对阵列碳管进行处理时, 都会无意间带来许多不良后果, 比如去除金属碳纳米管不彻底, 或者对半导体型碳纳米管的损伤, 造成其跨导、饱和电流的大幅度下降等. 在这些诸多方法里面, 电学烧断(Electrical Breakdown)是一种值得提及的方法, 其核心是通过栅压调制, 使金属型碳管处于开态, 而保持半导体碳管处于关态, 这样在较高源漏偏压下, 金属型碳管就因为其在空气中发热而被氧化, 而半导体碳管由于处于关态无电流不发热, 所以就得以保存下来^[48]. 但是这种办法也会造成对半导体碳纳米管的明显损伤, 导致器件性能明显下降.

2013年, 伊利诺伊大学香槟分校的Jin等人^[49]采用了一种优化过的半导体碳纳米管阵列提纯方法, 其核心是在原有碳纳米管阵列上, 覆盖一层有机物热敏材

料,通过施加适当的栅压和偏压让金属碳管产生大的电流,让其发热,使其上面的热敏胶蒸发,再通过简单的氧等离子刻蚀将露出的金属碳管刻掉.这种方法的好处是选择性高、对半导体碳纳米管的损伤小.但是也存在一定的局限,典型的问题比如,能够有效去除金属管阵列的密度不能过高,存在密度阈值,该阈值和沉积的热敏材料的厚度直接相关.总的来说,通过在石英上采用CVD方法生长的碳纳米管阵列后进行提纯的办法现在依然处于不成熟的阶段,尚无法满足大规模集成电路制备的需求.

另一种值得关注的碳纳米管材料是高半导体纯度的碳管溶液.将单壁碳管分散在溶液中,并通过DNA或者聚合物分子选择性修饰半导体碳管,再利用梯度密度离心的方法得到高半导体纯度的碳管溶液^[50].通过这种溶液直接沉积到基底上可以制备碳纳米管网状薄膜.这类碳管薄膜实际上是由很短的碳纳米管通过结(Junction)的形式相互连接而成,基于此类材料的晶体管所采用的导电沟道长度一般远大于薄膜中单根碳管的平均长度.这就意味着载流子从器件的源极到漏极需要经过多根碳管,而只要中间有一段碳管是半导体型的,这个器件就可以呈现明显的场效应.一般随机生长的碳管中出现半导体的概率是2/3,金属碳管存在的概率是1/3.如果一个器件沟道中平均由 n 段碳管组成,那么整个器件完全是金属碳管的概率为 $(1/3)^n$,如果碳管中半导体比例较高,通过调整沟道长度或者碳管平均长度,完全有可能实现合格率百分之百的、有足够开关比的碳纳米管晶体管.

随机网状薄膜性能均匀,而且降低了器件对碳管半导体比例的要求,却存在两个问题:一是由于载流子从器件的源极到漏极要经过多个碳管-碳管隧穿结,导致其有效迁移率被极大降低;二是器件尺寸无法缩小,这是因为碳管薄膜器件的电流开关比随着沟道长度的缩小而降低,当器件栅长缩减到2 μm 时,电流开关比小于100,因此再无法进行缩减,意味着器件速度和集成度都无法再提高.碳管网状薄膜器件的这两个弱点决定了这类随机网络碳管器件无法满足高性能集成电路的需求.

通过交流电泳法、Langmuir Schaefer (LS)拉膜法或者蒸发自组装等方法^[51-53],并采用高半导体纯度的碳管溶液也可以制备有取向的高密度碳管薄膜,从而制备高性能碳管器件.当然,这对碳管溶液中半导体

纯度的要求很高.近年来,随着提纯技术的改进,碳管溶液半导体纯度越来越高,结合取向排列技术,极有可能实现高密度纯半导体碳纳米管阵列,从而满足未来高性能超大规模集成电路的材料需求.

3.2 碳纳米管晶体管的接触电阻问题

随着器件尺寸的缩小,场效应晶体管的沟道电阻降低,接触串联电阻变得越来越重要.碳纳米管中载流子平均自由程较长,一般来说沟道长度小于100 nm的碳管晶体管就属于准弹道晶体管,其输出电流,基本就取决于接触电阻的大小.随着晶体管尺寸缩减,维持高水平的饱和电流以及较低功耗的同时,必然对寄生电阻降低的要求越来越高,与此相矛盾的是,晶体管尺寸缩减,要求栅与栅之间的距离(Gate Pitch)也会越来越小,因此除了要求沟道或者栅长越来越小,还要求缩减接触长度(Contact Length),而缩减接触长度是会引起接触寄生电阻的显著增加.

对于无掺杂碳纳米管晶体管来说,器件结构和优化了几十年的传统硅基MOS相比,基本相当于基本原型器件结构,寄生电阻基本就由碳纳米管和金属电极的接触电阻来决定,碳纳米管晶体管的总电阻可以写成^[54]

$$R\left(L\right)=\left(\frac{h}{4e^2}\right)\left(\frac{L_{\text{ch}}}{L_m}+1\right)+\frac{2\rho_c}{L_c d_{\text{cnt}}},$$

其中, L_{ch} 为沟道长度, L_m 是平均自由程, ρ_c 是接触电阻率, d_{cnt} 为碳管直径, L_c 为接触长度,其中接触电阻的大小可以从上式中以 L_{ch} 为自变量的函数中的截距提取出来

$$R_c=\frac{h}{4e^2}+R_{\text{nc}}.$$

从上式可以明显看出,对于单根碳纳米管的一维沟道材料来说,极限最小的接触电阻就是量子电阻 $h/4e^2$,这部分被称为本征接触电阻,大约为6.5 k Ω ,另外一部分 R_{nc} 就是非本征接触电阻,与一维结构碳纳米管从沟道到金属电极的透射率相关,并且和接触长度 L_c 成反比^[31].总的来说,在接触长度比较长(大到几百纳米量级)时,单根碳管的源漏总接触电阻比较理想的值应当在10–15 k Ω 左右.

半导体路线图委员会ITRS对每一个节点的CMOS

晶体管的源漏寄生(接触)电阻 R_{sd} 都有特定的要求. 特别地, 对于10 nm节点之后CMOS器件的接触电阻的要求大约为100–150 $\Omega \mu\text{m}$ ^[55]. 如果用这个接触电阻的标准衡量半导体碳纳米管阵列晶体管, 就能反推出每根碳管与电极的接触电阻, 如图6(a)所示, 应当位于12–30 $\text{k}\Omega$ ^[55]. 当器件尺寸较大, 接触长度大于100 nm时, 无论是P型还是N型器件都容易达到这个接触电阻标准. 但是考虑接触长度的缩减对接触电阻的影响, 在小尺寸碳管器件中, 接触电阻的问题就会变得极其严重. 2010年, IBM的研究人员研究了碳管器件中接触长度缩减对接触电阻的影响^[31], 如图6(b)所示. 在维持器件沟道长度不变的前提下改变接触长度, 从100 nm缩减到20 nm, 发现接触电阻增加了, 特别是接触长度小于50 nm时, 接触电阻随接触长度显著增加, 如图6(d)所示. 这种接触电阻随接触长度显著变化的接触是侧面接触(Side Contact)方式, 载流子从电极注入碳管的效率受到一个转变长度 L_T 的影响, 当接触长度小于 L_T 时, 注入效率急剧降低, 接触电阻显著增加, 当接触长度缩减到20 nm左右时, 接触电阻明显超过30 $\text{k}\Omega$, 因此这种侧面接触的方式无法满足亚10 nm碳管器件的需求. 在小尺寸器件中, 需要采用一种更为先进的接触方式:

末端接触(End Contact)^[56], 其结构示意图如图6(c)所示. 研究人员通过金属Mo和碳管接触, 并经过退火处理, 使压在金属Mo下方的碳纳米管和Mo形成了稳定的碳化物, 相当于碳管和金属的接触形成于碳管沟道的末端, 故被称之为末端接触. 采用末端接触的接触电阻不依赖于接触长度, 一直维持在每根碳管30 $\text{k}\Omega$ 左右水平, 如图6(d)所示. 采用末端接触可能为亚10 nm节点碳管晶体管提供接触电阻的解决方案. 但是, 这种采用末端接触的制备条件较为苛刻, 并且尚未在N型器件中得到实现, 碳管器件的接触问题需要进一步探索和优化.

3.3 未来理想中的碳纳米管晶体管器件

要成为硅基CMOS器件的继承者, 延续摩尔定律, 碳管CMOS器件在关键性能(速度或者功耗)上必须远远优于硅基CMOS器件的极限. 因此, 探索碳管器件的性能极限是非常重要的课题, 关系到碳管电子学在未来电子技术中的定位. 要实现极限性能的碳管晶体管, 需要在碳管材料、器件结构和制备工艺上同时进行精心优化. 目前在实验上碳管晶体管的性能尚远远达不到此要求, 需要结合理论模拟评估碳管CMOS晶

图 6 (网络版彩图)碳纳米管晶体管的接触问题. (a) 由业界对 R_{sd} 的要求反推碳管阵列晶体管中每根碳管和电极的接触电阻的要求, 碳管间距分别为10, 8和5 nm^[55]; (b) 采用侧面接触(Side Contact)模型的局域底栅器件的电子显微镜图, 图中固定沟道长度40 nm, 改变接触长度^[31]; (c) 采用末端接触(End Contact)模型的碳管晶体管的示意图; (d) 采用这两种接触方式的器件接触电阻随接触长度的变化趋势图^[56]

Figure 6 (Color online) The contact problems of CNTFET. (a) Total parasitic resistance R_{sd} vs contact resistance per CNT plotted at three different CNT pitches: 10, 8 and 5 nm. The projected R_c/CNT is defined by the R_{sd} [55]; (b) SEM image of a set of Pd side-contact transistors with same channel length of 40 nm but with different contact length [31]; (c) schematic diagram of Mo end-contact transistors; (d) total contact resistance per CNT $2R_c$ vs. contact length with two different contact structure [56].

体管的性能潜力.

2014年, IBM的研究人员系统地仿真了一种基于全半导体型平行阵列碳纳米管的平面晶体管模型^[57], 如图7(a)所示, 仿真模型里碳管晶体管的沟道长度为10 nm, 源或漏接触长度均为20 nm, 碳管阵列密度约为 $100\text{--}200\ \mu\text{m}^{-1}$, 他们通过对碳管器件构成的电路系统的速度和功耗进行评估, 并和硅基CMOS系统进行对比. 这种结构的碳管晶体管和同等技术节点的硅基CMOS晶体管相比, 在速度和功耗方面具有显著的优势, 如图7(b)所示. 特别地, 假如硅基CMOS器件从7 nm节点缩减到5 nm节点, 相应芯片性能大约有20%的改善, 但是如果是从7 nm硅基技术演变到7 nm碳纳米管半导体技术的话, 性能则由大约300%的提高, 相当于把硅基技术的节点提升了15代.

实际上基于高密度平行阵列碳管器件结构还可以进一步优化. 最近, 北京大学的研究人员对碳纳米管可能达到的最优性能进行了进一步的研究, 他们设

计了碳纳米管的鳍型结构场效应晶体管^[58], 并且每一个晶体管包含3个fin, 器件结构如图7(c)所示. 采用高密度($>125\ \mu\text{m}^{-1}$)平行阵列型半导体碳纳米管作为构成碳管fin结构的材料, 参考硅基22 nm CMOS的关键尺寸来设计碳管的FinFET的尺寸^[59]. 仿真结果表明, 通过阈值电压设计, 由碳纳米管FinFET构成的电路相对于同等技术节点的硅基CMOS电流最多具有50倍的速度 $\times$ 功耗(EDP)优势, 如图7(d)所示. 这些结果不断表明碳管晶体管具有极大的潜力, 而且为未来优化碳纳米管晶体管提供了指导.

碳纳米管晶体管都是采用低温工艺加工, 除了碳管生长温度, 其他工艺温度都可以控制在 200°C 以下. 而且, 结合材料转移技术或者采用溶液沉积等方式制备材料, 也可以保持低温过程. 意味着碳纳米管晶体管与传统半导体晶体管(比如硅基CMOS器件)具有良好的工艺兼容性, 可以实现在片异质集成. 在已经完成硅基CMOS器件和电路的隔离层上, 通过转移或者

图7 (网络版彩图)仿真的器件结构和得到的器件性能曲线. 平面阵列碳管晶体管(a)以及由这种结构的碳管晶体管构成的系统级别的仿真结果(b)^[57]; 碳管Fin结构晶体管(c)和通过对阈值位置的调控, 以及不同的工作电压 V_{dd} 环境下, 采用碳管Fin结构的晶体管在EDP上对比22 nm节点的硅基器件将会获得显著且不等优势(d)^[58]

Figure 7 (Color online) Simulated device structure and the projected performance. (a) Schematic diagram of CNTFET with planar gate structure; (b) modeling data for (a) with energy versus performance for both FinFET and CNTFET technologies^[57]; (c) schematic diagram of CNT FinFET; (d) the variation of V_{th} under different supplied voltages can have a dramatic impact on the EDP advantages of CNT FinFET comparing to 22 nm node Si FinFET^[58].

沉积的方法制备碳纳米管薄膜, 然后再通过全部低温的碳纳米管器件加工工艺, 实现碳纳米管CMOS/硅基CMOS晶体管的在片三维集成. 在这方面, 美国斯坦福大学的研究人员已经开展了研究, 初步把碳纳米管晶体管、传统硅基晶体管和阻变存储器(Resistive Random Access Memory, RRAM)等在较低温度通过3D异质集成到了硅片上^[60,61], 向人们展示了未来3D集成的一种可能性.

4 总结

按照摩尔定律的趋势以及ITRS的预测, 硅基CMOS器件性能将在2020年左右达到极限, 纳米电子学的研究变得日趋紧迫. 2015年英特尔公司已经宣布将在7 nm节点时放弃硅材料作为晶体管的沟道, 之后将成为非硅基纳米电子学的阶段. 亚10 nm晶体管技术对沟道材料的要求非常苛刻, 碳纳米管因为其超小的尺寸、超长的平均自由程和超高的载流子本征迁移率, 成为后摩尔时代为数不多的晶体管器件的技术选择之一.

近年来, 碳纳米管电子学的研究在材料、器件和电路等方面均取得了巨大进展. 碳纳米管材料的半导

体纯度和质量在不断提高, 能够得到越来越接近理想情况的半导体碳纳米管材料来制备晶体管. 在器件方面, 研究人员对碳纳米管晶体管的器件物理进行了系统深入研究, 发展了碳管CMOS器件的可控制备方法, 并且不断优化栅介质和结构, 进一步提升器件性能, 通过缩减器件尺寸, 实现了亚10 nm的器件, 在次基础上探索并验证了碳纳米管器件的潜力. 在集成电路方面, 基于碳纳米管晶体管构建的一系列基本逻辑单元和复杂集成电路, 特别是碳纳米管计算机的展示, 使基于碳纳米管的复杂电路第一次展示在人们面前, 更是让人们看见了碳纳米管晶体管以及集成电路的曙光.

然而, 碳纳米管电子学的继续发展尚需克服一些关键性的障碍, 主要包括全半导体高密度平行阵列碳纳米管材料的规模化制备, 碳管和金属电极的接触电阻的优化等问题. 此外, 真正将碳纳米管电子学推向应用还需要发展基于碳纳米管晶体管的标准化制备工艺, 以及研究碳纳米管集成电路的可靠性和稳定性. 因此会面临一系列的困难. 2020年将是一个重要的时间节点, 后摩尔时代碳纳米管电子学能否真正有所成就, 在低功耗、高性能或者特种集成电路中展示其潜力, 尚需努力.

参考文献

- Haensch W, Nowak E J, Dennard R H, et al. Silicon CMOS devices beyond scaling. *IBM J Res Dev*, 2006, 50: 339–361
- Macilwain C. Computer hardware: Silicon down to the wire. *Nature*, 2005, 436: 22–23
- Dürkop T, Getty S A, Cobas E, et al. Extraordinary mobility in semiconducting carbon nanotubes. *Nano Lett*, 2004, 4: 35–39
- Purewal M S, Hong B H, Ravi A, et al. Scaling of resistance and electron mean free path of single-walled carbon nanotubes. *Phys Rev Lett*, 2007, 98: 186808
- Dekker C, Tans S J, Verschueren A R M. Room-temperature transistor based on a single carbon nanotube. *Nature*, 1998, 393: 49–52
- Martel R, Schmidt T, Shea H R, et al. Single- and multi-wall carbon nanotube field-effect transistors. *Appl Phys Lett*, 1998, 73: 2447–2449
- Javey A, Guo J, Wang Q, et al. Ballistic carbon nanotube field-effect transistors. *Nature*, 2003, 424: 654–657
- Javey A, Kim H, Brink M, et al. High- κ dielectrics for advanced carbon-nanotube transistors and logic gates. *Nat Mater*, 2002, 1: 241–246
- Martel R, Derycke V, Lavoie C, et al. Ambipolar electrical transport in semiconducting single-wall carbon nanotubes. *Phys Rev Lett*, 2001, 87: 256805
- Heinze S, Tersoff J, Martel R, et al. Carbon nanotubes as schottky barrier transistors. *Phys Rev Lett*, 2002, 89: 106801
- Appenzeller J, Knoch J, Derycke V, et al. Field-modulated carrier transport in carbon nanotube transistors. *Phys Rev Lett*, 2002, 89: 126801
- Zhou C. Modulated chemical doping of individual carbon nanotubes. *Science*, 2000, 290: 1552–1555
- Chau R, Datta S, Doczy M, et al. Benchmarking nanotechnology for high-performance and low-power logic transistor applications. *IEEE Trans Nanotech*, 2005, 4: 153–158
- Zhang Z, Liang X, Wang S, et al. Doping-free fabrication of carbon nanotube based ballistic CMOS devices and circuits. *Nano Lett*, 2007, 7: 3603–3607
- Ding L, Wang S, Zhang Z, et al. Y-contacted high-performance n-type single-walled carbon nanotube field-effect transistors: Scaling and comparison with Sc-contacted devices. *Nano Lett*, 2009, 9: 4209–4214

- 16 Pei T, Zhang P, Zhang Z, et al. Modularized construction of general integrated circuits on individual carbon nanotubes. *Nano Lett*, 2014, 14: 3102–3109
- 17 Zhang Z Y, Wang S, Ding L, et al. High-performance n-type carbon nanotube field-effect transistors with estimated sub-10-ps gate delay. *Appl Phys Lett*, 2008, 92: 133117
- 18 Lu Y, Bangsaruntip S, Wang X, et al. DNA functionalization of carbon nanotubes for ultrathin atomic layer deposition of high κ dielectrics for nanotube transistors with 60 mV/Decade switching. *J Am Chem Soc*, 2006, 128: 3518–3519
- 19 Wang Z, Xu H, Zhang Z, et al. Growth and performance of yttrium oxide as an ideal high- κ gate dielectric for carbon-based electronics. *Nano Lett*, 2010, 10: 2024–2030
- 20 Liang S, Zhang Z, Si J, et al. High-performance carbon-nanotube-based complementary field-effect-transistors and integrated circuits with yttrium oxide. *Appl Phys Lett*, 2014, 105: 063101
- 21 Javey A, Guo J, Farmer D B, et al. Self-aligned ballistic molecular transistors and electrically parallel nanotube arrays. *Nano Lett*, 2004, 4: 1319–1322
- 22 Zhang Z, Wang S, Ding L, et al. Self-aligned ballistic n-type single-walled carbon nanotube field-effect transistors with adjustable threshold voltage. *Nano Lett*, 2008, 8: 3696–3701
- 23 Guo J, Hasan S, Javey A, et al. Assessment of high-frequency performance potential of carbon nanotube transistors. *IEEE Trans Nanotech*, 2005, 4: 715–721
- 24 Nougaret L, Happy H, Dambrine G, et al. 80 GHz field-effect transistors produced using high purity semiconducting single-walled carbon nanotubes. *Appl Phys Lett*, 2009, 94: 243505
- 25 Patil N, Deng J, Mitra S, et al. Circuit-level performance benchmarking and scalability analysis of carbon nanotube transistor circuits. *IEEE Trans Nanotech*, 2009, 8: 37–45
- 26 Ding L, Wang Z, Pei T, et al. Self-aligned U-gate carbon nanotube field-effect transistor with extremely small parasitic capacitance and drain-induced barrier lowering. *ACS Nano*, 2011, 5: 2512–2519
- 27 Che Y, Badmaev A, Jooyae A, et al. Self-aligned T-gate high-purity semiconducting carbon nanotube RF transistors operated in quasi-ballistic transport and quantum capacitance regime. *ACS Nano*, 2012, 6: 6936–6943
- 28 Appenzeller J, Lin Y M, Knoch J, et al. Band-to-band tunneling in carbon nanotube field-effect transistors. *Phys Rev Lett*, 2004, 93: 196805
- 29 Qiu C, Zhang Z, Zhong D, et al. Carbon nanotube feedback-gate field-effect transistor: Suppressing current leakage and increasing on/off ratio. *ACS Nano*, 2015, 9: 969–977
- 30 Franklin A D, Koswatta S O, Farmer D B, et al. Carbon nanotube complementary wrap-gate transistors. *Nano Lett*, 2013, 13: 2490–2495
- 31 Franklin A D, Chen Z. Length scaling of carbon nanotube transistors. *Nat Nanotech*, 2010, 5: 858–862
- 32 Franklin A D, Luisier M, Han S J, et al. Sub-10 nm carbon nanotube transistor. *Nano Lett*, 2012, 12: 758–762
- 33 Liang S, Zhang Z, Pei T, et al. Reliability tests and improvements for Sc-contacted n-type carbon nanotube transistors. *Nano Res*, 2013, 6: 535–545
- 34 Pei T, Zhang Z, Wang Z, et al. Temperature performance of doping-free top-gate CNT field-effect transistors: Potential for low- and high-temperature electronics. *Adv Funct Mater*, 2011, 21: 1843–1849
- 35 Ding L, Zhang Z, Liang S, et al. CMOS-based carbon nanotube pass-transistor logic integrated circuits. *Nat Commun*, 2012, 3: 677
- 36 Ding L, Zhang Z, Pei T, et al. Carbon nanotube field-effect transistors for use as pass transistors in integrated logic gates and full subtractor circuits. *ACS Nano*, 2012, 6: 4013–4019
- 37 Ding L, Liang S, Pei T, et al. Carbon nanotube based ultra-low voltage integrated circuits: Scaling down to 0.4 V. *Appl Phys Lett*, 2012, 100: 263116
- 38 Cao Q, Kim H, Pimparkar N, et al. Medium-scale carbon nanotube thin-film integrated circuits on flexible plastic substrates. *Nature*, 2008, 454: 495–500
- 39 Shulaker M M, Hills G, Patil N, et al. Carbon nanotube computer. *Nature*, 2013, 501: 526–530
- 40 Zhang P, Yang Y, Pei T, et al. Transient response of carbon nanotube integrated circuits. *Nano Res*, 2015, 8: 1005–1016
- 41 Kang S J, Kocabas C, Ozel T, et al. High-performance electronics using dense, perfectly aligned arrays of single-walled carbon nanotubes. *Nat Nanotech*, 2007, 2: 230–236
- 42 Wang C, Ryu K, Badmaev A, et al. Metal contact engineering and registration-free fabrication of complementary metal-oxide semiconductor integrated circuits using aligned carbon nanotubes. *ACS Nano*, 2011, 5: 1147–1153
- 43 Patil N, Lin A, Myers E R, et al. Wafer-scale growth and transfer of aligned single-walled carbon nanotubes. *IEEE Trans Nanotech*, 2009, 8: 498–504

- 44 Zhou W, Rutherglen C, Burke P J. Wafer scale synthesis of dense aligned arrays of single-walled carbon nanotubes. [Nano Res](#), 2008, 1: 158–165
- 45 Kocabas C, Kang S J, Ozel T, et al. Improved synthesis of aligned arrays of single-walled carbon nanotubes and their implementation in thin film type transistors. [J Phys Chem C](#), 2007, 111: 17879–17886
- 46 Huang H, Maruyama R, Noda K, et al. Preferential destruction of metallic single-walled carbon nanotubes by laser irradiation. [J Phys Chem B](#), 2006, 110: 7316–7320
- 47 Balasubramanian K, Sordan R, Burghard M, et al. A selective electrochemical approach to carbon nanotube field-effect transistors. [Nano Lett](#), 2004, 4: 827–830
- 48 Collins P G. Engineering carbon nanotubes and nanotube circuits using electrical breakdown. [Science](#), 2001, 292: 706–709
- 49 Jin S H, Dunham S N, Song J, et al. Using nanoscale thermocapillary flows to create arrays of purely semiconducting single-walled carbon nanotubes. [Nat Nanotech](#), 2013, 8: 347–355
- 50 Tulevski G S, Franklin A D, Afzali A. High purity isolation and quantification of semiconducting carbon nanotubes via column chromatography. [ACS Nano](#), 2013, 7: 2971–2976
- 51 Cao Q, Han S, Tulevski G S, et al. Arrays of single-walled carbon nanotubes with full surface coverage for high-performance electronics. [Nat Nanotech](#), 2013, 8: 180–186
- 52 Krupke R. Separation of metallic from semiconducting single-walled carbon nanotubes. [Science](#), 2003, 301: 344–347
- 53 Engel M, Small J P, Steiner M, et al. Thin film nanotube transistors based on self-assembled, aligned, semiconducting carbon nanotube arrays. [ACS Nano](#), 2008, 2: 2445–2452
- 54 Park J Y, Rosenblatt S, Yaish Y, et al. Electron-phonon scattering in metallic single-walled carbon nanotubes. [Nano Lett](#), 2004, 4: 517–520
- 55 Franklin A D, Farmer D B, Haensch W. Defining and overcoming the contact resistance challenge in scaled carbon nanotube transistors. [ACS Nano](#), 2014, 8: 7333–7339
- 56 Cao Q, Han S J, Tersoff J, et al. End-bonded contacts for carbon nanotube transistors with low, size-independent resistance. [Science](#), 2015, 350: 68–72
- 57 Tulevski G S, Franklin A D, Frank D, et al. Toward high-performance digital logic technology with carbon nanotubes. [ACS Nano](#), 2014, 8: 8730–8745
- 58 Zhang P, Qiu C, Zhang Z, et al. Performance projections for ballistic carbon nanotube FinFET at circuit level. [Nano Res](#), 2016, 9: 1785–1794
- 59 Lin C H, Kambhampati R, Miller R J, et al. Channel doping impact on FinFETs for 22 nm and beyond. In: *Proceedings of VLSI Technology*. Honolulu: IEEE, 2012
- 60 Shulaker M M, Saraswat K, Wong H S P, et al. Monolithic three-dimensional integration of carbon nanotube FETs with silicon CMOS. In: *Proceedings of VLSI Technology*. Honolulu: IEEE, 2014
- 61 Shulaker M M, Wu T F, Pal A, et al. Monolithic 3D integration of logic and memory: Carbon nanotube FETs, resistive RAM, and silicon FETs. In: *Proceedings of Electron Devices Meeting*. San Francisco: IEEE, 2014

Carbon nanotube field-effect transistors: Present and future

LIU LiJun & ZHANG ZhiYong^{*}

Key Laboratory for the Physics and Chemistry of Nanodevices and Department of Electronics, Peking University, Beijing 100871, China

Traditional silicon complementary metal-oxide semiconductor (CMOS) field-effect transistor (FET) technology has been pushed to 14 nm node and was predicted to arrive at its absolute performance limit in the near future. Therefore, a new transistor technology is urgently needed to replace or supplement Si CMOS and to extend Moore's Law. Owing to its ultra-thin body and ultra-high carrier mobility, carbon nanotube (CNT) has been considered as one of the most promising channel material to replace silicon at post-Moore's Law era. During the last 20 years, great progresses have been made on carbon nanotube field-effect transistors (CNTFETs) by researchers. In this review paper, we retrospect some key technologies of CNTFET, including carbon nanotube N-type ohmic contact ballistic transistors, doping-free complementary metal-oxide semiconductor (CMOS) technology, self-aligned high κ dielectric top gate geometry and length scaling of CNTFETs, etc. Besides, some challenges on the further development of CNTFETs, such as the preparation of high density and pure semiconducting CNT channel material at large scale and the contact performance during contact length scaling down, are discussed and the possible corresponding solutions are put forward. Based on the results of analysis and simulations, we make projections for the development of CNTFETs, which demonstrate great potential in the future. By effectively optimizing the CNT material quality and the device structure, CNTFETs may strikingly outperform the silicon counterparts at corresponding technology node and become competitive information processing devices at post-Moore's Law era.

carbon nanotube, field-effect transistor, nanoelectronics

PACS: 73.63.Fg, 73.23.Ad, 73.40.Cg, 73.40.Sx, 73.43.Fj

doi: [10.1360/SSPMA2016-00215](https://doi.org/10.1360/SSPMA2016-00215)