锗 (Ge) 基先进场效应晶体管技术研究进展

赵毅^{1*}, 郑泽杰², 李骏康¹

1. 浙江大学信息与电子工程学院, 杭州 310027

2. 之江实验室, 杭州 310000

* 通信作者. E-mail: yizhao@zju.edu.cn

收稿日期: 2019-09-24; 接受日期: 2019-10-31; 网络出版日期: 2020-02-11

浙江省自然科学基金重点项目 (批准号: Z19F040002) 和浙江省重点研发计划 (批准号: 2019C01158) 资助项目

摘要 传统硅 (Si) 基集成电路制造工艺已经进入 7 nm 节点, 继续减小器件尺寸变得愈发困难. 半导体材料锗 (Ge), 具有比硅更高的载流子迁移率, 能够实现器件性能的大幅提升. 本文从栅极堆垛 (gate stack)、源漏工程 (source/drain engineering) 和新器件结构 (new device structures) 3 个角度总结了 Ge 器件的最新研究成果. 研究表明, 锗沟道器件中诸多关键科学和工程问题仍未得到有效解决, 从基本的器件制备工艺到深层次的器件物理问题都亟待深入研究与克服. 但是, Ge 器件是未来集成电路 5 nm 及以下技术节点最有希望的发展方向.

关键词 锗, 栅极堆垛, 源漏技术, 新器件结构

1 引言

金属-氧化物-半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET) 是现代集成电路的基础. 目前量产级的 Si MOSFET 技术节点已经达到 7 nm, 进一步缩短沟道长度将导致器件出现一系列负面现象 (短沟道效应、功耗升高等) (图 1(a))^[1~3]. 尽管 Intel 公司开发了鳍式晶体管 (FinFET), 增强了器件栅极的静电控制能力, 一定程度上抑制了短沟道效应 (图 1(b))^[4], 但是随着技术节点的不断推进, 上述问题还是越来越严重, 器件性能提升面临着严峻的挑战.

为了提升器件的电学性能, 产业界和学术界从新材料和新结构两方面提出了可能的解决方案. 从引入新沟道材料角度看, 采用更高载流子迁移率的半导体材料作为器件沟道, 能够在不改变器件结构和尺寸的情况下获得更大的驱动电流 I_D , 这一技术路线已经在 90 nm 技术节点中得到了验证^[5]. 国际上各大半导体厂商 (Intel, IBM, TSMC 等) 和诸多科研机构 (斯坦福大学 (Stanford University)、麻

引用格式: 赵毅, 郑泽杰, 李骏康. 锗 (Ge) 基先进场效应晶体管技术研究进展. 中国科学: 信息科学, 2020, 50: 163–183, doi: 10.1360/SSI-2019-0207
Zhao Y, Zheng Z J, Li J K. Research progress in Ge-based advanced field effect transistor technology (in Chinese). Sci Sin Inform, 2020, 50: 163–183, doi: 10.1360/SSI-2019-0207

图 1 (网络版彩图) (a) MOSFET 的短沟道效应; (b) 平面器件与 FinFET 器件
Figure 1 (Color online) (a) Short channel effects in MOSFET; (b) planar device and FinFET

表 1 常见半导体材料的物理特性
Table 1 Physical properties of different semiconductors

	Si	Ge	InP	In _{0.47} Ga _{0.53} As	InAs
Electron mobility (cm²/Vs)	1600	3900	5400	14000	40000
Hole mobility (cm²/Vs)	430	1900	200	300	500
Bandgap (eV)	1.1	0.67	1.34	0.75	0.36

省理工学院 (Massachusetts Institute of Technology)、东京大学 (The University of Tokyo) 等) 近年来均探讨了高迁移率半导体材料作为 MOSFET 沟道的可行性, 并证实了高迁移率新沟道材料在未来集成电路技术中应用的巨大前景 [6, 7].

如表 1 所示, Ge 材料同时具有高电子、空穴迁移率, 能够获得高性能 CMOS (complementary metal oxide semiconductor) 电路. 其次, Ge 具有与 Si 相同的晶体结构和类似的物理、化学性质, 易于与目前的 Si 基集成电路制造工艺兼容. 因此, Ge 被认为是有希望取代 Si 作为器件沟道的候选材料. 然而, 高迁移率新沟道材料 Ge 器件相关的诸多关键科学和工程问题仍未得到彻底解决, 从基本的器件制备工艺技术到深层次的器件物理问题都亟待深入研究. 本文将从栅极堆垛工程、源漏制备技术、新器件结构 3 个方面论述 Ge MOSFET 近年来的研究进展.

2 栅极堆垛工程

2.1 高质量的界面钝化层

制备高质量的 MOS (metal-oxide-semiconductor) 界面钝化层和形成量子阱沟道是两种常见的提升 Ge 器件性能的方法. 实验表明, GeO₂ 是较为理想的 high- k /Ge 界面钝化层, high- k /GeO₂/Ge 的界面态密度低, 能够提供较高的载流子迁移率 [8]. 但是, 与传统 Si 器件中的硅氧化物 (SiO₂) 相比, GeO₂ 极不稳定 [9], 易溶于水, 在空气中会发生降解. 同时, GeO 的禁带宽度比 GeO₂ 小 [10], 引入 GeO 会增加栅极堆垛中的慢界面态, 严重影响器件的可靠性 (如图 2 所示). 所以, 获得高质量的 GeO₂ 是制备高性能 Ge MOSFET 的关键之一.

为了获得高质量的 high- k /Ge 界面钝化层, 业界提出了许多界面钝化方法. 文献 [11] 提出了高压氧化 + 低温氧气退火技术 (high-pressure oxidation and low-temperature oxygen annealing, HPO+LOA).

图 2 (网络版彩图) 不同界面钝化层的器件可靠性

Figure 2 (Color online) Reliability with different interface capping layers

图 3 (网络版彩图) 后氧化处理技术形成 high-k/Ge 界面钝化层的工艺流程

Figure 3 (Color online) Process of post-oxidation to form high-k/Ge interface capping layer

利用该技术, 可以形成具有低界面态密度 (D_{it}) 的 GeO_2/Ge 界面, D_{it} 降至 $10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$. 另外, 后氧化处理也是一种形成高质量界面钝化层的有效手段. 文献 [12~14] 分别报道了等离子体后氧化 (plasma post-oxidation, PPO) 和臭氧后氧化技术 (ozone post-oxidation, OPO). 图 3 详细描述了该技术的工艺流程. 图 4 显示了经后氧化处理, 器件界面与沟道迁移率特性. PPO 和 OPO 栅极堆垛技术已被广泛应用于 Ge MOSFET 的制备 [15~18].

除了通过改变氧化锆化物的条件来获得高质量的 GeO_2 之外, 在锆化物中加入一些元素来提高锆化物的热稳定性也可以提高 Ge 的界面特性. GeO_xN_y 是钝化 Ge 界面的理想材料, 高质量的 GeO_xN_y 可以通过在热氧化锆时加入氮化剂来实现 [19,20]. 研究表明, GeO_xN_y 具有比锆自身氧化物更好的热/化学稳定性, 同时, 氮元素的引入可以有效抑制栅介质层衬底的互相扩散. 近几年, 有学者提出, 在 GeO_2 中掺杂氧化钇 (Y_2O_3) 也能获得很好的界面特性 [21,22]. 适量的钇元素掺杂能提高 GeO_2 的抗水溶性, 同时减少 GeO_2 中的电子俘获中心. 如图 5 所示, 10% 的 Y_2O_3 是实现低界面态密度和高载流子迁移率的最优条件.

2.2 量子阱结构

量子阱结构也是实现高性能 Ge 器件的有效手段. 目前最常见的方法是利用 Si 与 Ge 在价带端

图 4 (网络版彩图) 后氧化处理前后性能对比. (a) 界面态密度; (b) 载流子迁移率

Figure 4 (Color online) Property comparison (with/without post-oxidation). (a) D_{it} ; (b) mobility @ Copyright 2016 EDL

图 5 (网络版彩图) 界面钝化对 (a) D_{it} 和 (b) 载流子迁移率的影响

Figure 5 (Color online) Impact of interface passivation on: (a) D_{it} ; (b) electron and hole mobility @Copyright 2013 IEDM

(E_v) 的能带位置偏差, 使 Ge 沟道在反型时形成 Si/Ge 的量子阱结构^[23~26], 从而有效避免沟道中载流子与界面或栅叠层中缺陷的相互作用. 但是, 量子阱结构的界面钝化效果只适用于 Ge pMOSFET, nMOSFET 只能利用 Si 覆盖层上生长 SiO_2 的便利性来减少界面缺陷. 因此, 有学者提出, 利用铟铝磷 (InAlP) 与 Ge 在价带与导带两端的能带对准关系, 可以获得同时适用于 p 型和 n 型 MOSFET 的量子阱结构^[27, 28]. 图 6 给出了 InAlP 与 p 型和 n 型 Ge 的能带对准关系.

最近, 一种新型的二硫化钼 (MoS_2)/Ge 量子阱沟道 MOSFET 被报道^[29]. 当 MoS_2 的层数减少至 1~3 层时, MoS_2/Ge 的能带对准关系能够符合量子阱的基本结构. 同时, 采用 MoS_2 覆盖层还可以降低由于杂质互掺和晶格失配带来的缺陷浓度. 图 7 是利用双层 MoS_2/Ge 量子阱结构制备的 Ge 器件的栅极透射电子显微镜图 (transmission electron microscope, TEM). 另外, 双量子阱结构的 Ge 器件也被大量报道, 这种结构能更有效地限制载流子只在沟道里输运, 提升载流子输运特性^[30, 31].

2.3 新型栅极堆垛层

在传统 Si 基集成电路制造中, 栅介质的材料由最初的 SiO_2 转变为 high- k 材料, 并衍生出了第二

图 6 (网络版彩图) 在 p- 和 n-MOSFET 中 InAlP 与 Ge 的能带对准关系
Figure 6 (Color online) Band alignment in Ge p- and n-MOSFET with InAlP capping layer

图 7 (网络版彩图) 双层 MoS₂/Ge 量子阱结构 TEM 图
Figure 7 (Color online) TEM of quantum well structure of two-layer MoS₂/Ge

图 8 (网络版彩图) 负电容 Ge CMOS FinFETs 的 SEM 图
Figure 8 (Color online) SEM results of negative capacitance Ge CMOS FinFETs @Copyright 2017 IEDM

代 high- k 栅叠层工艺, 一直沿用至今. 最近, 有大量文献报道了负电容场效应晶体管^[32~36], 即在传统的栅叠层中增加一层铁电材料薄膜, 实现栅极电信号的放大, 获得亚阈值摆幅小于 60 mV/decade 的器件. 该技术已经成功应用于 Ge 器件的制备^[31,32,35], 图 8 为 Ge 负电容 FinFETs 的 SEM 图^[36]. 对比传统 Ge MOSFET, 该晶体管的栅叠层中多了一层铪锆氧 ($\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$) 薄膜, 当 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 与串联的氧化铝介质层电容匹配时, $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 的负电容效应能使最终的串联电容增大, 提升了表面电势, 从而减小器件的亚阈值摆幅和供电电压, 其中最小仅为 7 mV/decade.

图 9 (网络版彩图) 结合旋涂掺杂技术和激光退火制备锗基超浅结的流程示意图

Figure 9 (Color online) Fabrication of ultra-shallow junction combined spin-on-doping and laser annealing techniques

3 源漏制备技术

实现具有低寄生电阻、高开关比的源漏是保持 Ge MOSFET 高性能的关键之一. 传统的 p-n 结源漏是通过离子注入后高温快速退火形成的. 但是, 由于锗中掺杂离子的固溶度相比硅更低^[37], 同时掺杂离子的热扩散系数较大^[38], 很难形成寄生电阻低、结深浅、整流特性好的 p-n 结源漏.

3.1 旋涂掺杂/激光退火

激光退火是一种有效的杂质激活手段, 它能在极短时间内激活杂质, 减少杂质的扩散深度, 获得更高掺杂浓度的 p-n 结. 目前已经有许多文献报道了激光退火在 Ge 基 p-n 结中的应用^[39~42]. 文献 [41] 报道了一种激光退火结合旋涂掺杂形成 p-n 结的方法, 通过该方法可以获得结深浅, 掺杂浓度高的 p-n 结. 图 9 为结合旋涂掺杂技术和激光退火制备锗基超浅结的工艺流程示意图. 实验结果表明, 激光退火的结表面掺杂浓度高达 10^{19} cm^{-3} , 是热退火样品的 1.5 倍, 同时激光退火样品的结深是热退火的 1/3 —— 约 20 nm. 图 10 为锗基超浅结的电流特性曲线, 其 p+/n 和 n+/p 结的开关比、开启电流都得到了提升, 关态电流也受到了抑制.

3.2 金属源漏技术

金属源漏 (主要指 NiGe) 结构的 Ge pMOSFET 源漏寄生电阻低, 同时具有原子级陡直的温度梯度, 易于制备超浅结. 许多实验都证明了金属源漏有望提高 Ge pMOSFET 的性能^[43~48]. 但是其中也存在一个严重的问题, 就是金属 - 半导体肖特基结势垒高度难以调节, 结漏电较大. 该问题一方面归因于锗的禁带宽度较小 (0.67 eV), 另一方面也是由于费米能级钉扎效应所致^[49]. 研究发现, 当空穴肖特基势垒高度低于 0.1 eV 时, 结漏电能够得到有效的抑制, 进而获得高性能的 Ge pMOSFET.

文献 [47] 提出可以利用微波退火技术有效减弱费米能级的钉扎效应, 增大肖特基势垒高度, 同时结合 NiGe 金属的优良导电性, 可以实现寄生电阻低、整流特性好的 NiGe/n-Ge 肖特基结, 进一步获得性能优异的 Ge pMOSFET. 图 11(a) 为不同微波退火时间后 NiGe 的厚度, 对比传统热退火的 NiGe 厚度, 微波退火技术可以把 NiGe 厚度降至 10 nm 以下, 这归因于微波技术的低温退火可以减少退火时 Ni 在 Ge 中的扩散, 形成更薄的 NiGe 合金. 图 11(b) 为传统快速热退火和微波退火得到的 NiGe/n-Ge 肖特基结特性对比图. 可以发现, 微波退火的结表现出了优异的性能, 开关比达到了 10^5 . 图 12 展示了微波退火 NiGe/n-Ge 肖特基源漏结的 Ge pMOSFET 的电流输出特性, 并提取了源漏寄生电阻. 可以发现, 与常规快速热退火工艺对比, 器件的电流性能提升了 2 倍, 源漏寄生电阻仅为传统离子注入器件的 1/5.

3.3 杂质分凝技术

然而, 这种去费米能级钉扎效应不能大幅调节 NiGe 与 Ge 接触时的肖特基势垒高度, 所以通过

图 10 (网络版彩图) 激光退火与传统快速热退火结的电流特性曲线对比. (a) p+/n; (b) n+/p

Figure 10 (Color online) Comparison of junction characteristics between LA and traditional annealing techniques. (a) p+/n; (b) n+/p

图 11 (网络版彩图) (a) NiGe 厚度与退火时间关系; (b) NiGe/n-Ge 肖特基结特性对比

Figure 11 (Color online) (a) Relationship between NiGe thickness and MWA time; (b) NiGe/n-Ge Schottky junction curve fabricated by MWA, compared with other methods

传统的退火方法获得类似于 n+/p 结的 NiGe/Ge 肖特基结非常困难. 大量文献^[50~52]表明, 杂质分凝技术 (dopant segregation, DS) 可以通过掺杂不同类型的杂质, 来灵活调控电子和空穴的肖特基势垒高度. 文献 [53] 在 p 型 Ge 衬底上利用 DS 技术制备了适用于 Ge nMOSFET 的金属源漏. 图 13 为不同 DS 条件 (不同退火温度) 的 NiGe/p-Ge 肖特基结特性, 从没有 DS 的欧姆接触转变为空穴势垒高度为 0.57 eV 的肖特基结, 说明 DS 技术可以用于制备 Ge nMOSFET 的源漏结. 除此之外, DS 技术还可以获得超浅结深的结, 适用于绝缘层上超薄厚度锗器件的制备. 文献 [54] 展示了一种锗层厚度仅为 6 nm 的绝缘层上锗 (Germanium-on-insulator, GeOI) 器件, 其源漏结构是通过 DS 方法获得的. 图 14 为 DS 金属源漏的器件结构示意图和器件的电流传输特性曲线.

除了源漏结自身的寄生电阻会影响器件的电流特性之外, 源漏的接触电阻也是非常重要的一部分. 杂质分凝技术不仅可以用于制备高肖特基势垒的金属源漏结, 还通过同类型杂质掺杂形成低肖特基势垒、低寄生电阻的欧姆接触, 该技术手段在 Ge 器件中的应用已得到大量的报道^[55~58].

3.4 其他方法

最近, 有文献^[59]报道了镓 (Ga) 离子注入的接触电阻率降到了 $5 \times 10^{-10} \Omega \cdot \text{cm}^2$. 图 15 展示了传

图 12 (网络版彩图) (a) MWA NiGe 合金源漏和传统离子注入源漏的 Ge pMOSFET 器件的输出特性; (b) 不同结深的微波退火 NiGe 合金源漏结构中的寄生电阻

Figure 12 (Color online) (a) The I_D - V_D curves of Ge pMOSFET fabricated by MWA, compared with traditional implantation technique; (b) parasitic resistance of MWA NiGe under different junction depth @Copyright 2016 TED

图 13 (网络版彩图) 不同退火条件的杂质分凝 NiGe/p-Ge 肖特基结的电流特性曲线

Figure 13 (Color online) NiGe/p-Ge Schottky junction curves fabricated by DS technique with different annealing conditions @Copyright 2014 EDL

图 14 (网络版彩图) 杂质分凝金属源漏的 GeOI 器件示意图和电流传输特性曲线

Figure 14 (Color online) Schematic of GeOI device with DS S/D and I_D - V_G curve @Copyright 2017 VLSI-TSA

统热退火和纳秒级激光退火后的杂质浓度梯度分布曲线, 可以发现, 虽然 Ga 在激光退火后部分流失, 但是最终激活的杂质浓度比传统热退火要大一倍左右. 之后, 文献 [60] 报道了对原位生长的 Ga 掺杂的 p-Ge 进行传统热退火, 实现了 $9 \times 10^{-10}\ \Omega \cdot \text{cm}^2$ 的接触电阻率.

对于金属与 n-Ge 的接触而言, 由于费米能级钉扎效应的存在, 接触电阻非常大, 甚至无法形成良好的欧姆接触. 为了去费米能级钉扎效应, 可以在金属与 n-Ge 之间插入一层极薄的氧化层 [61, 62]. 研究表明, 含氮化合物金属可以与 n-Ge 形成较好的欧姆接触 [63, 64], 并且提高氮含量可以进一步减小肖特基势垒高度, 从而减小欧姆接触电阻, 这主要归因于 N-Ge 键形成的偶极子对金半界面缺陷的中和, 缓和了费米能级钉扎效应.

另外, 通过增大源漏金属与金属结的接触面积也可以大幅减小接触电阻. 嵌入式的源漏结构是一种被广泛应用的增大接触面积的方法, 在 Ge MOSFET 的制备中也十分常见 [65, 66]. 凹槽型的嵌入式

图 15 (网络版彩图) 不同激活条件下 Ga 的掺杂浓度

Figure 15 (Color online) Ga concentration in Ge substrate with different activation methods @Copyright 2017 IEDM

图 16 (网络版彩图) (a) GeSn pTFET 结构示意图; (b) 不同 Sn 组分的 pTFET 的传输特性曲线

Figure 16 (Color online) (a) Schematic of GeSn pTFET; (b) I_D - V_G curves of pTFET with different Sn contents @Copyright 2014 IEDM

结构将接触面积从二维拓展到了三维, 可以有效提高器件的驱动电流.

在过去的几年中, 基于源漏结的新原理器件被提出并被大量研究及证明^[67~71]. 传统 MOSFET 主要由源端载流子的漂移电流来驱动, 而基于源漏结的新原理器件主要来源于源端结的带带隧穿电流, 通常被称为隧穿场效应晶体管 (tunneling field effect transistor, TFET). 由于带带隧穿的电流取决于势垒的厚度, 所以电流值通常小于传统的载流子热注入电流. Ge 具有直接带隙, 并且已有文献报道能够通过引入应变等方法转变为直接带隙半导体, 有利于获得更高的载流子隧穿概率, 增大器件的驱动电流. 文献 [68] 报道了一种 Ge 基 TFET, 通过掺杂锡 (Sn) 使 Ge 转变为直接带隙半导体, 而直接带隙的带带隧穿电流更大, 从而可以使 TFET 获得更大的驱动电流. 图 16(a) 是该 TFET 器件的结构示意图. 图 16(b) 是不同 Ge 和 Sn 组分的 TFET 的电流传输特性曲线, 增加 Sn 的组分可以使 Ge 逐渐转变为直接带隙半导体, TFET 性能 (亚阈值摆幅和驱动电流) 也逐步提升. 但是, 制备单纯的体 Ge TFET 非常困难, 即使优化了源漏结的浓度梯度陡直性, 依然无法同时获得较大的驱动电流和较小的亚阈值摆幅^[72]. 研究^[73]表明, 只有减小 Ge 膜厚度至 10 nm 以下, 并且保证 MOS 界面的界面态密度小于 10^{12} cm⁻² · eV⁻¹, 才有可能获得亚阈值摆幅小于 60 mV/decade 的电流特性曲线, 以及较大的驱动电流.

图 17 (网络版彩图) (a) SiGe Fin 的 XTEM 结果; (b) 单个 SiGe FinFET XTEM 图, L_G 为 18 nm; (c) SiGe FinFET 转移特性曲线

Figure 17 (Color online) (a) XTEM image across SiGe fin; (b) XTEM image of a single-fin SiGe channel trigate PFET with $L_G = 18$ nm. (c) I_D - V_G of a single-fin SiGe channel trigate PFET @Copyright 2013 VLSI

4 新结构器件

4.1 SiGe/Ge 基鳍式场效应晶体管

2012 年, IMEC (Interuniversity Microelectronics Centre) 首次实现了 SiGe 的 FinFET^[74]. 为了实现 SiGe 的导电沟道, 通过外延技术精确地在 Si Fin 外面沉积 5 nm 厚的 SiGe 薄膜. 研究发现, 由于不同的 Ge 含量对应着不同的价带分布, 随着 Ge 含量的增大, V_{TH} 不断变小. 另外, SiGe 薄膜的量子阱结构限制了载流子的分布, 抑制了 DIBL (drain induced barrier lowering) 效应, 提高了载流子迁移率. 2013 年, IBM 公司实现了高性能 SiGe-OI FinFET^[75], 其中 Ge 成分达到了 27%. 图 17(a) 和 (b) 显示了 SiGe Fin 的 XTEM 图 (cross-sectional transmission electron microscopy), 宽度最小达到了 10 nm, Fin 的高度为 17 nm. 从 SiGe FinFET 转移特性可以看到, 相比于其他 SiGe 晶体管, 由于应力引起了有效质量的降低, 晶体管的电流得到提升.

到了 2014 年, 在之前的 SiGe FinFET 的基础上, IMEC 通过控制好外延 SiGe 的厚度 (4~6 nm) 以及用量子阱结构 (Si 作为 SiGe pFinFET 钝化层), 系统地研究了 SiGe FinFET 的晶体管特性及可靠性^[76]. 研究发现, 控制好 SiGe 的外延厚度和使用 Si 作为钝化层, 可以实现高性能的 SiGe p-FinFET. IBM 通过氧化浓缩技术实现了高 Ge 组分的 SiGe FinFET, 其中 Ge 达到了 50%, 同时获得了较大的压应变^[77, 78], 提升了晶体管性能.

采用 3D 氧化浓缩技术及优化其他的工艺条件, IBM 实现了 Fin 宽度更小 (4 nm), Ge 含量更大的 SiGe FinFET^[79, 80]. 而随着 Fin 宽度的减小, 沟道中 Ge 的组分含量不断增大, 最大达到了 71%. 另外, 栅极与沟道的界面进一步得到了优化, 实现了 1 nm 以下等效氧化物厚度 (equivalent oxide thickness, EOT) 的同时也保持了界面质量. 通过以上两点, 高性能的 SiGe FinFET 短沟道器件得以实现 (图 18). 2016 年, IBM 通过选择合适的 Spacer 厚度、界面层的优化和采用热离子注入方法, 实现了更大的开启电流和跨导 (图 19)^[81]. 另外, 通过外延的方法, IBM 首次实现了 Si n-FinFET 和 SiGe p-FinFET 的集成, 实现了 CMOS 特性^[82].

为了进一步优化 SiGe n-FinFET 的电学特性, IBM 在 2018 年通过在应力释放缓冲层 (strain relaxed buffer, SRB) 上外延不同组分的 SiGe 层得到了具有拉应力的沟道^[83]. 由于拉应力的引入, 造成了沟道载流子的有效质量降低, 从而提升了晶体管的迁移率和电流特性, 在 Ge 组分为 10% 时, 拉

图 18 (网络版彩图) (a) SiGe Fin 宽度与 Ge 含量的测试结果; (b) SiGe 晶体管空穴有效迁移率与 EOT 之间的关系

Figure 18 (Color online) (a) Ge content measured by EDS and EELS for various device/fin widths; (b) mobility benchmark SiGe FinFETs (close: planar, open: FinFETs) ©Copyright 2016 VLSI

图 19 (网络版彩图) (a) 不同工艺条件下的晶体管开启电阻; (b) 热离子注入工艺实现的 SiGe FinFET 转移特性曲线; (c) SiGe FinFET 输出特性曲线

Figure 19 (Color online) (a) Median short-channel R_{on} for various gate stack and splits; (b) transfer curves of the SiGe FinFET with hot I/I technique; (c) output curves ©Copyright 2016 VLSI

应力达到了 1.19%, 晶体管的迁移率远大于传统 Si 基晶体管, 这为未来进一步提升晶体管特性提供了一个方向。

新沟道材料 Ge 也是近年来研究的热门。2012 年, 台积电 (TSMC) 利用 ART 技术首次展示了 Ge 基 p-FinFET [84]。其中晶体管的沟道长度为 60 nm, 宽度为 40 nm, high- k /Ge 界面通过 Si 薄膜钝化, 从而实现了量子阱结构 (图 20)。Ge FinFET 实现了优异的亚阈值特性 ($SS = 76$ mV/decade), 良好的短沟道控制能力和大的驱动电流 ($V_{DD} = 1$ V 时 $I_{ON} = 1.2$ mA/ μ m)。2013 年, TSMC 引入了 GeO_x 薄层, 钝化了 Ge p-FinFET 中 high- k /Ge 沟道界面, 再次降低了界面态密度 [85]。

2013 年, TSMC 用 III-V 材料 (InAlP) 作为 high- k /Ge 沟道的钝化层, 利用量子阱结构提升器件性能 [86]。图 21 显示了 Ge FinFET 的栅极钝化结构、转移和输出电学特性。IMEC 在 2013 年通过在 SiGe 上面外延 Ge 层, 从而在 Ge 导电沟道引入了压应力 [87]。由此, Ge p-FinFET 的电学特性得到一

图 20 Ge FinFET 的 TEM 照片. (a) 晶体管的沟道截面图; (b) 沟道上表面; (c) 侧面的 TEM 照片

Figure 20 TEM micrographs of cross-sections of a Ge FinFET. (a) High angle annular dark field (HAADF) image of the Ge FinFET device showing the gate stack on fin top; (b) Fin sidewall; (c) conformality is within 15% @Copyright 2012 IEDM

图 21 (网络版彩图) (a) InAlP 钝化的 Ge FinFET TEM 照片; (b) 晶体管的转移特性; (c) 晶体管的输出特性
Figure 21 (Color online) (a) TEM micrographs of cross-sections of a InAlP capped Ge FinFET; (b) transfer characteristic curves of the Ge FinFET; (c) output characteristic curves of the Ge FinFET @Copyright 2013 IEDM

定程度上的提升.

2014 年, TSMC 也在 SiGe 缓冲层上面外延生长了 Ge 沟道, 制备了具有一定压应力的 Ge p-FinFET^[88], 其中压应力约为 1.7%. 相比于没有应力的 Ge p-FinFET, 引入应力的晶体管沟道开启电流提升了 5 倍之多. 同年, IMEC 用 GeO_x 取代了 Si 钝化层, 实现了 Ge n-FinFET^[89]. Ge 沟道最小宽度仅为 15 nm, 晶体管的栅控能力得到提升, 亚阈值摆幅减小. 到了 2016 年, IMEC 在原有的工艺基础上, 通过优化源漏于栅极工艺技术, 进一步提升了 Ge p-FinFET 电学性能^[90].

高校研究机构也在 GeOI 衬底上实现了 Ge FinFET CMOS 电路 (图 22), 其中晶体管沟道长度从 200 nm 到 20 nm^[91]. 在该研究中, 通过回刻技术降低了源漏于金属电极的接触电阻, 提升了晶体管驱动电流. 另外, 为了更好地实现晶体管的电学特性, 研究者采用的是反型工作模式的 p-FinFET 和积累型工作模式的 n-FinFET 结构. 尤其是对于 n-FinFET 来说, 积累型的工作模式使得晶体管能够克服 Ge 沟道费米能级钉扎问题从而提升了沟道电流, 实现正常的晶体管开关特性.

4.2 GeOI 场效应晶体管

绝缘层上半导体场效应晶体管 (semiconductor-on-insulator) 是另外一种新结构晶体管. 文献 [92] 报道了基于智能剥离衬底的超薄 GeOI 晶体管, 晶体管结构如图 23 所示. 研究发现, 在衬底制备过程中, H⁺ 的高能注入对 Ge 的损伤很大, 尤其是底部的 Ge 膜. 对于智能剥离的 GeOI 晶体管来说, 当

图 22 (网络版彩图) Ge FinFET CMOS. (a) 电路结构 SEM 图; (b) 电压输出曲线

Figure 22 (Color online) Ge FinFET CMOS. (a) SEM micrograph; (b) output characteristic curves of the Ge FinFET inverter @Copyright 2015 VLSI

图 23 (网络版彩图) GeOI 晶体管结构示意图

Figure 23 (Color online) Structure of GeOI transistor

Ge 膜较薄时, 晶体管电学性能主要受到 GeOI 的晶体质量影响. 另外, 在智能剥离的 GeOI 晶体管中, Ge 与埋氧化层 (buried oxide, BOX) 之间的界面条件也未进行优化, 界面态密度较大, 造成了晶体管特性的降低.

为了研究 GeOI 晶体管在 Ge 膜极薄情况下载流子的输运特性, Yu 等^[93] 实现了 Ge 膜厚度仅为 2 nm 的超薄 GeOI pMOSFET. 为了得到空穴在 Ge 薄膜中本征的物理状态, Flipped GeOI 衬底被采用. 研究发现, 空穴载流子迁移率受到 Ge 膜厚度影响, 当 Ge 薄膜变小时, 沟道载流子受到上下界面的影响更加严重, 造成有效迁移率降低 (图 24). 尤其是在 Ge 膜厚度小于 5 nm 时, Ge 薄膜厚度的不均匀直接限制了载流子其中的输运特性.

文献 [94] 优化了氧化浓缩工艺条件, 通过延长工艺步骤的降温时间, 使得 GeOI 中压应力释放非常缓慢, 最后得到具有较大压应力的超薄 GeOI 衬底 (~1.5%). 压应力改变了 Ge 能带中空穴状态, 提升了沟道载流子迁移率, 晶体管驱动电流相应增大. 从研究结果看到, 随着 Ge 薄膜厚度减小, 晶体管中源漏结面积也随之减小, 因此晶体管的漏电流得到了很好的抑制.

超薄 GeOI 衬底在不同 Ge 膜厚度时的导带能级会出现不同分布的情况, 载流子在不同能带结构中分布情况会发生变化. 随着 Ge 膜变薄, Δ 能谷与 L 能谷之间的能谷差 $E_{\Delta-L}$ 变小, 原本占据在 L

图 24 (网络版彩图) (a) 常温下, GeOI 晶体管有效迁移率随 Ge 厚度的变化情况; (b) GeOI 晶体管中迁移率与不同 Ge 磨厚度的关系

Figure 24 (Color online) (a) T_{GeOI} dependence of effective mobility of GeOI back gate MOSFETs at RT; (b) schematic diagram of scattering mechanism in GeOI @Copyright 2015 IEDM

图 25 (网络版彩图) (a) GeOI 晶体管转移特性曲线; (b) 新方法制备的 GeOI 晶体管有效迁移率

Figure 25 (Color online) (a) Transfer curves of the DWP/smart cut GeOI pMOSFET; (b) effective mobility of the DWP GeOI pMOSFET

能谷中的电子会有更大概率跃迁至 Δ 能谷, 而 Δ 能谷中电子有效质量比 L 能谷小, 从而增大了电子的迁移率. 由此, Chang 等^[95] 研究了超薄 GeOI nMOSFET 随 Ge 膜厚度变化的电学性能差异. 通过研究发现, 对于 GeOI nMOSFET 来说, 由于上述提到的 Ge 薄膜对能带的调控作用, 当 Ge 膜从 20 nm 到 3 nm 变化过程中, 沟道电子有效迁移率呈先下降后提升的趋势. 这个研究表明, 对于超薄 GeOI nMOSFET 在实际应用中, 选择合适的 Ge 薄膜厚度, 从而实现最佳的超薄 GeOI 晶体管电学特性.

为了得到晶体质量更好的 GeOI 衬底, 一种新的方法制备高晶体质量的超薄 GeOI 衬底被提出^[96]. 在此方法中, 通过直接键合体 Ge 与体 Si (direct wafer bonding and polishing, DWP), 再结合研磨抛光方法最终获得了超薄 GeOI 衬底, 其中 Ge 膜最薄厚度达到了 9 nm. 由于体 Ge 的高晶体质量, 最终超薄 GeOI 衬底也类似于体 Ge, 远高于智能剥离、氧化浓缩和外延技术获得的 GeOI 薄膜. 另外, 通过后氧化技术, high- k /Ge 沟道及 Ge/BOX 界面得到了优化, 最终实现了高性能超薄 GeOI pMOSFET, 晶体管的有效迁移率要比其他方法得到的高出许多 (图 25 和 26).

图 26 (网络版彩图) 不同 GeOI 晶体管, 迁移率随 Ge 膜厚度的变化

Figure 26 (Color online) Mobility dependence on the Ge thickness in different GeOI pMOSFETs

图 27 (网络版彩图) (a) GAA 纳米线晶体管沿沟道方向的 TEM 图; (b) GAA 纳米线晶体管的栅极结构; (c) HRTEM 显示了最小的线宽仅为 3.5 nm

Figure 27 (Color online) (a) Cross-sectional TEM image of a GAA NW FET cut along the gate line; (b) the gate stack; (c) HR-TEM image shows the single crystalline Ge NW with a WNW of 3.5 nm @Copyright 2013 IEDM

4.3 SiGe/Ge 其他类型场效应晶体管

随着集成电路的发展, 场效应晶体管的栅极控制能力需要进一步提升. 由此, GAA (Gate-All-Around) 及 NW (NanoWire) 这些新结构晶体管被提出. 2013 年, Cheng 等^[97] 在 GeOI 衬底上成功制备了 Ge Nanowire 晶体管, 其中最小的线宽仅为 3.5 nm (图 27). 再结合相变材料 GST 退火后在沟道内引入的压应力特性, 晶体管的开启电流提升了 35%. 2015 年, IMEC 首次在 12 英寸衬底上实现了 SiGe 的 GAA 晶体管^[98]. 2017 年, IBM 制备了纳米片晶体管 (nanosheet), 其中晶体管沟道能够在垂直方向上堆叠, 这节省了晶体管制备的面积^[99].

5 结论和展望

本文从栅极堆垛、源漏技术和新器件结构 3 个角度总结了 SiGe/Ge MOSFET 的最新研究成果.

栅极堆垛主要可以分为界面钝化层技术和量子阱结构技术。GeO₂ 是 Ge MOSFET 较好的界面钝化层, 可以通过高压氧化、臭氧后氧化或者等离子后氧化等技术获得高质量的 GeO₂ 界面层。同时在 GeO_x 中掺入 N, Y 等元素可以提高 GeO_x 的稳定性, 提高 Ge MOSFET 的性能。除了界面钝化层技术, 在 Ge MOS 界面覆盖 Si, InAlP, MoS₂ 等能带对准关系合适的材料可以形成量子阱结构, 同样可以提高栅极堆垛的质量。源漏技术的目标主要是形成超结浅、掺杂浓度高的 p-n 结, 激光退火、微波退火等杂质激活方法可以有效避免杂质在 Ge 中扩散的劣势, 获得具有更好整流特性的源漏结。根据这些栅极堆垛和源漏形成技术, 业界和学术界提出了多种新器件结构, GeOI, FinFET, GAA 和 Nano Sheet 等结构在 SiGe/Ge 器件中实现并进行了深入研究。随着集成电路技术的不断发展, 传统硅基器件的尺寸微小化越来越困难, 器件性能发展面临瓶颈。锗沟道器件很有可能是未来 3 nm 及以下技术节点的集成电路发展方向, 这些研究成果能够为未来集成电路技术的发展提供理论基础和实验支持。

参考文献

- 1 Narasimha S, Jagannathan B, Ogino A, et al. A 7 nm CMOS technology platform for mobile and high performance compute application. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2017. 1–4
- 2 Auth C, Aliyarukunju A, Asoro M, et al. A 10 nm high performance and low-power CMOS technology featuring 3rd generation FinFET transistors, self-aligned quad patterning, contact over active gate and cobalt local interconnects. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2017. 1–4
- 3 Kuhn K J. Considerations for ultimate CMOS scaling. IEEE Trans Electron Device, 2012, 59: 1813–1828
- 4 Natarajan S, Agostinelli M, Akbar S, et al. A 14 nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 , SRAM cell size. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2015. 1–3
- 5 Chan V, Rengarajan R, Rovedo N, et al. High speed 45 nm gate length CMOSFETs integrated into a 90 nm bulk technology incorporating strain engineering. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2003. 77–80
- 6 Collaert N. Novel channel materials for high-performance and low-power CMOS. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2016
- 7 Semiconductor Industry Association. International Technology Roadmap for Semiconductors (ITRS), 2013 version
- 8 Matsubara H, Sasada T, Takenaka M, et al. Evidence of low interface trap density in GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation. Appl Phys Lett, 2008, 93: 032104
- 9 Ma J G, Zhang W D, Zhang J F, et al. A comparative study of defect energy distribution and its impact on degradation kinetics in GeO₂/Ge and SiON/Si pMOSFETs. IEEE Trans Electron Device, 2016, 63: 3830–3836
- 10 Lin L, Xiong K, Robertson J. Atomic structure, electronic structure, and band offsets at Ge:GeO:GeO₂ interfaces. Appl Phys Lett, 2010, 97: 242902
- 11 Lee C H, Nishimura T, Nagashio K, et al. High-electron-mobility Ge/GeO₂ n-MOSFETs with two-step oxidation. IEEE Trans Electron Device, 2011, 58: 1295–1301
- 12 Zhang R, Huang P C, Taoka N, et al. High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using HfO₂/Al₂O₃/GeO_x/Ge gate stacks fabricated by plasma post oxidation. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2011. 161–162
- 13 Zhang R, Tang X, Yu X, et al. Aggressive EOT scaling of Ge pMOSFETs with HfO₂/AlO_x/GeO_x gate stacks fabricated by ozone post oxidation. IEEE Electron Device Lett, 2016, 37: 831–834
- 14 Sun J B, Yang Z W, Geng Y, et al. Equivalent oxide thickness scaling of Al₂O₃/Ge metal-oxide-semiconductor capacitors with ozone post oxidation. Chin Phys B, 2013, 22: 561–564
- 15 Zhang R, Iwasaki T, Taoka N, et al. High-mobility Ge pMOSFET with 1-nm EOT Al₂O₃/GeO_x/Ge Gate stack fabricated by plasma post oxidation. IEEE Trans Electron Device, 2012, 59: 335–341
- 16 Zhang R, Li J K, Yu X. Electrical properties of Ge pMOSFETs with ultrathin EOT HfO₂/AlO_x/GeO_x gate-stacks. IEEE Trans Electron Device, 2017, 64: 4831–4837

- 17 Zhang R, Lin J C, Yu X, et al. Impact of plasma postoxidation temperature on the electrical properties of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ pMOSFETs and nMOSFETs. *IEEE Trans Electron Device*, 2014, 61: 416–422
- 18 Zhang R, Taoka N, Huang P C, et al. 1-nm-thick EOT high mobility Ge n- and p-MOSFETs with ultrathin GeO_x/Ge MOS interfaces fabricated by plasma post oxidation. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, Washington, 2011. 1–4
- 19 Shang H, Frank M M, Gusev E P, et al. Germanium channel MOSFETs: opportunities and challenges. *IBM J Res Dev*, 2006, 50: 377–386
- 20 Zhang R, Iwasaki T, Taoka N, et al. Suppression of ALD-induced degradation of Ge MOS interface properties by low power plasma nitridation of GeO_2 . *J Electrochem Soc*, 2011, 158: 178–184
- 21 Lee C H, Nishimura T, Tabata T, et al. Ge MOSFETs performance: impact of Ge interface passivation. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2010. 1–4
- 22 Lee C H, Lu C, Tabata T, et al. Oxygen potential engineering of interfacial layer for deep sub-nm EOT high- k gate stacks on Ge. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, Washington, 2013. 1–4
- 23 Arimura H, Sioncke S, Cott D, et al. Ge nFET with high electron mobility and superior PBTI reliability enabled by monolayer-Si surface passivation and La-induced interface dipole formation. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, Washington, 2015. 1–4
- 24 van Dal M J H, Vellianitis G, Doornbos G, et al. Demonstration of scaled Ge p-channel FinFETs integrated on Si. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2012. 1–4
- 25 Pillarisetty R, Chu-Kung B, Corcoran S, et al. High mobility strained germanium quantum well field effect transistor as the p-channel device option for low power ($V_{cc}=0.5\text{ V}$) III–V CMOS architecture. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2010. 1–4
- 26 Kobayashi M, Mitard J, Irisawa T, et al. Experimental demonstration of high source velocity and its enhancement by uniaxial stress in Ge PFETs. In: *Proceedings of IEEE Symposium on VLSI Technology*, Honolulu, 2010. 215–216
- 27 Gong X, Zhou Q, Owen M H S, et al. InAlP-Capped (100) Ge nFETs with 1.06 nm EOT: achieving record high peak mobility and first integration on 300 mm Si substrate. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2014. 231–234
- 28 Liu B, Gong X, Cheng R, et al. High performance Ge CMOS with novel InAlP-passivated channels for future sub-10 nm technology node applications. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, Washington, 2013. 657–659
- 29 Li J, Xie S, Zheng Z, et al. High performance and reliability Ge channel CMOS with a MoS_2 capping layer. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2017. 830–833
- 30 Huang Y S, Tsou Y J, Huang C H, et al. High-mobility CVD-grown Ge/strained $\text{Ge}_{0.9}\text{Sn}_{0.1}/\text{Ge}$ quantum-well pMOSFETs on Si by optimizing Ge cap thickness. *IEEE Trans Electron Device*, 2017, 64: 2498–2504
- 31 Hashemi P, Hoyt J L. High hole-mobility strained-Ge/ $\text{Si}_{0.6}\text{Ge}_{0.4}$ P-MOSFETs with high- k /metal gate: role of strained-Si cap thickness. *IEEE Electron Device Lett*, 2012, 33: 173–175
- 32 Zhou J, Han G, Peng Y, et al. Ferroelectric negative capacitance GeSn PFETs with sub-20 mV/decade subthreshold swing. *IEEE Electron Device Lett*, 2017, 38: 1157–1160
- 33 Su C, Hong T, Tsou Y, et al. Ge nanowire FETs with HfZrOx ferroelectric gate stack exhibiting SS of sub-60 mV/dec and biasing effects on ferroelectric reliability. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2017. 1–4
- 34 Si M W, Jiang C S, Su C J, et al. Sub-60 mV/dec ferroelectric HZO MoS_2 negative capacitance field-effect transistor with internal metal gate: the role of parasitic capacitance. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2017. 1–4
- 35 Si M, Su C J, Jiang C, et al. Steep-slope hysteresis-free negative capacitance MoS_2 transistors. *Nat Nanotechnol*, 2018, 12: 24–28
- 36 Chung W, Si M, Ye P D. Hysteresis-free negative capacitance germanium CMOS FinFETs with Bi-directional Sub-60 mV/dec. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2017. 1–4
- 37 Trumbore F A. Solid solubilities of impurity elements in germanium and silicon. *Bell Syst Technical J*, 1960, 39: 205–233
- 38 Chronopoulos A, Bracht H. Diffusion of n-type dopants in germanium. *Appl Phys Rev*, 2014, 1: 011301

- 39 Zhang Q, Huang J, Wu N, et al. Drive-current enhancement in Ge n-channel MOSFET using laser annealing for source/drain activation. *IEEE Electron Device Lett*, 2006, 27: 728–730
- 40 Chen W B, Wu C H, Shie B S, et al. Gate-first TaN/La₂O₃/SiO₂/Ge n-MOSFETs using laser annealing. *IEEE Electron Device Lett*, 2010, 31: 1184–1186
- 41 Chen W B, Shie B S, Chin A, et al. Higher *k* metal-gate/high-*k*/Ge n-MOSFETs with < 1 nm EOT using laser annealing. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2010. 1–4
- 42 Li J, Cheng R, Liu C, et al. High performance Ge ultra-shallow junctions fabricated by a novel formation technique featuring spin-on dopant and laser annealing for sub-10 nm technology applications. *Microelectron Eng*, 2017, 168: 1–4
- 43 Yamamoto T, Yamashita Y, Harada M, et al. High performance 60 nm gate length germanium p-MOSFETs with Ni germanide metal source/drain. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, Washington, 2007. 1041–1043
- 44 Yokoyama M, Kim S H, Zhang R, et al. CMOS integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D using direct wafer bonding. In: *Proceedings of IEEE Symposium on VLSI Technology*, Honolulu, 2011. 60–61
- 45 Li R, Yao H B, Lee S J, et al. Metal-germanide Schottky source/drain transistor on germanium substrate for future CMOS technology. *Thin Solid Films*, 2006, 504: 28–31
- 46 Chen C-W, Tzeng J-Y, Chung C-T, et al. High-performance germanium p- and n-MOSFETs with NiGe source/drain. *IEEE Trans Electron Device*, 2014, 61: 2656–2661
- 47 Zhu S Y, Li R, Lee S J, et al. Germanium pMOSFETs with Schottky-barrier germanide S/D, high-*k* gate dielectric and metal gate. *IEEE Electron Device Lett*, 2005, 26: 81–83
- 48 Zhang R, Li J, Chen F, et al. High-performance germanium pMOSFETs with NiGe metal source/drain fabricated by microwave annealing. *IEEE Trans Electron Device*, 2016, 63: 2665–2670
- 49 Nishimura T, Kita K, Toriumi A. Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface. *Appl Phys Lett*, 2007, 91: 123123
- 50 Ikeda K, Yamashita Y, Sugiyama N, et al. Modulation of NiGe/Ge Schottky barrier height by sulfur segregation during Ni germanidation. *Appl Phys Lett*, 2006, 88: 152115
- 51 Li Z, An X, Li M, et al. Low electron Schottky barrier height of NiGe/Ge achieved by ion implantation after germanidation technique. *IEEE Electron Device Lett*, 2012, 33: 1687–1689
- 52 Mueller M, Zhao Q T, Urban C, et al. Schottky-barrier height tuning of NiGe/n-Ge contacts using As and P segregation. *Mater Sci Eng-B*, 2008, 154–155: 168–171
- 53 Chen C W, Tzeng J Y, Chung C T, et al. Enhancing the performance of germanium channel nMOSFET using phosphorus dopant segregation. *IEEE Electron Device Lett*, 2014, 35: 6–8
- 54 Chang W H, Irisawa T, Ishii H, et al. Ion implantation after germanidation technique for low thermal budget Ge CMOS devices: from bulk Ge to UTB-GeOI substrate. In: *Proceedings of International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*, Hsinchu, 2017
- 55 Koike M, Kamimuta Y, Tezuka T. Modulation of NiGe/Ge Schottky barrier height by S and P co-introduction. *Appl Phys Lett*, 2013, 102: 032108
- 56 Tsui B Y, Shih J J, Lin H C, et al. A study on NiGe-contacted Ge n+/p Ge shallow junction prepared by dopant segregation technique. *Solid-State Electron*, 2015, 107: 40–46
- 57 Duan N, Luo J, Wang G, et al. Reduction of NiGe/n- and p-Ge specific contact resistivity by enhanced dopant segregation in the presence of carbon during nickel germanidation. *IEEE Trans Electron Device*, 2016, 63: 4546–4549
- 58 Yang B, Lin J Y J, Gupta S, et al. Low-contact-resistivity nickel germanide contacts on n+ Ge with phosphorus/antimony co-doping and Schottky barrier height lowering. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2012. 1–2
- 59 Wang L L, Yu H, Schaekers M, et al. Comprehensive study of Ga activation in Si, SiGe and Ge with $5 \times 10^{-10} \Omega \cdot \text{cm}^2$ contact resistivity achieved on Ga doped Ge using nanosecond laser activation. In: *Proceedings of IEEE International Electron Devices Meeting (IEDM)*, San Francisco, 2017. 1–4
- 60 Wu Y, Chua L H, Wang W, et al. Sub- $10^{-9} \Omega \cdot \text{cm}^2$ specific contact resistivity on P-type Ge and GeSn: in-situ Ga doping with Ga ion implantation at 300°C, 25°C, and –100°C. In: *Proceedings of IEEE International Electron*

- Devices Meeting (IEDM), San Francisco, 2018. 1–4
- 61 Kobayashi M, Kinoshita A, Saraswat K, et al. Fermi-level depinning in metal/Ge schottky junction and its application to metal source/drain Ge NMOSFET. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2008. 54–55
- 62 Lin J Y J, Roy A M, Saraswat K C. Reduction in specific contact resistivity to n^+ Ge using TiO_2 interfacial layer. IEEE Electron Device Lett, 2012, 33: 1541–1543
- 63 Iyota M, Yamamoto K, Wang D, et al. Ohmic contact formation on n-type Ge by direct deposition of TiN. Appl Phys Lett, 2011, 98: 192108
- 64 Wu H D, Huang W, Lu W F, et al. Ohmic contact to n-type Ge with compositional Ti nitride. Appl Surf Sci, 2013, 284: 877–880
- 65 Wu H, Luo W, Si M, et al. Deep sub-100 nm Ge CMOS devices on Si with the recessed S/D and channel. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2014. 1–4
- 66 Wu H, Conrad N, Luo W, et al. First experimental demonstration of Ge CMOS circuits. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2014. 1–4
- 67 Kim S H, Kam H, Hu C, et al. Germanium-source tunnel field effect transistors with record high ION/IOFF. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2009. 178–179
- 68 Yang Y, Su S, Guo P, et al. Towards direct band-to-band tunneling in p-channel tunneling field effect transistor (TFET): technology enablement by germanium-tin (GeSn). In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2012. 1–4
- 69 Yang Y, Han G, Guo P, et al. Germanium-tin p-channel tunneling field-effect transistor: device design and technology demonstration. IEEE Trans Electron Device, 2013, 60: 4048–4056
- 70 Nah J, Liu E S, Varahramyan K M, et al. Enhanced-performance germanium nanowire tunneling field-effect transistors using flash-assisted rapid thermal process. IEEE Electron Device Lett, 2010, 31: 1359–1361
- 71 Luong G V, Narimani K, Tiedemann A T, et al. Complementary strained Si GAA nanowire TFET inverter with suppressed ambipolarity. IEEE Electron Device Lett, 2016, 37: 950–953
- 72 Li J, Qu Y, Zeng S, et al. Ge complementary tunneling field-effect transistors featuring dopant segregated NiGe source/drain. Chin Phys Lett, 2018, 35: 117201
- 73 Avci U E, Chu-Kung B, Agrawal A, et al. Study of TFET non-ideality effects for determination of geometry and defect density requirements for sub-60 mV/dec Ge TFET. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2015. 1–4
- 74 Togo M, Lee J W, Pantisano L, et al. Phosphorus doped SiC source drain and SiGe channel for scaled bulk FinFETs. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2012. 1–4
- 75 Hashemi P, Kobayashi M, Majumdar A, et al. High-performance $\text{Si}_{1-x}\text{Ge}_x$ channel on insulator trigate PFETs featuring an implant-free process and aggressively-scaled fin and gate dimensions. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2013. 18–19
- 76 Mertens H, Ritzenthaler R, Hikavy A, et al. Performance and reliability of high-mobility $\text{Si}_{0.55}\text{Ge}_{0.45}$ p-channel FinFETs based on epitaxial cladding of Si Fins. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2014. 1–2
- 77 Hashemi P, Balakrishnan K, Majumdar A, et al. Strained $\text{Si}_{1-x}\text{Ge}_x$ -on-insulator PMOS FinFETs with excellent sub-threshold leakage, extremely-high short-channel performance and source injection velocity for 10 nm node and beyond. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2014. 1–2
- 78 Hashemi P, Balakrishnan K, Engelmann S U, et al. First demonstration of high-Ge-content strained- $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.5$) on insulator PMOS FinFETs with high hole mobility and aggressively scaled fin dimensions and gate lengths for high-performance applications. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2014. 1–4
- 79 Hashemi P, Ando T, Balakrishnan K, et al. High-mobility high-Ge-content $\text{Si}_{1-x}\text{Ge}_x$ -OI PMOS FinFETs with fins formed using 3D germanium condensation with Ge fraction up to $x \sim 0.7$, scaled EOT ~ 8.5 Å and ~ 10 nm fin width. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2015. 16–17
- 80 Hashemi P, Ando T, Balakrishnan K, et al. Replacement high- k /metal-gate high-Ge-content strained SiGe FinFETs with high hole mobility and excellent SS and reliability at aggressive EOT ~ 7 Å and scaled dimensions down to sub-4

- nm fin widths. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2016. 1–2
- 81 Hashemi P, Lee K L, Ando T, et al. Demonstration of record SiGe transconductance and short-channel current drive in high-Ge-content SiGe PMOS FinFETs with improved junction and scaled EOT. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2016. 1–2
- 82 Guo D, Karve G, Tsutsui G, et al. FinFET technology featuring high mobility SiGe channel for 10 nm and beyond. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2016. 1–2
- 83 Lee C H, Southwick R G, Mochizuki S, et al. Toward high performance SiGe channel CMOS: design of high electron mobility in SiGe nFinFETs outperforming Si. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2018. 1–4
- 84 Van Dal M J H, Vellianitis G, Doornbos G, et al. Demonstration of scaled Ge p-channel FinFETs integrated on Si. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2012. 1–4
- 85 Duriez B, Vellianitis G, van Dal M J H, et al. Scaled p-channel Ge FinFET with optimized gate stack and record performance integrated on 300 mm Si wafers. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2013. 1–4
- 86 Liu B, Gong X, Cheng R, et al. High performance Ge CMOS with novel InAlP-passivated channels for future sub-10 nm technology node applications. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2013. 1–3
- 87 Witters L, Mitard J, Loo R, et al. Strained germanium quantum well pMOS FinFETs fabricated on in situ phosphorus-doped SiGe strain relaxed buffer layers using a replacement Fin process. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2013. 1–4
- 88 Agrawal A, Barth M, Rayner G B, et al. Enhancement mode strained (1.3% germanium quantum well FinFET ($W_{\text{Fin}} = 20$ nm) with high mobility ($\mu_{\text{Hole}} = 700$ cm²/Vs), low EOT (~ 0.7 nm) on bulk silicon substrate. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2014. 1–4
- 89 Mitard J, Witters L, Arimura H, et al. First demonstration of 15 nm-W FIN inversion-mode relaxed-Germanium n-FinFETs with Si-cap free RMG and NiSiGe Source/Drain. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), San Francisco, 2014. 1–4
- 90 Mitard J, Witters L, Sasaki Y, et al. A 2nd generation of 14/16 nm-node compatible strained-Ge pFinFET with improved performance with respect to advanced Si-channel FinFETs. In: Proceedings of IEEE Symposium on VLSI Technology, Honolulu, 2016. 1–2
- 91 Wu H, Luo W, Zhou H, et al. First experimental demonstration of Ge 3D FinFET CMOS circuits. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2015. 58–59
- 92 Hyun Lee C, Nishimura T, Tabata T, et al. Characterization of electron mobility in ultrathin body germanium-on-insulator metal-insulator-semiconductor field-effect transistors. Appl Phys Lett, 2013, 102: 232107
- 93 Yu X, Kang J, Takenaka M, et al. Experimental study on carrier transport properties in extremely-thin body Ge-on-insulator (GOI) p-MOSFETs with GOI thickness down to 2 nm. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2015. 1–4
- 94 Kim W K, Takenaka M, Takagi S. High performance 4.5-nm-thick compressively-strained Ge-on-insulator pMOSFETs fabricated by Ge condensation with optimized temperature control. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2017. 124–125
- 95 Chang W H, Irisawa T, Ishii H, et al. First experimental observation of channel thickness scaling (down to 3 nm) induced mobility enhancement in UTB GeOI nMOSFETs. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2017. 192–193
- 96 Zheng Z, Yu X, Zhang Y, et al. Back-gate modulation in UTB GeOI pMOSFETs with advanced substrate fabrication technique. IEEE Trans Electron Device, 2018, 65: 895–900
- 97 Cheng R, Liu B, Guo P, et al. Asymmetrically strained high performance germanium gate-all-around nanowire p-FETs featuring 3.5 nm wire width and contractible phase change liner stressor (Ge₂Sb₂Te₅). In: Proceedings of IEEE International Electron Devices Meeting (IEDM), Washington, 2013. 1–4
- 98 Mertens H, Ritzenthaler R, Arimura H, et al. Si-cap-free SiGe p-channel FinFETs and gate-all-around transistors in a replacement metal gate process: interface trap density reduction and performance improvement by high-pressure deuterium anneal. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2015. 142–143

- 99 Loubet N, Hook T, Montanini P, et al. Stacked nanosheet gate-all-around transistor to enable scaling beyond FinFET. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2017. 230–231

Research progress in Ge-based advanced field effect transistor technology

Yi ZHAO^{1*}, Zejie ZHENG² & Junkang LI¹

1. College of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China;
2. Zhejiang Lab, Hangzhou 310000, China

* Corresponding author. E-mail: yizhao@zju.edu.cn

Abstract The modern integrated circuit is among the world's most complex systems, but at its heart is a very simple, and we think beautiful, device: the transistor. Right now, 7 nm process technology is the cutting edge in traditional silicon-based integrated-circuit-manufacturing industry. However, the downscaling of the technological node in accordance with Moore's Law is becoming increasingly difficult, not to mention fantastically expensive. Ge has been considered a promising channel material due its high hole and electron motilities, which facilitate the drive-current boost without downscaling the device's dimensions. This paper summaries the current state-of-the-art Ge metal-oxide-semiconductor field-effect transistors (MOSFETs) from these three angles: gate stacks, source/drain formation, and new device structure. It is found that many critical physical and engineering problems concerning Ge MOSFETs are still under discussion, including basic device fabrication and the deep physical understanding of Ge MOSFETs. Nevertheless, Ge MOSFETs reported by both academic and industrial researchers show superior performance to traditional Si MOSFETs, suggesting that Ge is a promising material for future high-performance complementary-MOS (CMOS) devices under 3 nm node.

Keywords Ge, gate stacks, source and drain formation, new device structure

Yi ZHAO was born in Zhejiang, China, in 1977. He received a B.S. degree from Nanjing University of Astronautics and Aeronautics, Nanjing, China, in 2000, an M.S. degree from Zhejiang University, Hangzhou, China, in 2003, and a Ph.D. from the University of Tokyo, Tokyo, Japan, in 2007, all in materials science and engineering. He currently works with Zhejiang University as a full professor. His recent research interests

have mainly focused upon advanced-CMOS devices using new channel materials (strained Si/Ge, SiGe, Ge, and III-V materials) and new structures (SOI, FinFET, UTB, and nanowire).

Zejie ZHENG received a B.E. degree in integrated-circuit design and integration systems from Hangzhou Dianzi University, Hangzhou, China, in 2014 and a Ph.D. from Zhejiang University, Hangzhou, China, in 2019, both in electronic science and technology. He is currently working in Zhejiang Lab. His recent research interest mainly is focused on GeOI devices.

Junkang LI was born in 1990. He received a B.S. degree in communications engineering from Zhejiang University of Technology, Zhejiang, China, in 2013. He is currently pursuing a Ph.D. with Zhejiang University, Hangzhou, China. His recent research interests are mainly focused on interface and junction engineering in Ge-based devices.